

Accélération de simulation
Accélération d'algorithme
Émulation de logique
Émulation d'ASIC
Vérification d'ASIC
Conseils de FPGA
Consultation

Guide d'utilisateur
DN9200K10PCIE8T

Manuel d'utilisateur de DN9200K10PCIE8T

Révision principale 1

Dernière mise à jour 15 août 2008 par l'utilisateur de fullsail

Avenue de 7469 Draper
La Jolla, CA92037 Etats-Unis
Téléphone 858.454.3419 • Fax 858.454.1279
support@dinigroup.com
www.dinigroup.com

1 Table des matières

CHAPITRE 1 : INTRODUCTION

3 CONTENUS DU MANUEL

3.1 INTRODUCTION
3.2 GUIDE RAPIDE DE DÉBUT
3.3 LOGICIEL DE CONTRÔLEUR
3.4 MATÉRIEL
3.5 LA CONCEPTION DE RÉFÉRENCE
3.6 L'INFORMATION DE COMMANDE

4 ASSISTANCES

5 CONVENTIONS

5.1 NOTATIONS
5.2 CHEMINS DE DOSSIER
5.3 DIMENSIONS PHYSIQUES
5.4 GOUPILLE NOMS DE PARTIE
5.5 COUPURES SCHÉMATIQUES

6 GLOSSAIRE

7 RESSOURCES

7.1 CD D'UTILISATEUR
7.2 DINIGROUP.COM
7.3 LISTE D'ERRATA
7.3.1 Errata existants
7.4 CONCEPTION DE RÉFÉRENCE
7.5 SCHÉMAS ET NETLIST
7.5.1 Netlist
7.5.2 Conventions nommées nettes
7.6 MANUEL
7.7 BIBLIOTHÈQUE DE DATASHEET
7.8 XILINX
7.9 CONCEPTIONS DE RÉFÉRENCE DE GROUPE DE DINI
7.10 MODÈLES DE CONSEIL
7.10.1 Constructeur bas de système
7.10.2 La division et 3 de employer[rd] outils de synthèse de partie.
7.11 DÉTAILS EXPRÈS DE PCI
7.12 APPUI D'EMAIL ET DE TÉLÉPHONE

CHAPITRE 2 : GUIDE RAPIDE DE DÉBUT

8 MATÉRIAUX FOURNIS

8.1 CONDITIONS DE SYSTÈME

9 AVERTISSEMENTS

9.1 ESD
9.2 AUTRE

10 PRÉ-ALIMENTATION SUR DES INSTRUCTIONS

10.1 INSTALLEZ LA MÉMOIRE (FACULTATIVE)
10.2 PRÉPAREZ LES DOSSIERS DE CONFIGURATION
10.3 INSÉREZ LA CARTE INSTANTANÉE COMPACTE
10.4 INSTALLEZ DN9200K10PCIE8T DANS L'ORDINATEUR (FACULTATIF)
10.5 RELIEZ LE CÂBLE RS232
10.6 RELIEZ LE CÂBLE D'USB
10.7 RELIEZ LE CABLE ÉLECTRIQUE
10.8 CARTES DE FILLE

11 PUISSANCE SUR DES INSTRUCTIONS

11.1 RÉTROACTION RS232 FINI DE CONFIGURATION DE VUE
11.2 VÉRIFIEZ LES LUMIÈRES DE STATUT DE LED

12 COUREZ LE CONTRÔLEUR D'USB

12.1 INSTALLATION DE CONDUCTEUR
12.2 FONCTIONNEMENT DU PROGRAMME DE CONTRÔLEUR D'USB
12.2.1 Configurez un FPGA
12.2.2 Placez les fréquences de base
12.3 EXÉCUTEZ LES ESSAIS DE MATÉRIEL
12.3.1 Fréquences de base
12.3.2 DDR2
12.3.3 D'autres essais de matériel
12.4 OBTENIR DES DONNÉES À ET DU FPGA

13 COUREZ AETEST_WDM

13.1.1 Employez AETest

14 BALAYEZ LA CHAÎNE DE JTAG

14.1 PASSER

CHAPITRE 3 : LOGICIEL DE CONTRÔLEUR

1 CONTRÔLEUR D'USB

1.1 FENÊTRE PRINCIPALE
1.1.1 Régénérez le bouton
1.1.2 Neutralisez/permettez l'USB
1.1.3 Fenêtre de notation
1.1.4 Graphique de conseil
1.2 OPTIONS DE MENU
1.2.1 Menu de dossier
1.2.2 Éditez le menu
1.2.3 Menu de configuration de FPGA
1.2.4 Conception de référence de FPGA
1.2.5 Autobus principal
1.2.6 Menu des arrangements/information
1.2.7 Essai de production
1.2.8 Service le menu
1.2.9 Menu de correction
1.3 DOSSIER D'INI

2 USB D'AETEST

3 APPLICATION EXPRÈS DE PCI AETEST

3.1 AETEST_USB DE COMPILATION
3.1.1 Compilation du conducteur

3.2 Fonctionnalité
3.3 AETEST fonctionnant

4 ROULEMENT DE VOTRE PROPRE LOGICIEL

4.1 USB
4.1.1 Windows XP/Vista
4.1.2 Linux
4.2 PCIe
4.2.1 Crochets de conducteur de Windows
4.2.2 Crochets de conducteur de Linux

5 MISE À JOUR DES PROGICIELS

5.1 Obtention des mises à jour
5.2 Mise à jour des progiciels (PROM) spartiates
5.2.1 Employer le câble de JTAG
5.2.2 Employer USBController
5.3 Mise à jour des progiciels (instantanés) de MCU
5.4 Progiciels exprès de point final de PCI

CHAPITRE 4 : MATÉRIEL

1 VUE D'ENSEMBLE GÉNÉRALE

2 VIRTEX 5 FPGAS

2.1 Bourrage des options
2.1.1 Est-ce qu'ainsi je peux obtenir deux SX240s ?
2.1.2 FPGA A et B :
2.1.3 Pièces de CES
2.1.4 « Petit » FPGAs
2.1.5 Options de FPGA Q (PCI FPGA exprès)
2.1.6 Catégories de vitesse
2.2 Employer l'E/S
2.2.1 Synchronisation
2.2.2 Détails d'errata de matériel
2.3 Détails d'errata de matériel
2.4 Politique de mise à niveau
2.4.1 Ajouter FPGAs à un DN9200K10PCIE8T

3 CARTE

3.1 La trace retardent
3.2 Qualité de signal

4 SECTION DE CONFIGURATION

4.1 Rétroaction de section de configuration
4.2 Configuration de FPGA
4.3 PCI exprès
4.3.1 Carte BAR0
4.3.2 Configuration de FPGA
4.3.3 Par relecture
4.4 Commande d'horloge
4.4.1 Fréquences de synthétiseur
4.4.2 Sources d'horloge
4.5 Interface de CompactFlash
4.5.1 Main.txt
4.5.2 Notes sans importance de matériel de CompactFlash

4.6 USB
4.6.1 *Configuration d'un FPGA*
4.6.2 *Par relecture*
4.7 CONFIGURANT LE « PCI » FPGA EXPRÈS
4.8 REGISTRES DE CONFIGURATION
4.8.1 *Commandes non documentées*
4.9 PROGICIELS

5 RÉSEAU D'HORLOGE

5.1 HORLOGES GLOBALES
5.1.1 *Points test de mesure d'horloge*
5.2 G0, G1, HORLOGES G2
5.2.1 *Circuit de synthétiseur*
5.3 HORLOGES D'EXT.
5.3.1 *Daughtercard zéro-retardent le mode*
5.3.2 *Entrée de SMA*
5.4 HORLOGE DE MB
5.5 HORLOGES DE FBA ET DE FBB
5.6 RÉSEAU DE PCIE REFCLK
5.7 HORLOGES NON-GLOBALES
5.7.1 *Horloge TP*
5.7.2 *Horloge d'Ethernet*
5.7.3 *Horloges DDR2*
5.7.4 *Horloge B et E de SMA*
5.8 NOTES D'UTILISATION D'HORLOGE
5.8.1 *Réalisation de zéro horloge-à-dehors*
5.8.2 *Horloges d'expédition FPGA-à-FPGA*

6 POINTS TEST DE MESURE

7 INTERFACE D'USB

7.1 DEMANDES DE FOURNISSEUR
7.1.1 *VR_CLEAR_FPGA*
7.1.2 *VR_SETUP_CONFIG*
7.1.3 *VR_END_CONFIG*
7.1.4 *VR_SET_EP6TC (taille d'amortisseur lu)*
7.1.5 *VR_MEM_MAPPED (registres de configuration)*
7.2 ACCÈS PRINCIPAUX D'AUTOBUS
7.2.1 *Note au sujet de terminologie de point final*
7.2.2 *Exécution*
7.3 MODE DE CONFIGURATION DE FPGA
7.4 MODE DE DISPOSITIF DE MÉMOIRE DE MASSE
7.5 MODE DE MISE À JOUR DE PROGICIELS
7.5.1 *Activité LED*
7.6 MATÉRIEL
7.7 DÉPANNAGE
7.7.1 *Gels de contrôleur d'USB*

8 RESSOURCES DE FPGA Q

8.1 FPGA UNE INTERCONNEXION
8.2 E/S INUTILISABLE
8.3 ROCKETIO (« MGT », « GTP », « GTX »)
8.4 FLASH DE SPI
8.5 LED

8.6 RS232
8.7 SYNTHÉTISEUR
9 INTERFACE EXPRÈS DE PCI
9.1 INTERFACE DE CENTRE SERVEUR, ÉLECTRIQUE
9.1.1 Puissance
9.1.2 PCI-X
9.2 INTERFACE DE CENTRE SERVEUR, MÉCANIQUE
9.3 SI « POINT FINAL EXPRÈS DE PCI DE PLEIN-FONCTION »
9.3.1 Access de la BARRE 0
9.3.2 Access de la BARRE 1-5
9.3.3 Canaux d'accès direct à la mémoire 0 et 1
9.3.4 Mode signalé par DMA
9.3.5 Autobus de force de DMA
9.3.6 Élém. élect.
9.3.7 Synchronisation
9.3.8 Interface de FPGA
9.3.9 Interface de centre serveur, logiciel
9.4 AUTRE A FOURNI DES CONCEPTIONS POUR LE LXT
9.4.1 PIPE
9.4.2 Noyau de PIPE de ralentissement
9.5 DÉPANNAGE
10 GOUPILLES INUTILISABLES
10.1 ROCKETIO ADJACENT
10.2 AUCUN RELIEZ
10.3 CONFIGURATION
10.4 VREF/DCI
11 SYSTÈME MONITOR/ADC
12 REMISE
12.1 REMISE DE PUISSANCE
12.2 REMISE D'UTILISATEUR
13 JTAG
13.1 FPGA JTAG
13.1.1 Dispositifs compatibles de configuration
13.1.2 ChipScope
13.2 EN-TÊTE DE MISE À JOUR DE PROGICIELS
13.3 DÉPANNAGE
14 INTERFACE RS232
14.1.1 Configuration RS232
15 SONDES DE TEMPÉRATURE
16 BATTERIE DE CHIFFRAGE
16.1 BATTERIE EXTERNE
17 INTERFACE DE LED
17.1 SECTION DE CONFIGURATION LED
17.2 UTILISATEUR LED
17.3 ETHERNET LED
17.4 PUISSANCE LED

17.5 LED INUTILISÉES

18 DOUILLES DE DDR2 DIMM

18.1 PUISSANCE
18.1.1 Tensions d'interface
18.1.2 Changer la tension de DIMM
18.1.3 DIMM avertissant la LED
18.2 SYNCHRONISER
18.2.1 Synchronisation de DQS
18.2.2 Interface série
18.2.3 Synchronisation
18.3 MODULES COMPATIBLES
18.4 POINTS TEST DE MESURE

19 INTERCONNEXION DE FPGA.

20 AUTOBUS PRINCIPAL

20.1 SIGNAUX DE MB
20.1.1 Mb contre Désambiguisation de MainBus
20.1.2 Élém. élect.
20.1.3 Synchronisation
20.2 CODES D'ERREUR
20.3 INTERFACE PRINCIPALE DE L'AUTOBUS FPGA
20.3.1 MB_target.v
20.3.2 Carte mémoire conventionnelle

21 ETHERNET

21.1 RGMII
21.1.1 Élém. élect.
21.1.2 Synchronisation
21.2 REGISTRES DE CONFIGURATION
21.3 MII INTERFACE
21.4 EPROM EXTERNE
21.5 CONFIG D'EPROM
21.6 JTAG
21.7 IMPER D'ETHERNET

22 EPROM

23 FLASH DE SPI

23.1 SUR FPGAS A ET B
23.2 SUR FPGA Q

24 CONNECTEURS DE MICTOR

24.1 FPGA UN MICTOR
24.2 FPGA B MICTOR
24.3 MAINBUS MICTOR

25 PUISSANCE

25.1 PUISSANCE 12V
25.2 PUISSANCE 3.3V
25.3 PUISSANCE 2.5V
25.4 LA TERRE
25.5 RÈGLEMENT DE TENSION
25.6 RACCORDEMENTS DE PUISSANCE

25.7 MONITEURS DE PUISSANCE
25.8 POINTS D'ACCESS D'À TRAVERS-TROU DE PUISSANCE
25.9 MESURE TP DE PUISSANCE
25.10 LA CHALEUR
25.10.1 Ventilateurs
25.10.2 Enlèvement des radiateurs
25.10.3 Éventez les tachymètres

26 CONNECTEURS

26.1 CONNECTEURS D'INTERFACE UTILISATEUR DE FPGA
26.2 CONNECTEURS D'INTERFACE UTILISATEUR DE NON-FPGA
26.2.1 Commentaires

27 MÉCANIQUE

28 EN-TÊTES DE DAUGHTERCARD

28.1 EXAMEN MÉDICAL DE CARTE DE FILLE
28.1.1 Endroits et support de carte de fille
28.1.2 Taille standard de Daughtercard
28.1.3 Insertion et déplacement
28.2 CARTE DE FILLE ÉLECTRIQUE
28.2.1 Goupille tâches
28.2.2 CC, VREF, DCI
28.2.3 Horloges globales
28.2.4 Synchronisation et synchroniser
28.2.5 Méthodes synchronisantes incorrectes
28.2.6 Puissance et remise
28.2.7 Tension de VCCO
28.2.8 VCCO polarisent la génération
28.3 ROULEMENT DE VOTRE PROPRE DAUGHTERCARD

29 DÉPANNAGE

29.1 LE CONSEIL EST MORT
29.2 LE CONSEIL NE RÉPOND PAS AU-DESSUS DU PCI EXPRÈS
29.3 LE CONSEIL NE RÉPOND PAS AU-DESSUS DE L'USB
29.4 LE FPGAS NE PROGRAMMERA PAS
29.5 MA CONCEPTION NE FAIT RIEN
29.6 LE DCMS NE FERMERA PAS À CLEF
29.7 IL EST SI ÉTRANGE… IL EST COMME PARFOIS QUAND JE PROGRAMME MON FPGAS, LES SIGNAUX ENTRE LE FPGAS SONT RETARDÉS PAR UN RHYTHME. PUIS, QUAND JE FRAPPE LE BOUTON DE REMISE, PARFOIS IL COMMENCE À FONCTIONNER ENCORE.
29.8 LE SIGNAL DE ________ SUR MON CONSEIL EST SXXX ALLANT DE BATTE FOU SUR MON OSCILLOSCOPE

CHAPITRE 5 : CONCEPTION DE RÉFÉRENCE

1 BUT

1.1 INTERFACES EMPLOYÉES PAR CONCEPTION DE RÉFÉRENCE
1.2 INTERFACES NON EMPLOYÉES PAR LA CONCEPTION DE RÉFÉRENCE

2 ESSAIS DE MATÉRIEL

2.1.1 Interface exprès de essai de PCI
2.1.2 Essai FPGA--FPGA à l'interconnexion
2.1.3 Interfaces DDR2 de essai
2.1.4 USB de essai
2.1.5 Ethernet de essai

2.1.6 Connecteurs de essai de Daughtercard

3 TYPES DE CONCEPTION DE RÉFÉRENCE

3.1 ESSAI PRINCIPAL
3.2 LVDS
3.3 RAPIDE SIMPLE
3.4 INTERCONNEXION V5
3.5 ETHERNET
3.6 EN-TÊTE

4 EMPLOYER LA CONCEPTION DE RÉFÉRENCE

4.1 CARTE MÉMOIRE DE CONCEPTION DE RÉFÉRENCE

5 INTERCONNEXION (SIMPLE)

5.1 EMPLOYER LA CONCEPTION
5.2 EXÉCUTER L'ESSAI
5.3 INTERFACE DDR2
5.4 DOSSIERS FOURNIS
5.5 EMPLOYER LA CONCEPTION
5.6 EXÉCUTER L'ESSAI
5.7 COMPTEURS D'HORLOGE
5.8 LED
5.9 SIMULATION DE LA CONCEPTION DE RÉFÉRENCE

6 CONCEPTION DE RÉFÉRENCE DE LVDS

6.1 DOSSIERS FOURNIS
6.2 EMPLOYER LA CONCEPTION
6.3 EXÉCUTER L'ESSAI
6.4 DÉTAILS D'EXÉCUTION
6.4.1 Alignement de ruelle
6.4.2 Banques drôles

7 CONCEPTION DE RÉFÉRENCE D'INTERFACE DE PCIE

7.1 DOSSIERS FOURNIS
7.2 EMPLOYER LA CONCEPTION
7.3 EXÉCUTER L'ESSAI

1 COMPILATION DE LA CONCEPTION DE RÉFÉRENCE

1.1 LE KIT DE DÉVELOPPEMENT INCORPORÉ PAR XILINX (EDK)
1.2 XILINX ISE
1.3 L'UTILITÉ DE CONSTRUCTION : MAKE.BAT
1.4 OPTIONS DE BITGEN
1.5 VHDL

CHAPITRE 6 : L'INFORMATION DE COMMANDE

1 TITRE DE SECTION

2 ÉQUIPEMENT FACULTATIF

2.1 PRODUITS COMPATIBLES DE GROUPE DE DINI
2.1.1 Panneaux d'interface
2.1.2 Mémoires
2.1.3 Cartes de fille
2.2 LOGICIEL DE CONCEPTION INDÉPENDANTE COMPATIBLE
2.3 TIERS MATÉRIEL COMPATIBLE

3 DONNÉES DE CONFORMITÉ
3.1 DÉNI
3.2 CONFORMITÉ
3.2.1 *IEM DE FCC*
3.2.2 *PCIE-SIG*
3.3 AMBIANT
3.3.1 *La température*
3.4 COMMANDE D'EXPORTATION
3.4.1 *Sans plomb*
3.4.2 *Les Etats-Unis programment le nombre de B basé sur le HTS*
3.4.3 *Nombre ECCN de classification de commande d'exportation*

2 Liste de figures

Le schéma 1 - DN9200K10PCIE8T - Les radiateurs avec insouciance laissés uninstalled.
Le schéma 2 - Un circuit d'exemple sur le conseil.
Le schéma 3 - Comment ce circuit apparaît sur le netlist de client.
Le schéma 4 - Un ingénieur démontre l'utilisation d'une courroie de poignet fondante
Le schéma 5 - Substance de DN9200K10PCIE8T que vous devez connaître pour obtenir commencé.
Le schéma 6 - Une six-goupille graphiques exprès de PCI « actionnent " l'adapteur
Le schéma 7 - Une alimentation d'énergie « démarreur »
Le schéma 8 - Le schéma 8
Le schéma 9 - Rendement RS232
Le schéma 10 - LED
Le schéma 11 - Magicien d'installation de conducteur
Le schéma 12 - Fenêtre de contrôleur d'USB.
Le schéma 13 - Rendement de notation de contrôleur d'USB
Le schéma 14 - Rendement de notation de contrôleur d'USB
Le schéma 15 - Écran d'éclaboussure
Le schéma 16 - Menu de force d'AETest
Le schéma 17 - Menu de mémoire
Le schéma 18 - En-têtes de JTAG
Le schéma 19 - l'impact s'est relié à FPGA JTAG
Le schéma 20 - Fenêtre de force de contrôleur d'USB
Le schéma 21 - Régénérez le bouton
Le schéma 22 - Permettez le bouton d'USB
Le schéma 23 - Le contrôleur d'USB se plaint si le conseil n'est pas détecté
Le schéma 24 - FPGAs de configuration
Le schéma 25 - Écran d'éclaboussure d'AETest
Le schéma 26 - Menu de force d'AETest
Le schéma 27 - Menu de PCI d'AETest
Le schéma 28 - Menu de mémoire d'AETest
Le schéma 29 - Menu de essai d'AETest
Le schéma 30 - En-tête de mise à jour de progiciels
Le schéma 31 - fenêtre d'impact
Le schéma 32 - Commutez S2
Le schéma 33 - Mode de mise à jour de progiciels de contrôleur d'USB
Le schéma 34 - En-têtes de JTAG
Le schéma 35 - Schéma fonctionnel de DN9200K10PCIE8T
Le schéma 36 - Schéma fonctionnel de DN9200K10PCIE8T LX110
Le schéma 37 - Guide de choix de LX
Le schéma 38 - Guide de choix de LXT FXT
Le schéma 39 - Schéma fonctionnel de section de config

Le schéma 40 - En-têtes de porte série
Le schéma 41 - Circuit FAIT de LED
Le schéma 42 - Circuit d'EXT0 EXT1
Le schéma 43 - Douille de carte de CompactFlash
Le schéma 44 - commandes de Main.txt
Le schéma 45 - Chaîne spartiate de JTAG de « progiciels »
Le schéma 46 - Schéma fonctionnel de réseau d'horloge
Le schéma 47 - Points test de mesure d'horloge
Le schéma 48 - Circuit de synthétiseur de réseau de l'horloge G
Le schéma 49 - Diagramme de sources d'horloge d'ext.
Le schéma 50 - Repère d'EXT0 SMA
Le schéma 51 - Circuit d'EXT0 SMA
Le schéma 52 - Utilisation typique de FBA
Le schéma 53 - Utilisation typique de FBA avec la synchronisation
Le schéma 54 - Circuit de Testpoint d'horloge
Le schéma 55 - Repère de point test de mesure d'horloge
Le schéma 56 - Circuit de SMA
Le schéma 57 - Repère de SMA
Le schéma 58 - Pas à l'aide des goupilles de GCLK
Le schéma 59 - Ne pas employer une rétroaction externe
Le schéma 60 - Deux divisent DCMs
Le schéma 61 - Production d'une horloge avec un rapport d'assigner
Le schéma 62 - DCMs de cascade
Le schéma 63 - DCM sur la même remise que la logique
Le schéma 64 - Repère d'USB
Le schéma 65 - Panneau de base de conformité de PCI SIG
Le schéma 66 - FPGA Q LED
Le schéma 67 - Schéma fonctionnel exprès de PCI
Le schéma 68 - Circuit exprès de PCI
Le schéma 69 - Diagramme exprès d'oeil de PCI
Le schéma 70 - Plein schéma fonctionnel de conception de fonction
Le schéma 71 - Diagramme synchronisant de FPGA A à de Q
Le schéma 72 - Schéma fonctionnel de conception de PIPE
Le schéma 73 - Schéma fonctionnel de ralentissement de PIPE
Le schéma 74 - Circuit de moniteur de Sysytem
Le schéma 75 - Circuit de FPGA JTAG
Le schéma 76 - Repère de FPGA JTAG
Le schéma 77 - Schéma fonctionnel de FPGA JTAG
Le schéma 78 - Circuit RS232
Le schéma 79 - Repère RS232
Le schéma 80 - Repère de batterie
Le schéma 81 - circuit de batterie
Le schéma 82 - Circuit de LED
Le schéma 83 - Repère de LED
Le schéma 84 - Repère d'Ethernet
Le schéma 85 - Repère de panne de courant de LED
Le schéma 86 - Repère inutilisé de LED
Le schéma 87 - Schéma fonctionnel de DIMM
Le schéma 88 - Circuit de choix de tension de DIMM
Le schéma 89 - Repère de tension de DIMM
Le schéma 90 - DIMM avertissant le repère de LED
Le schéma 91 - Diagramme d'horloge de DIMM
Le schéma 92 - Repère de point test de mesure de signal de DIMM
Le schéma 93 - Schéma fonctionnel d'interconnexion

Le schéma 94 - Schéma fonctionnel principal d'autobus
Le schéma 95 - L'autobus imprécis de Mani a indiqué la synchronisation
Le schéma 96 - L'autobus principal imprécis écrivent la synchronisation
Le schéma 97 - Repère d'Ethernet
Le schéma 98 - Synchronisation d'Ethernet
Le schéma 99 - circuit 1000Base-T
Le schéma 100 - Circuit d'EPROM
Le schéma 101 - Circuit instantané de SPI
Le schéma 102 - Circuit instantané Q de SPI
Le schéma 103 - Repère de Mictor
Le schéma 104 - Câble de Mictor
Le schéma 105 - Circuit de Mictor A
Le schéma 106 - Circuit de Mictor B
Le schéma 107 - Repère de mictor de MainBus
Le schéma 108 - Circuit principal de mictor d'autobus
Le schéma 109 - Diagramme de topologie de puissance de conseil
Le schéma 110 - Repère exprès de puissance de graphiques de PCI
Le schéma 111 - Points test de mesure de puissance
Le schéma 112 - Repère de panne de courant de LED
Le schéma 113 - Circuit de point de sonde de puissance
Le schéma 114 - Repère de ventilateur de radiateur
Le schéma 115 - Éventez le circuit de tachymètre
Le schéma 116 - Éventez le repère de puissance
Le schéma 117 - Schéma mécanique
Le schéma 118 - Repère moulu de rail
Le schéma 119 - Repère de carte de fille
Le schéma 120 - Schéma fonctionnel de carte de fille
Le schéma 121 - Schéma mécanique
Le schéma 122 - Côté de carte de fille mécanique
Le schéma 123 - DNMEG_EXT mécanique
Le schéma 124 - Dimensions standard de carte de fille
Le schéma 125 - Étape 1 d'installation de carte de fille
Le schéma 126 - Installez l'étape 2 de carte de fille
Le schéma 127 - Diagramme de pinout de carte de fille
Le schéma 128 - Goupille fonctions d'horloge de carte de fille
Le schéma 129 - Gens du pays synchronisants de Daughtercard
Le schéma 130 - Synchroniser de carte de fille global
Le schéma 131 - Source synchronisante de carte de fille synchrone
Le schéma 132 - Carte de fille synchronisant tolérant oblique
Le schéma 133 - Échouer d'expédition d'horloge de carte de fille
Le schéma 134 - Carte de fille synchronisant l'échouer de cascade de PLL
Le schéma 135 - Tacoma rétrécit l'échouer
Le schéma 136 - Circuit de puissance de rangée de mégohm
Le schéma 137 - Circuit de polarisation de rangée de mégohm
Le schéma 138 - Diagramme de corporation de stratégie de groupe de Dini
Le schéma 139 - Synchroniser de conception de référence de LVDS global
Le schéma 140 - Gens du pays synchronisants de conception de référence de LVDS
Le schéma 141 - Schéma fonctionnel de déni

Chapitre 1 : Introduction

Félicitations sur votre achat de la carte d'émulation de logique de DN9200K10PCIE8T. Si vous êtes peu familier avec des produits de groupe de Dini, vous devriez lire le chapitre 2, guide rapide de début pour se familiariser avec les interfaces utilisateur que le DN9200K10PCIE8T fournit.

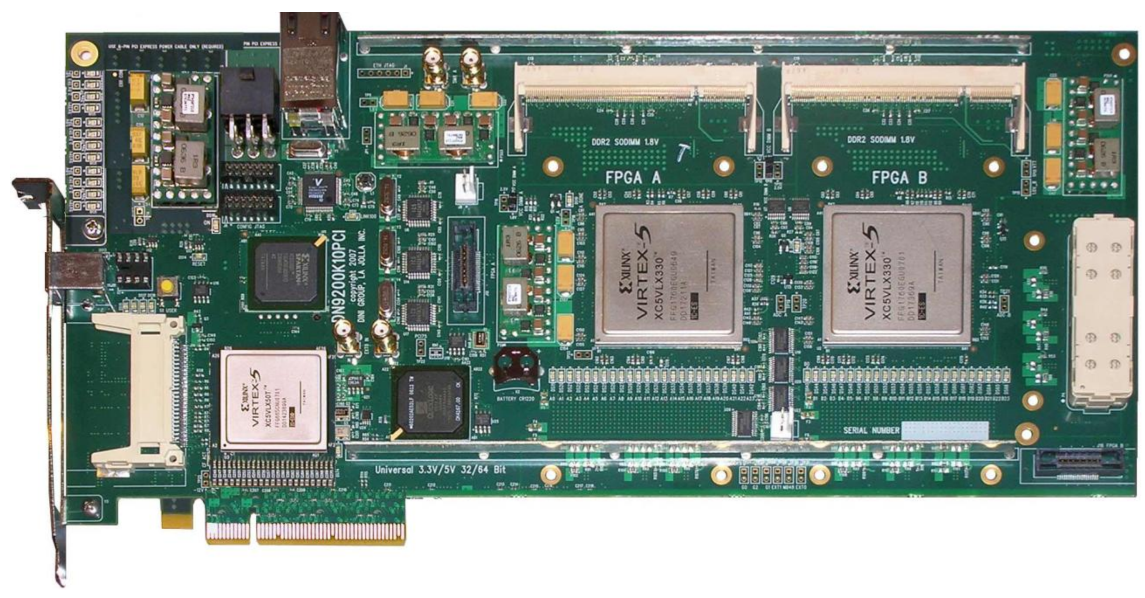


Figure 1 DN9200K10PCIE8T - Les radiateurs avec insouciance laissés uninstalled.

1 Contenus du manuel

Ce manuel contient les chapitres suivants :

1.1 Introduction

Le guide du lecteur de ce manuel ; Liste de documentation et de ressources disponibles. La section 1 contient une liste des contenus du manuel, y compris l'introduction.

1.2 Guide rapide de début

Ce chapitre inclut des instructions étape-par-étape pour actionner sur le DN9200K10PCIE8T pour la première fois. Il vous guidera en employant les dispositifs les plus importants du conseil. Pour des utilisateurs très au courant des conseils de FPGA, c'est probable la seule partie du manuel qui devra être lu complètement. Le reste du livre peut être employé pour la référence.

1.3 Logiciel de contrôleur

Un résumé de la fonctionnalité du logiciel fourni ; Les détails d'exécution pour l'USB à distance embarquent des opérations et des instructions de service pour développer votre propre logiciel de centre serveur d'USB

1.4 Matériel

Ce chapitre doit être employé comme référence pour l'usage des différents circuits disponibles à l'utilisateur. En mettant en application une interface sur le FPGA, vous devriez lire sa section correspondante en ce chapitre dans la conjonction avec les datasheets de pièces et le schéma de conseil.

1.5 La conception de référence

Ce chapitre décrira des parties des fichier-projets fournis de code et de FPGA qui semblent comme elles sont importantes. Les utilisateurs très au courant des conseils de FPGA n'emploieront pas probablement les conceptions de référence. Les gens nouveaux au développement de conseil de FPGA pourraient vouloir commencer à partir d'une des conceptions d'exemple.

1.6 L'information de commande

Ce chapitre contient une liste des options disponibles et de l'équipement facultatif disponible ; pièces et de l'équipement suggérés fournis par des fournisseurs de tiers ; En outre informations sur le conseil qui n'a rien à faire avec employer réellement le conseil.

2 Assistances

Certaines prétentions sont faites au sujet des assistances de ce manuel. Au-dessous de est une liste des qualifications nécessaires pour employer avec succès le conseil et le manuel. Une ressource est suggérée pour davantage de lecture est nécessaire.

Le lecteur est à l'aise dans Verilog ou VHDL.
Une amorce de Verilog HDL par Jayaram Bhasker
www.amazon.com

Le lecteur comprend comment calculer des paramètres de synchronisation priés sur une interface électrique en utilisant le datasheet de la pièce d'un fabricant d'IC.

Le lecteur sait mettre en application une conception de HDL en utilisant l'écoulement de conception de Xilinx XST.
http://www.xilinx.com/support/software_manuals.htm

3 Conventions

Ce document emploie les conventions suivantes. Un exemple illustre chaque convention.

3.1 Notations

Préfixe « 0x » La radix sur des nombres est habituellement décimale. Par convention, j'ai commencé les nombres radix-16 avec « 0x »

Suffixez « # » et « n » et « m » Sur les noms de signal ou les valeurs logiques dont les noms finissent dans # ou N ayez habituellement une valeur logique inversée. Ou, dans le cas des signaux physiques sur le conseil, faites représenter un état actif par une basse tension.

3.2 Chemins de dossier

Des chemins aux documents inclus sur le CD d'utilisateur sont mis en tête avec « D:\ ». Ceci se rapporte à votre répertoire racine d'entraînement de CD quand le CD d'utilisateur est inséré dans votre ordinateur de Windows.

Pour que quelques choses vous travaillent correctement (des compilations, des executables, des projets) devra probablement copier le contenu entier du CD d'utilisateur à votre commande dure. Dans ce cas-ci, D:\ veulent se rapporter au chemin de la copie sur votre commande dure. En raison des limitations du logiciel de Xilinx ISE dans Windows, nous recommandons un chemin sans caractères d'espace dans lui. (Les mauvais endroits incluent C : /Documents et arrangements/username/dessus de bureau)

3.3 Physique Dimensions

Par convention, le conseil est orienté suivant les indications de la photo ci-dessus de conseil, avec le « dessus » du conseil étant le bord avec les connecteurs de l'Ethernet RJ45. Le « bon » bord est C et F proche de FPGA. Le côté « laissé » est le côté avec la parenthèse de PCIe. Le côté de « dessus » se rapporte au côté de la carte imprimée avec FPGAs et ventilateurs ; le côté « arrière » est le côté avec les trois connecteurs de daughtercard. L'origine de référence du conseil est le centre du trou de support inférieur de parenthèse de PCI.

Toutes les dimensions physiques sont indiquées en millimètres, quand aucune unité n'est indiquée.

3.4 Goupille noms de partie

Des références à la goupille de la partie individuelle sont données sous la forme *<X><Y>.<Z>*; *<X>* est un de : U pour ICs, R pour des résistances, C pour des condensateurs, P ou J pour des connecteurs, FB ou L pour des inducteurs, TP pour des points test de mesure, MH pour des structures de support, FD pour des fiducials, BT pour des douilles, DS pour des affichages (diodes électroluminescentes), F pour des fusibles, bloc alim. pour des modules d'alimentation d'énergie, Q pour les semi-conducteurs discrets, RN pour des réseaux de résistance, G pour des oscillateurs, X pour des douilles, Y pour des cristaux et la monture de PCIe. *<Y>* est un nombre identifiant uniquement chaque partie d'autres parties de la même classe. *<Z>* est la goupille ou le nombre ou le nom de borne, comme défini dans le datasheet de la pièce. Datasheets pour toutes les pièces standard et facultatives utilisées sur le DN9200K10PCIE8T sont inclus dans la bibliothèque de document sur le CD d'utilisateur.

3.5 Coupures schématiques

Des schémas schématiques partiels sont inclus dans ce document pour faciliter l'arrangement rapide des dispositifs du DN9200K10PCIE8T. Ces coupures **ont été modifiés** pour la clarté et la brièveté, et **peut être absent** signaux, pièces, noms nets, étiquettes et raccordements. Des schémas non modifiés sont inclus dans le CD d'utilisateur comme pdf.

Concevoir la logique d'interface pour les parties externes sur ce conseil exigera certainement au moins une certaine utilisation du schéma. Employez le dispositif de recherche de pdf pour rechercher des filets et des pièces.

4 Glossaire

En ce manuel, des références sont faites à ces choses qui peuvent ne pas avoir aucune signification à toi :

Spartiate………………. Spartiate se rapporte au dispositif de Spartan-3 FPGA employé par
Config FPGA DN9200K10PCIE8T pour exécuter des fonctions de circuit de configuration. Il est
U0 utilisé également l'un pour l'autre avec le « circuit de configuration ». Ce FPGA est non prévu pour être employé par toi.

FPGA Q................. Il y a de quatre FPGAs sur ce conseil : FPGA A, FPGA B, FPGA Q
V5T et le spartiate. Les trois premiers sont prévus pour que l'utilisateur emploie. **PCI**
FPGA exprès Spartiate est réservé pour la commande de conseil et ne devrait pas être considéré
LXT pour émuler votre logique. Le groupe de Dini fournit les dossiers de peu qui peuvent être
FXT utilisé dans FPGA Q dans le bitstream de (nous ne fournissons pas le RTL pour
U3 certaines de ces derniers). Ceux-ci ont mordu le PCI d'instrument de dossiers exprès et peuvent être
« QL » utilisé comme un point final exprès de PCI de prêt-à-aller, ou toi peut a choisi d'employer
FPGA Q en tant que troisième utilisateur FPGA. Si vous avez besoin de PCI exprès, en cela
cas, vous devrez mettre en application votre propre point final exprès de PCI. O employez le noyau de Xilinx Block+.

ISE....................... Ce sont des produits de logiciel fournis par Xilinx
bitgen
impact
XST
EDK
CoreGen
MIG

Bitfile…………………. C'est le contenu du SRAM qui commande les FPGA internes
Jet de configuration comportement. Le fichier de données qui contient ces données est un dossier de .bit et est
dossier de .bit produit par bitgen de Xilinx

DCM…………………. Ces limites se rapportent à des dispositifs du Virtex-5 FPGA qu'il a assumé
DCI que vous savez. Arrangement la fonction (et employer) toutes de
BUFG ces primitifs est certainement exigés pour faire votre travail de conception
DIFF_TERM correctement.
ODDR
IOB

MGT………………….. Ces tous se rapportent à des dispositifs du Virtex-5 FPGA qui est assumé cela
GTP vous savez. Arrangement la fonction (et employer) ceux-ci
GTX des dispositifs peuvent être exigés pour faire votre travail de conception correctement. Voyez
BUFR Guide de l'utilisateur Virtex-5.

BUFIO
OSERDES
IDELAY

LVDS..................... Ceux-ci se rapportent à signaler des normes (niveaux de tension) que sont exigés à
SSTL faites fonctionner quelques interfaces externes au FPGA correctement. Quand
LVCMOS vous savez le niveau d'E/S du signal externe qui doit être conduit, il est
LVDCI habituellement suffisamment pour choisir simplement la correspondance à produire et l'entrée
norme dans le FPGA. Dans le cas quand ce n'est pas possible, vous êtes a compté rechercher la commande standard et s'assurer que choisi La classe de rendement de FPGA est appropriée.

UCF....................... C'est la quelque chose dossier de contrainte. Ceci avec votre RTL
LOC indique le comportement du FPGA, une fois qu' il a configuré. L'UCF
IOSTANDARD contient des informations sur les goupilles d'E/S électriques et la synchronisation
COMMANDE comportement. Employer un UCF est exigé. Votre conception ne fonctionnera pas en dehors
un.

Filet........................ Ces noms tous se rapportent à un conducteur physique sur la carte
Signal garnitures se reliantes d'ICs sur le conseil.
Avion
Rail
Ligne de transmission

LA terre………………….. La terre est un filet sur le DN9200K10PCIE8T. Toutes les tensions absolues
la terre indiqués sont des excentrages en ce qui concerne ce filet. Il peut également se rapporter à un signal
fondé ou produisez net dont a mesuré la tension est égal à ce filet.
0V

AppNote................. Ce sont des publications de Xilinx qui sont disponibles sur le Xilinx
XAPP site Web.

Verilog……………….. C'est le code que vous mettez dans un FPGA
VHDL
RTL
Noyau
IP
Conception

PCIE....................... PCI exprès
Gen2........................ Révision exprès 2.0 de spécifications de PCI
Mux....................... Multiplexeur
Mis-bande....................... Byte de méga par seconde. (1.000.000 bytes)
Mb......................... Bytes de méga (1.048.576 bytes)

GBs........................ Byte de Giga par seconde (1.000.000.000 bytes)
Mis-bande....................... Bit par seconde de méga (1.0000.000 bits)
Gbs......................... Bit par seconde de Giga (1.000.000.000 bits)
MTs........................ Transferts de méga par seconde. Mêmes que le mégahertz, à moins qu'il ne soit pas ambigu
en ce qui concerne le contenu spectral de puissance aimez le mégahertz.
Mégahertz....................... Mégahertz ; « Un million de fois par seconde » (1.000.000). Bidon l'un ou l'autre
au nombre de transactions par seconde, ou à la teneur spectrale de
l'horloge de synchronisation d'un signal, qui est moitié de taux de transfert.
DDR....................... « Double débit ». Ceci se rapporte probablement à une mémoire spécifique
spécifications d'interface pour des drachmes. Il peut également se rapporter à la pratique de
courir l'horloge sur un système synchrone à la moitié-fréquence à
améliorez l'intégrité de signal de l'horloge.

5 Ressources

Les ressources électroniques suivantes vous aideront pendant le développement avec votre conseil.

5.1 CD d'utilisateur

Le CD d'utilisateur contient tous documents électroniques exigés pour toi pour actionner le DN9200K10PCIE8T. Ceux-ci des conceptions incluent les schémas, le manuel d'utilisateur, de FPGA référence, et des datasheets. La structure d'annuaire du CD est comme suit

Config_Section_Code \ La source de progiciels de DN9200K10PCIE8T code. Ce code est fourni au cas où le groupe de Dini obtiendrait le coup par un météore. Dans d'autres circonstances, vous ne devriez pas devoir regarder dans cet annuaire.

Datasheets \ Un datasheet pour chaque partie utilisée sur le conseil. Vous aurez besoin de ces derniers pour connecter avec succès
avec des ressources sur le DN9200K10PCIE8T.

DNMEG_xxx Informations sur un certain commun (facultatif) Daughtercards.

Documentation \ Dini_USB_Spec Contient des informations sur mettre en application le logiciel d'USB ce des interfaces avec le conseil. Ce document davantage est détaillé au sujet du logiciel réel exigé dans une application de Windows ou de Linux.

Documentation \ manuel \ Contient ce document.

Documentation \ MEG400_connectio… Contient un bilan les listes le pinout de toutes les cartes disponibles immédiatement de fille de groupe de Dini.

FPGA_Reference_Designs \ Contient la source et le programme compilé
terrain communal \ dossiers ming pour le DN9200K10- du groupe de Dini
DN9200K10PCIE8T \ Conception de référence de PCIe. En outre, description de conseil
Programming_Files \ dossiers et modèles de simulation.

FPGA_Reference_Designs \ terrain communal \ Contient le code qui est employé par beaucoup de produits de groupe de Dini. Quelques sous-répertoires peuvent ne pas être applicables. Cet annuaire doit être dans le chemin d'inclure de votre projet de Xilinx quand la compilation de la conception ou de elle de référence ne fonctionnera pas très bien.

FPGA_Reference_Designs \ DN9200K10PCIE8T \
Contient le détail de code à DN9200K10PCIE8T. Contient en outre diviser des modèles pour quelques outils de division automatiques.

FPGA_Reference_Designs \ pcie_fpga Contient l'information et le code pour se connecter par interface au bitstream exprès fourni de point final de PCI pour FPGA Q.

PCIe_Software_Applications \ AETest \ La source et les binaries pour le PCI fourni expriment le logiciel de centre serveur.

Schémas \ Rev_01 \ Contient une version de pdf du conseil schéma. Recherchez le pdf en utilisant la commande-f. Contient en outre un netlist d'ASCII du conseil.

USB_Software_Applications \ Contient la source et les binaries pour fourni
conducteur \ applications USB-accueillies de contrôleur.
AETEST_USB \
USBController \

5.2 Dinigroup.com

Les versions les plus récentes des documents suivants sont trouvées sur la page Web de produit http://dinigroup.com/DN9200k10PCIe-8T.php

Le manuel d'utilisateur (ce document)
Errata de conseil (si existe)
Promesses sauvages de vente
Mises à jour constamment à « améliorer » le contrôleur Windows d'USB exécutable
Liens à d'autres choses que vous pourriez acheter

5.3 Errata Liste

Les errata couvrent (disponible chez www.dinigroup.com) des listes tous les cas où le DN9200K10PCIE8T s'avère pour avoir n'arrive pas à atteindre des caractéristiques annoncées, ou où une

erreur dans les schémas ou la documentation est susceptible de causer une erreur de difficile-à-correction par l'utilisateur.

5.3.1 Errata existants

La liste d'errata était vide chez le 1er août 2008

5.4 Conception de référence

La conception de référence met en application quelque chose sur chaque utilisateur E/S dans le dispositif. Pour beaucoup d'utilisateurs, l'UCF a fourni en conception de référence est le document primaire de référence.

5.5 Schémas et Netlist

Des schémas non modifiés sont inclus dans le CD d'utilisateur comme pdf. Employez le dispositif de recherche de pdf pour rechercher des filets et des pièces.

5.5.1 Netlist

Au lieu de fournir une version compréhensible par une machine du schéma, le groupe de Dini fournit un netlist des textes du conseil. Ce netlist contient tous les filets sur le conseil qui se relient à l'utilisateur E/S sur n'importe quel FPGA. Il ne contient pas tous les filets sur le conseil. Le schéma est la seule ressource fournie qui décrit complètement le conseil.

En se connectant par interface à n'importe quel dispositif ou connecteur sur le DN9200K10PCIE8T vous devriez employer le .ucf fourni, ou le netlist pour produire du pinout. Le netlist est situé sur le CD d'utilisateur à

D:\Schematics\Rev _01 \ DN9200K10PCIE8T_customer_netlist.txt

Il est dans difficile-à-emploient le format de « wirelist », qui est format de fixe-colonne-largeur. Vous devrez probablement le mutiler dans l'Excel pour faire n'importe quelle utilisation de elle.

Rappelez-vous que des signaux logiques peuvent être représentés par les filets multiples sur le conseil, par exemple, un signal d'horloge qui a un condensateur de blocage de C.C là-dessus, peuvent seulement apparaître dans le netlist comme raccordement à quelques condensateurs balançants inutiles… mais ils ne sont pas.

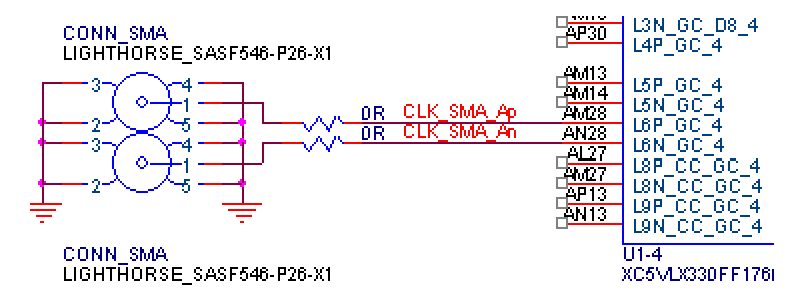


Figure 2 - Un circuit sur le conseil.

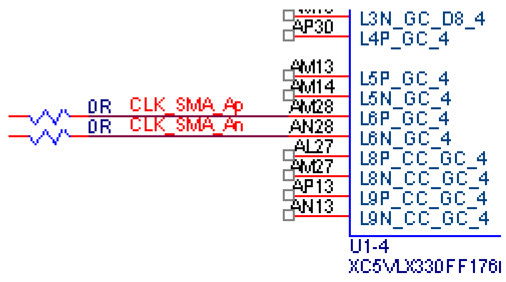


Figure 3 - Comment ce circuit apparaît sur le netlist de client.

5.5.2 Conventions nommées nettes

Tous les filets de « puissance » commencent par a +, - symbole, ou terre

Tous les signaux d'horloge commencent par « CLK »

Deux côtés d'un signal différentiel diffèrent par un caractère « p » ou « n ». Ce caractère est près de la fin du nom net.

Les bas signaux actifs finissent dans # ou N. Dans les dossiers fournis d'UCF, le # est remplacé par un « N ».

5.6 Manuel

Ce manuel est exigé pour être au moins de 200 pages de longueur. Par conséquent,

Le dolor d'ipsum de Lorem reposent l'amet, elit adipisicing de consectetur, sed font le labore d'ut d'incididunt de tempor d'eiusmod et l'aliqua de Magna de dolore. Veniam de minim d'annonce d'enim d'Ut, consequat ex de commodo de l'aliquip provisoire ea d'ut de laboris d'ullamco d'exercitation de nostrud de quis. Dolor d'irure d'aute de Duis dans le reprehenderit dans le pariatur de nulla de fugiat d'Eu de dolore de cillum d'esse de velit de voluptate. Cupidatat d'occaecat de sint d'Excepteur non proident, sunt dans le laborum d'est d'identification d'anim de mollit de deserunt d'officia de qui de culpa.

5.7 Bibliothèque de Datasheet

Datasheets pour toutes les pièces utilisées, ou connectées à, sur le DN9200K10PCIE8T sont fournis sur le CD d'utilisateur. Afin d'employer avec succès le DN9200K10PCIE8T, vous devrez mettre en référence ces datasheets. Les descriptions d'interface données en ce manuel d'utilisateur finissent typiquement avec la connectivité électrique.

Lisez particulièrement le guide de l'utilisateur Virtex-5. La copie a fourni sur l'utilisateur que le CD est seulement récent en date de l'annonce de produit de DN9200K10PCIE8T.

5.8 Xilinx

Le comportement interne du dispositif Virtex-5 est au delà de la portée du soutien technique de ce conseil, bien que nous pourrions nous avérer justement savoir la réponse à vos questions. Des questions techniques au sujet de l'opération interne comportement de FPGA et d'ISE de logiciel devraient être dirigées vers un Xilinx FAE. En outre utilisation :

WebCase http://www.xilinx.com/support/clearexpress/websupport.htm
AnswerBrowser http://www.xilinx.com/xlnx/xil_ans_browser.jsp

Manuel d'ISE http://www.xilinx.com/support/sw_manuals/xilinx82/index.htm
Virtex 5 manuels http://www.xilinx.com/support/documentation/virtex-5.htm
(En outre sur le CD d'utilisateur)

5.9 Conceptions de référence de groupe de Dini

Le code source aux conceptions de référence sont sur le CD d'utilisateur. Copiez et veuillez employez n'importe quel code que vous voudriez sans restriction. La référence se conçoit sont prévues comme exemples, et sont non appropriée probable à un but particulier. Par conséquent, le soutien de ces produits est limité à leur capacité de démontrer comment certaines interfaces pourraient être mises en application.

5.10 Modèles de conseil

Le conseil d'Auspy divisant des modèles, d'autres modèles de division, et les modèles de simulation pour le DN9200K10PCIE8T sont fournis sur le CD d'utilisateur.

_Reference_Designs de D:\FPGA \ DN9200K10PCIE8T \ source \

5.10.1 Constructeur bas de système

Il n'y a pas un dossier fourni de BSB pour le conseil, toutefois créer de nouveaux projets n'est pas très difficile.

5.10.2 La division et 3 de employer[rd] outils de synthèse de partie.

Nous ne pouvons pas soutenir directement des outils de synthèse de tiers et les outils de division que nous n'avons pas. Par conséquent, le soutien de ces outils doit être obtenu à partir du fournisseur de logiciel.

5.11 Détails exprès de PCI

Un dossier séparé contient des détails au sujet du comportement du LXT « PCI FPGA exprès » quand il est chargé avec nos de « point final exprès de PCI pleine fonction maintenant bitfiles fournis avec DMA™ ». Ce document peut être trouvé sur le CD d'utilisateur ici :

_Reference_Designs de D:\FPGA \ terrain communal \ PCIE_x8_Interface

5.12 Appui d'email et de téléphone

Notre nombre de téléphone est (les Etats-Unis) 858-454-3419.
Dave Palmer x30 Questions au sujet de matériel de conseil, plaintes au sujet du manuel d'utilisateur.
Ivan Yulaev x12 Toutes autres questions techniques, plaintes au sujet de la vie.
Mike Dini x11 Questions de ventes, plaintes au sujet des employés.

Le soutien technique de groupe de Dini des produits peut être atteint par l'intermédiaire de l'email à support@dinigroup.com.

Si vous voulez juste prier pour ou acheter des accessoires, email sales@dinigroup.com

Veuillez ne pas envoyer les dossiers de .exe, les dossiers de .vb, les dossiers de .zip contenant d'autres dossiers de .zip, ou certains types de dossiers d'image comme attachements, car nous ne recevrons pas ces email dus à la technologie de module de balayage de virus ultra. Veuillez inclure le numéro de série du

conseil dans votre email. Ceci nous permettra de mettre en référence nos disques concernant votre conseil.

Avant d'entrer en contact avec le soutien des échecs de matériel, vous devriez accomplir ce qui suit :

1) Suivez les étapes de correction dans les sections de dépannage à la fin du chapitre de matériel, et dans toutes les sections applicables d'interface.

2) Examinez les interfaces applicables en utilisant le logiciel fourni et les dossiers de .bit, à l'aide éliminent des échecs de matériel.

Chapitre 2 : Guide rapide de début

Le groupe DN9200K10PCIE8T de Dini peut être employé et commandé en utilisant beaucoup d'interfaces. Afin d'apprendre l'utilisation des interfaces les plus fondamentales du panneau (configuration de FPGA, transfert de données d'USB, etc.) suivez svp les instructions de ce guide rapide de début. Le guide te montrera également comment exécuter l'essai du matériel du conseil pour vérifier la fonctionnalité de conseil. (Le conseil a été déjà examiné à l'usine).

1 Matériaux fournis

Examinez le contenu de votre kit de DN9200K10PCIE8T. Imprimez cette page et cochez ce qui suit :

☐ **DN9200K10PCIE8T** conseil

☐ **Carte instantanée compacte** contenant dossiers de la configuration les « .bit » de FPGA requis pour exécuter l'essai de matériel.

☐ **Lecteur de cartes** USB pour rendre le flash compact

☐ **Câble d'adapteur** pour RS232 (en-tête 10-pin à femelle DB9)

☐ **Câble d'adapteur** pour le PCI les « graphiques exprès actionnent » le connecteur.

☐ **Démarreur de bloc alim.**

☐ **Câble d'USB**; noir ou zèbre-barré.

☐ **Matériel de support** (pour des cartes de fille)

☐ **DISQUE COMPACT-ROM** contenir :
- Virtex 5 conceptions de référence
- Pdf de manuel d'utilisateur
- Pdf de schéma de conseil
- Programme d'USB (usbcontroller.exe)
- Programme de PCIe (Aetest.exe)
- Code source pour le programme d'USB, le programme de PCIe et les progiciels de

DN9200K10PCIE8T
- Netlist de conseil

☐ **Mousse grise ;** mousse lavable réutilisable de partie.

1.1 Conditions de système

Virtex-5 exige ISE 8.2, toutefois ce guide est écrit ISE supposant 10.2.04 est installé. Versions avant que ceci puisse avoir de différentes étapes exigées qui ne sont pas indiquées ici. (Téléchargement juste 10.2)

Le conseil est équipé de logiciel qui peut être employé dans diverses versions de Windows ou de Linux, toutefois de ce guide, on le suppose que vous avez accès à un ordinateur de 32 bits Intel-compatible avec Windows XP SP2 ou SP3 installé, USB 2.0 et une fente x16 exprès de PCI. Autrement, on peut exiger différentes étapes qui ne sont pas indiquées ici. (Empruntez juste la machine de Windows de directeur de bureau)

On le suppose que vous avez un câble d'USB de plateforme de Xilinx ou d'USB II de plateforme pour l'usage avec JTAG. L'utilisation de ce conseil est possible sans ce câble, toutefois ce guide suppose que vous avez un. Les étapes pour employer JTAG ou mettre à jour des progiciels peuvent être différentes si vous n'avez pas ce câble. (Ordre juste un câble de Xilinx JTAG)

Votre vie sera également plus facile avec un oscilloscope et un multimètre.

2 Avertissements

2.1 ESD

Le DN9200K10PCIE8T est sensible à l'électricité statique, ainsi traitez la carte en conséquence. Les cibles pour ce produit incluent les départements de technologie qui sont au courant de FPGAs et de cartes. Si vous êtes peu familier avec la décharge électrostatique, veuillez aller eu connaissance de elle sur Wikipedia avant de toucher le conseil. Il y a les points ESD-sensibles exposés partout le DN9200K10PCIE8T. Choquer un de l'IOS exposé d'un du FPGAs pourrait mener à une réparation coûteuse ou doit feindre comme il était comme celui quand vous l'avez obtenu.

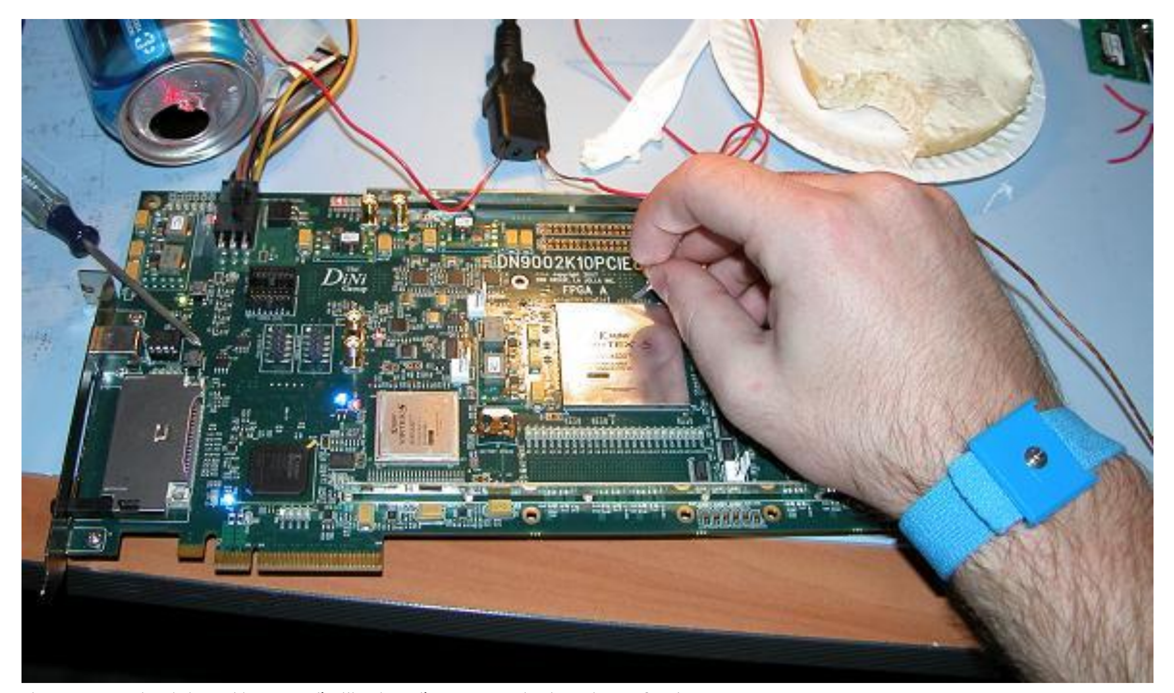


Figure 4 - Un ingénieur démontre l'utilisation d'une courroie de poignet fondante

Il y a deux grands rails fondés en métal sur le DN9200K10PCIE8T. L'utilisateur devrait saisir le conseil à l'aide de ces rails comme un Mawashi.

400 connecteurs à broches ne sont pas 5V tolérant. En fait, très peu de surfaces exposées sur le conseil sont tolérantes des tensions 4V plus grand que. Selon le Virtex 5 datasheets, la tension appliquée maximum à tous les signaux d'E/S sur le FPGA est la tension de « VCCO » liée à la carte de fille. Ceci signifie que vous ne devriez pas essayer de dépasser l'IOS dans une interface de FPGA au-dessus de la tension d'interface indiquée en ce manuel.

2.2 Autre

Quelques parties du conseil sont physiquement fragiles. Faites attention supplémentaire en manipulant le conseil pour éviter de toucher les connecteurs de daughtercard. Laissez les couvertures sur les connecteurs de daughtercard toutes les fois qu'elles sont non utilisables. Utilisez le matériel de support pour fixer des daughtercards.

Les en-têtes extérieurs de bâti avec des câbles attachés à eux endommageront par la suite le conseil quand votre chaise roule au-dessus du câble. Si vous avez des câbles attachés à votre conseil, utilisez les serres-câble.

3 Pré-alimentation sur des instructions

La plupart des câbles et des connecteurs sur le conseil ne sont pas appropriées à chaud-permutent et devraient donc être reliées avant les puissances de conseil dessus.

L'image ci-dessous représente votre DN9200K10PCIE8T. Vous devrez connaître l'endroit des pièces suivantes référencées en ce chapitre.

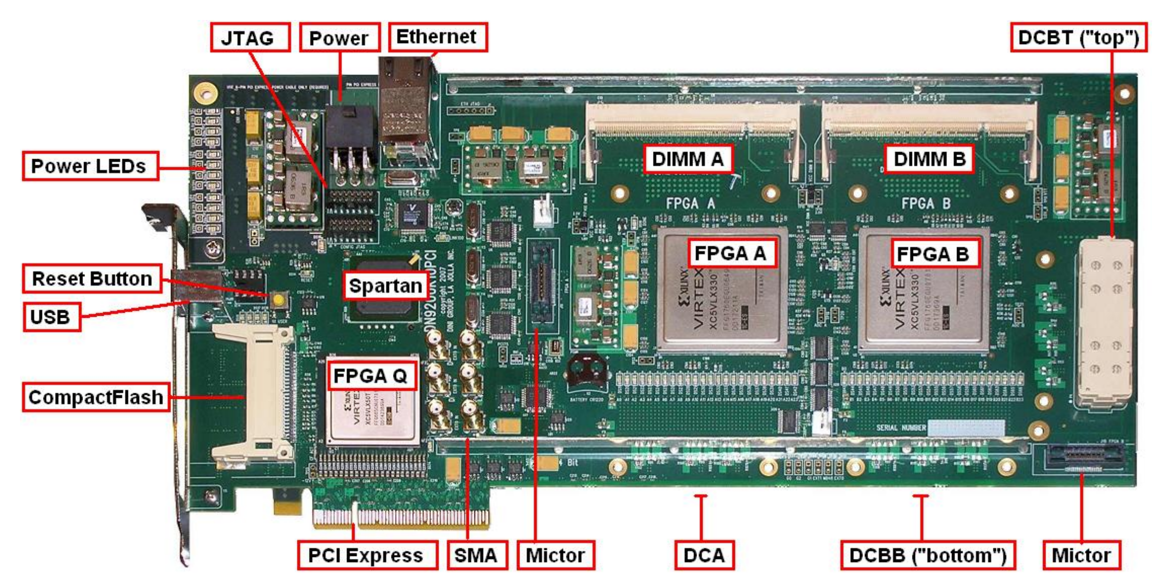


Figure Substance de 5 DN9200K10PCIE8T que vous devez connaître pour obtenir commencé.

Le FPGAs sur le conseil sont appelés « FPGA A », « FPGA B », FPGA C, FPGA D, FPGA E, et FPGA F suivant les indications de la photo ci-dessus. Le « FPGA Q » est le sommet 5 LX50T.

Pour commencer à travailler par le DN9200K10PCIE8T, suivez les étapes ci-dessous.

3.1 Installez la mémoire (facultatif)

Le DN9200K10PCIE8T vient emballé sans mémoire installée. Le conseil n'a pas besoin de mémoire pour fonctionner, toutefois l'essai de matériel pourrait indiquer l'échec sur les douilles DDR2 si vous n'en installez pas maintenant.

La conception de référence soutient assez beaucoup de n'importe quelle sorte de DDR2 SODIMM du lequel j'ai entendu parler. Si vous trouvez un DIMM incompatible, l'email nous le numéro d'article ainsi nous peut ajouter le soutien de lui.

Installez la mémoire dans des douilles DIMMA et DIMMB

3.2 Préparez les dossiers de configuration

Le DN9200K10PCIE8T peut lire des données de configuration de FPGA d'une carte de CompactFlash. Pour programmer le FPGAs sur le DN9200K10PCIE8T, vous pouvez placer des dossiers de conception de FPGA (avec une prolongation de dossier de .bit) sur le répertoire racine du fichier sur cartes de CompactFlash en utilisant le lecteur de cartes fourni d'USB.

Le DN9200K10PCIE8T se transporte avec une carte 256MB instantanée compacte préchargée avec la conception de référence de groupe de Dini. Ceux-ci les dossiers « mordus » peuvent également être trouvés sur le CD d'utilisateur. Vous pouvez également compiler la source de conception de référence (fournie sur le CD) et placer les dossiers produits de .bit sur la carte instantanée compacte.

Insérez la carte instantanée compacte fournie marquée « conception de référence » dans votre lecteur de cartes d'USB. Assurez-vous que la carte contient au moins ces trois dossiers :

FPGA_A.bit
FPGA_B.bit
main.txt

Les dossiers FPGA_A-B.bit sont des dossiers créés par le bitgen de programme de Xilinx, une partie des outils d'ISE 9.2. Le dossier main.txt contient des instructions pour le contrôleur de configuration de DN9200K10PCIE8T, incluant à qui FPGAs à configurer, et à quelle fréquence les réseaux globaux d'horloge devraient être automatiquement ajusté.

Un dossier de main.txt d'exemple peut être trouvé sur la carte fournie de CompactFlash, ou sur le CD d'utilisateur.

3.3 Insérez la carte instantanée compacte

Cette étape implique d'insérer la carte de CompactFlash dans la fente de DN9200K10PCIE8T CompactFlash. Aucun autre conseil n'est donné.

3.4 Installez DN9200K10PCIE8T dans l'ordinateur (facultatif)

Si vous projetez employer le DN9200K10PCIE8T dans une fente exprès de PCI, installez-la maintenant. Faites ceci avec le courant coupé. Je ne pense pas que c'est chaud-permutable.

Si vous n'employez pas le DN9200K10PCIE8T dans une fente exprès de PCIe, sautez cette étape. Le conseil peut à la place être de table actionné. Le DN9200K10PCIE8T est compatible avec PCIe-Exprime 1, 4.8, ou 16 fentes de ruelle. Adapter physiquement le conseil dans une fente 4x ou 1x exigera une carte d'adapteur, comme ceux fournis par le catalyseur.

Si vous sautez cette étape, alors AETest ne peut pas être employé.

3.5 Reliez le câble RS232

Le contrôleur de configuration montre des messages de statut à une borne RS232. Si (quand) quelque chose est mal assortie à la configuration, des messages de cette de borne de volonté erreur de rendement. Normalement, vous relieriez seulement ce câble quand quelque chose ne travaille pas et vous voulez corriger le problème.

Employez le câble plat fourni pour relier le port de MCU RS232 (P3) à une porte série d'ordinateur à la rétroaction de vue des circuits de configuration pendant la configuration de FPGA. Exécutez un programme terminal périodique sur votre PC (sur Windows vous pouvez employer HyperTerminal Commencez> les communications> HyperTerminal> d'accessoires> de programmes) et assurez-vous que la porte série d'ordinateur est configurée avec les options suivantes :

Bits par seconde : 19200
Bits d'informations : 8
Parité : Aucun
Bits d'arrêt : 1
Commande d'écoulement : Aucun
Émulation terminale : VT100 (ou absents, si disponible)
HyperTerminal est un programme pauvre. Vous pouvez employer le mastic ou le SecureCRT du logiciel de Vandyke si vous êtes une personne moins tolérante.

3.6 Reliez le câble d'USB

Employez le câble fourni d'USB pour relier le DN9200K10PCIE8T à un ordinateur de Windows (Windows XP ou Vista est recommandé).

Si votre tableau est installé dans une fente de PCIe, vous pouvez relier l'USB à partir du même ordinateur principal si vous souhaitez. Un ordinateur différent est également correct.

3.7 Reliez le cable électrique

La puissance connectée par cables à J3 est exigée. Si vous ne branchez pas un câble ici, le conseil ne mettra pas sous tension. C'est vrai si le conseil est installé sur une fente exprès de PCI. La plupart des nouvelles alimentations d'énergie d'ordinateur ont 6 une goupille connecteur de puissance « de graphiques exprès de PCI ». Si vôtre pas , vous pouvez employer le câble fourni d'adapteur.



Figure 6 - Une six-goupille adapteur exprès de « puissance de graphiques " de PCI

Si vous êtes opérer de bureau, et pas dans une carte mère, alors vous aurez besoin d'une alimentation d'énergie autonome d'ordinateur (non fournie). Votre alimentation d'énergie ne pourrait pas s'allumer si sa 20 ou 24 goupilles connecteur de puissance de « carte mère » ne sont pas reliées à n'importe quoi. Dans ce cas-ci, reliez le démarreur fourni de bloc alim. au bloc alim.

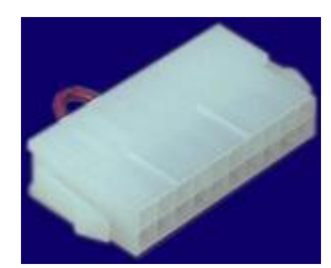


Figure 7 - Une alimentation d'énergie « démarreur »

3.8 Cartes de fille

Je sais que vous voulez brancher vos cartes de fille en ce moment, mais attendons jusqu'à ce que vous soyez au courant du conseil d'abord. Notez en outre que ces interfaces de daughtercard ont été spécifiquement conçues pour très à grande vitesse, que des moyens ils sont également spécifiquement conçus de casser facilement. Lisez le chapitre de « matériel » au sujet de la façon installer correctement des cartes de fille avant de l'essayer .

4 Puissance sur des instructions

Mettez en marche l'alimentation d'énergie d'ordinateur de bureau (pour l'opération d'ordinateur de bureau) ou l'ordinateur (opération de PCIe).



Figure 8 - Le schéma 8

Quand les mises sous tension de DN9200K10PCIE8T, il charge automatiquement les dossiers de conception de Xilinx FPGA (fin avec une prolongation de .bit), a trouvé sur la carte de CompactFlash dans la fente de CompactFlash dans le FPGAs, selon l'instruction dans le dossier de main.txt sur la carte de CompactFlash.

Ce processus peut prendre 5 ou 10 secondes. Car chaque FPGA est configuré un bleu voisin « FAIT » la LED s'allumera.

4.1 Rétroaction RS232 fini de configuration de vue

Le but du port de RS232 de « MCU » est de te permettre de déterminer pourquoi le conseil ne se comporte pas comment vous prévoyez. Il y a quelques commandes RS232 fini disponible, toutefois la plupart des personnes ne les emploient pas.

Comme mises sous tension de DN9200K10PCIE8T, votre borne RS232 (reliée à P3) des informations d'affichage sur le processus de configuration. Si de FPGAs l'échouer jamais à configurer en utilisant la carte instantanée compacte, ceci est le meilleur endroit pour rechercher l'aide.

Un RS232 typique puissance-sur la session est donné ci-dessous.

VERSION DU GROUPE FLP EEPROM DE DINI NOUVELLE Aucun câble d'USB détecté	Manquer d'EPROM.
Rechargement du flash. Svp attente. INITIALISATION D'INSTANTANÉ DE DN9200K10PCIE8T	Manquer de flash Contrôles de matériel.
CONTRÔLE G0 : PASSAGE CONTRÔLE G1 : PASSAGE CONTRÔLE G2 : PASSAGE .... FPGAs trouvé	Auto-test de matériel
UN B Q Rajustement de CompactFlash : FAIT Dossiers de configuration sur la carte : FPGA A : FPGA_A.BIT FPGA B : FPGA_B.BIT OPTIONS : Niveau de message : 2 SanityCheck : SUR	Montre quels dossiers ont été trouvés sur la carte de CompactFlash.
************* CONFIGURANT LE *************** DE FPGA A Contrôle de santé d'esprit : passage Propriétés de dossier de peu Nom : FPGA_A.BIT Volume de fichier : bytes 009806AB	FPGA de configuration A selon main.txt

Partie : 5vlx330ff1760 Date : 2007/12/20 PASSAGE .... A DE CONFIGURATION FAIT ************* CONFIGURANT LE *************** DE FPGA B Contrôle de santé d'esprit : passage Propriétés de dossier de peu Nom : FPGA_B.BIT Volume de fichier : bytes 009806AB Partie : 5vlx330ff1760 Date : 2007/12/20 PASSAGE .... B DE CONFIGURATION FAIT	FPGA de configuration B selon main.txt
OPTIONS : Le niveau de message a placé à 2. I2C_CONTROL = 0x04 Sondes de température OUI B OUI Q OUI Seuil : 80 C USB de initialisation : FAIT MENU PRINCIPAL (numéro de série #0806013) 1) Configurez de Main.txt 2) Menu interactif de configuration 3) Vérifiez le statut de configuration 4) Choisissez le nouveau dossier de configuration 5) Dossiers de liste sur la carte de CompactFlash 6) Dossier de décharge sur la carte de CompactFlash 7) Na g) Les températures de l'affichage FPGA h) Placez le seuil de la température i) Lisez le registre IIC j) écrivez le registre IIC k) Remettez à zéro l'USB ÉCRIVEZ LE CHOIX :	Le menu principal permet la commande de quelques fonctions limitées plus de RS232. Toutes ces fonctions peuvent être contrôleur d'autres interfaces, tellement typique ce menu sont seulement employées pour la correction.

Figure Rendement 9 RS232

4.2 Vérifiez les lumières de statut de LED

Le DN9200K10PCIE8T a beaucoup de le statut LED pour aider l'utilisateur à confirmer le statut du processus de configuration.

Vérifiez la panne de courant LED de confirmer que tous les rails de tension du DN9200K10PCIE8T sont en dessous de tolérance. Si la tension de n'importe quel filet de puissance critique sur le DN9200K10PCIE8T est trop haute ou si basse, le conseil sera tenu dans la remise et au moins une des LED rouges s'allumera. En outre, rien ne travaillera au conseil. Les LED sont situées le long du bord

gauche. Chaque est marqué avec la tension qu'il représente. Normalement, toutes ces LED sont éteintes. Si quelconque d'entre ces LED s'allument, il y ont un problème de puissance avec le conseil, et vous devriez nous contacter. Le problème le plus commun qui causera ces LED à la lumière est un problème avec l'alimentation d'énergie. Plus sur cette matière est plus tardif, mais pour maintenant toi peut essayer un autre approvisionnement.

Remettez à zéro la LED. Quand le conseil est dans la remise pour n'importe quelle raison, y compris la panne de courant ou appuyer sur le bouton de remise, cette volonté de LED rouge-clair. La LED est située au-dessus de la banque des LED de panne de courant, à côté du bouton « de REMISE de système ». Dans la plupart des situations une LED ROUGE sur le conseil indique une certaine sorte d'échec, et vous devriez savoir pourquoi la LED est allumée.

Spartiate FAIT. Vérifiez le statut spartiate LED de FPGA situé près du FPGA spartiate. Si cette LED n'est pas BLEUE, il y a un problème sérieux avec le conseil. Rien sur le conseil ne fonctionnera correctement est le spartiate n'a pas configuré pour quelque raison. Une raison que cette LED pourrait être éteinte est qu'une mise à jour récente de progiciels a échoué. Essai réinstallant les progiciels.

Utilisateur LED. Quand la conception principale de référence de chaque FPGA est chargée, le FPGAs clignotera leur jaune/rouge/vert le « UTILISATEUR LED » S. Ces LED sont reliées directement à chacun du FPGAs.

Activité de CF: Quand le conseil est en cours de données de configuration du chargement FPGA de la carte de CompactFlash, la LED jaune après à la carte de CompactFlash clignotera.

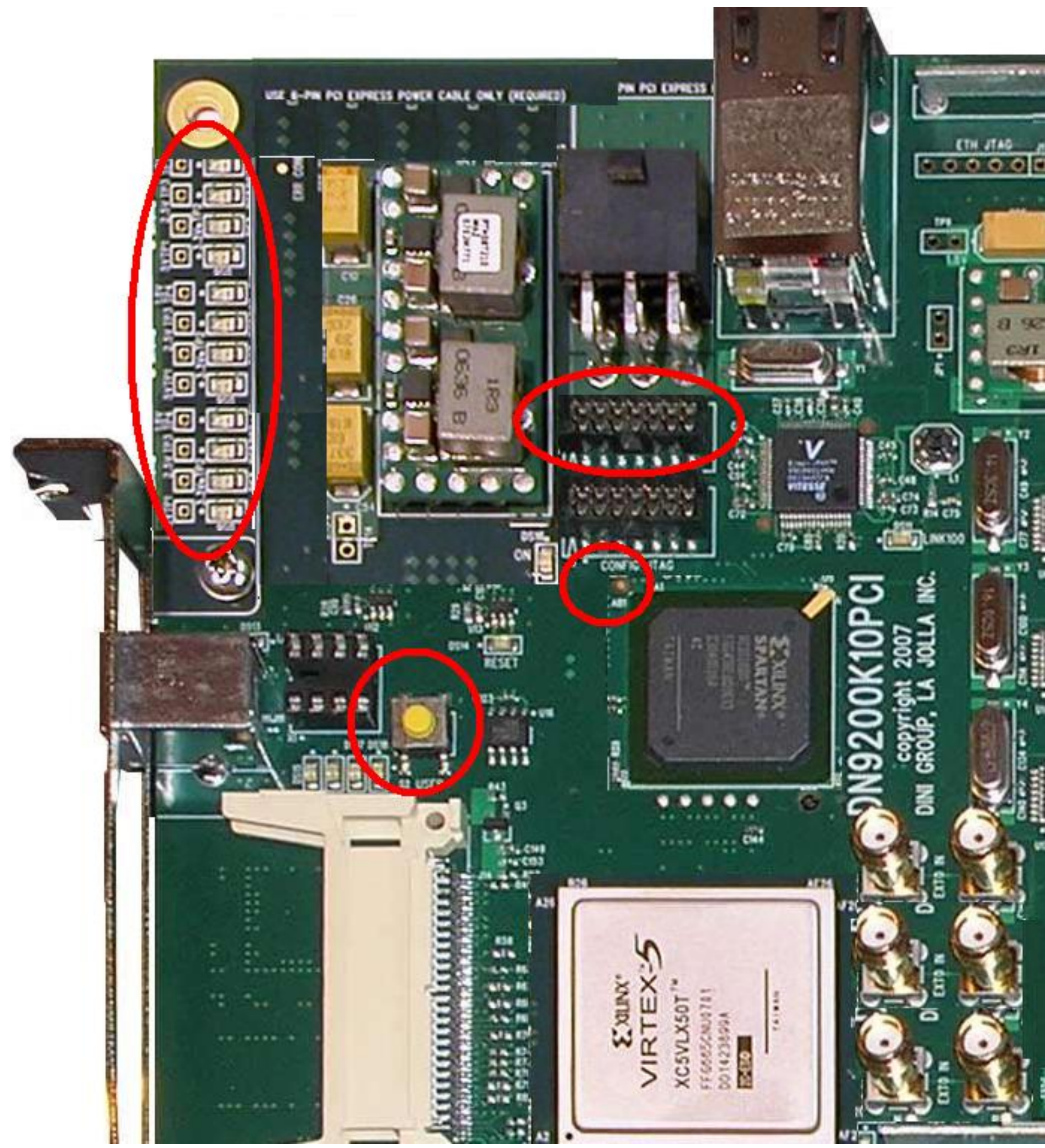


Figure 10: LED

5 Courez le contrôleur d'USB

Cette section vous obtiendra a commencé par l'USB et te montre comment actionner le logiciel fourni.

5.1 Installation de conducteur

Quand les mises sous tension de DN9200K10PCIE8T, ou toi le reliez à un port d'USB pour la première fois, l'ordinateur te demandera d'installer un conducteur.

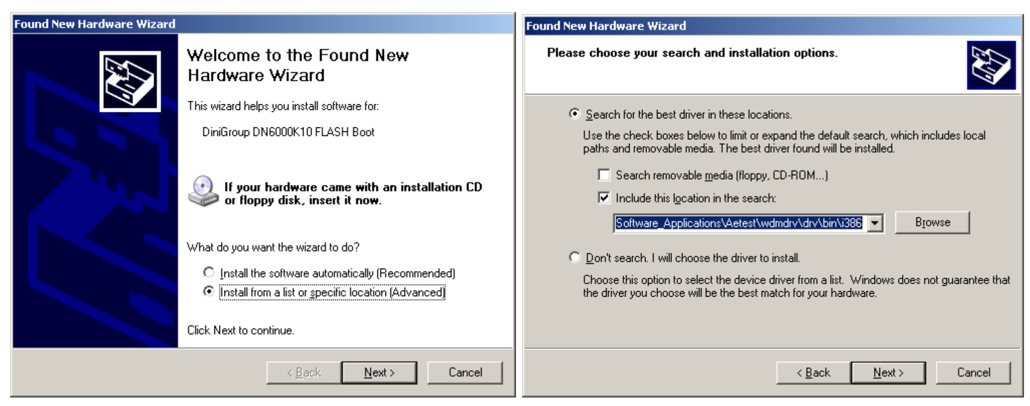


Figure 11 - Magicien d'installation de conducteur

Dans la fenêtre qui apparaît, choisie « installez d'une liste ou d'un endroit spécifique ». Choisissez après.

Cliquez « incluent cet endroit dans la recherche » et passent en revue à
_Software_Applications de D:\USB \ conducteur \ windows_wdm
Choisissez après.

Dans la prochaine fenêtre, choisissez l'article dans la liste « émulateur du groupe ASIC de Dini ». FINITION de clic.

Après que Windows installe le conducteur, vous pourrez voir le dispositif suivant dans le groupe « d'émulateurs d'ASIC » dans le directeur de dispositif de Windows : « Émulateur du groupe ASIC de Dini ».

5.2 Fonctionnement du programme de contrôleur d'USB

Courez l'application de contrôleur d'USB trouvée sur le CD de produit dans des _Software_Applications de D:\USB \ USBController \ USBController.exe

Quelques parties du programme mon bork si vous essayez d'exécuter le programme du CD d'utilisateur sans le copier à votre commande dure.

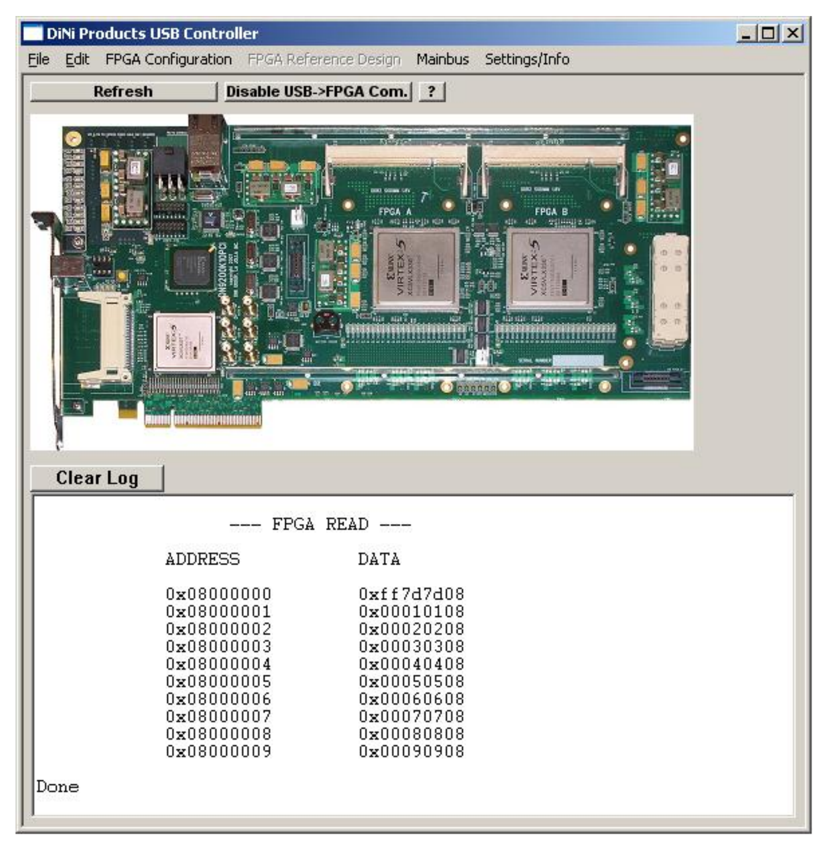


Figure 12: Fenêtre de contrôleur d'USB.

Cette fenêtre semblera montrante l'état actuel du DN9200K10PCIE8T. Si FPGA configuré, à côté de chaque FPGA une lumière bleue apparaîtra.

La fenêtre montrée ci-dessus devrait apparaître. Si le programme montre une boîte de message qui indique, « dispositif n'a pas trouvé », alors ou le conducteur n'est pas installé correctement, ou l'ordinateur ne voit pas le dispositif au-dessus de l'USB.

5.2.1 Configurez un FPGA

Quoique la conception de référence devrait déjà être chargée (parce que vous avez fait installer une carte instantanée compacte quand le conseil mis sous tension), configurons un FPGA au-dessus d'USB.

Pour dégager un FPGA de sa configuration, droit-cliquez sur un FPGA, et choisir parmi le menu automatique, « FPGA clair ». La lumière bleue au-dessus du FPGA sur le conseil, et le bleu virtuel LED au-dessus du FPGA dans le GUI si tous les deux s'éteignent.

Pour modifier ce FPGA en utilisant le programme de contrôleur d'USB, droit-cliquez sur le FPGA et choisi configurez FPGA par l'intermédiaire de l'USB du menu automatique. Le programme ouvrira une zone de dialogue pour que vous choisissiez le dossier de configuration pour employer pour la configuration. Passez en revue au CD de l'utilisateur fourni
« _Reference_Designs de D:\FPGA \ Programming_Files \ DN9200K10PCIE8T \ MainTest \ LX330 \ fpga_a.bit »
Si vous configurez un dispositif LX220 ou LX110 vous devriez choisir un dossier de peu à partir des annuaires LX220 ou LX110 à la place. Ne choisit pas le type correct de dossier de peu aura comme

conséquence le programme de contrôleur d'USB pour vous avertir, et le FPGA ne configurera pas. Le programme rapportera le statut de la configuration quand il finit. « FAIT n'a pas passé à 1 ». (« FAIT » se rapporte au signal FAIT de SelectMap, qui est affirmé par le FPGA quand il est correctement configuré. « FAIT » est sémantiquement le même que « est configuré »)

Si vous configurez FPGA B ou FPGA Q, vous devriez choisir fpga_b.bit ou fpga_q.bit à la place. Si vous configurez le FPGA faux avec un bitfile destiné à un autre FPGA, le FPGA réussira pour configurer, mais ne fonctionnera pas probablement correctement (parce que le pinout sont différent pour chacun des six FPGAs). Ceci n'est pas recommandé parce qu'il pourrait mener à transporter la controverse et la génération excessive de la chaleur.

```
Fait
FPGA B s'est dégagé avec succès.
FPGA A dégagé avec succès.
En faisant une santé d'esprit vérifiez… le contrôle de santé d'esprit passé. FPGA de configuration B par l'intermédiaire d'USB… attendent svp.
Dossier
D:\ \ dn_BitFiles \ DN9200K10PCIE8T \ MainTest \ LX330 \ fpga_b.bit ont transféré.
FPGA configuré B par l'intermédiaire d'USB
```

Figure 13: Rendement de notation de contrôleur d'USB

La boîte de message au-dessous du graphique de DN9200K10PCIE8T devrait montrer quelques informations sur le processus de configuration. Quand la configuration est réussie, la LED verte devrait réapparaître à côté du FPGA.

5.2.2 Placez les fréquences de base

La logique de FPGA est courue sur les horloges externes dont les fréquences sont produites sur le conseil selon les commandes dans le dossier de main.txt. Trois de ces horloges, G0, G1 et G2 peuvent être de quelque fréquence l'utilisateur désire.

Pour changer les fréquences de base de G0, G1 ou G2, choisissent l'option « d'arrangements d'horloge » à partir du menu de « arrangements ».

Une zone de dialogue semble demandante à quelle fréquence vous voudriez que règle chaque horloge. Écrivez 200, 250, 200 pour G0, G1 et G2 respectivement. La conception de référence de groupe de Dini peut seulement fonctionner quand les horloges sont réglées dans une marge de fréquence donnée.

5.3 Exécutez les essais de matériel

Les dossiers fournis de peu sur la carte de CompactFlash peuvent être employés pour agir l'un sur l'autre au-dessus de l'USB avec le programme de contrôleur d'USB.

Laisse exécuter deux essais. Assurez-vous que la conception de référence est configurée dans les les deux FPGAs.

5.3.1 Fréquences de base

D'abord, frappez le bouton « permettent> d'USB- FPGA communication ». Du menu « de conception de référence », choisi « relisez les fréquences de base ». Choisissez n'importe quel FPGA qui est configuré. Il devrait imprimer une liste de toutes les horloges reliées à celle FPGA, avec sa fréquence, mesurée à partir de dans la logique de FPGA.

5.3.2 DDR2

Si vous n'avez pas les modules DDR2 installés dans les douilles de mémoire, vous pourriez aussi bien sauter cette étape, à moins que vous voudriez simuler exécuter l'essai en état d'échec.

Si vous n'avez pas déjà, frappez le bouton « permettent> d'USB- FPGA communication ». Ceci doit être fait avant que le programme puisse agir l'un sur l'autre avec la conception de référence.

L'essai DDR2 exige de certaines fréquences d'être placées pour qu' il travaille sans erreurs. Les arrangements corrects sont G0 : 250Mhz, G1 : 250Mhz, G2 : 200Mhz.

En plus, les fréquences de base changeantes tandis qu'une conception de FPGA fonctionne peuvent causer des erreurs dans la logique. Pour combattre ceci que vous devrez remettre à zéro la logique dans le FPGAs. Vous pouvez faire ceci en appuyant sur le bouton remis à zéro « par utilisateur » sur le conseil.

À partir du menu de mémoire de FPGA, choisissez l'essai DDR. Une boîte apparaîtra et demandera quel FPGA devrait être examiné. Choisissez A ou B est la réponse correcte. La fenêtre de notation rapportera si l'essai a passé. S'il échoue, il imprimera une liste d'adresses et de données qui ont échoué.

5.3.3 D'autres essais de matériel

Ce programme peut être employé de façon ou d'autre pour examiner tout les matériel sur le conseil comprenant l'interconnexion et les horloges.

5.4 Obtenir des données à et du FPGA

Le programme de contrôleur d'USB te permet également de configurer facilement et transférer des données à et de l'utilisateur concevez sur la carte d'émulation. Ce transfert de données se produit au-dessus de « MainBus » du conseil. Cette interface est décrite dans le chapitre de matériel.

Avant que l'USB puisse être utilisé pour actionner « MainBus », vous devez frapper le bouton « permettez> d'USB- FPGA communication » près du dessus de la fenêtre d'USB.

Aux données lues de la conception de FPGA (la conception de référence de groupe de Dini), choisissez parmi le menu
MainBus-> a lu

Dans la zone de dialogue résultante, écrivez « 080000000 » dans la boîte « d'adresse de début » et « 10 » dans la boîte de « taille ». Serrez BIEN, et alors FAIT. Le résultat du lu est imprimé à la fenêtre de notation de contrôleur d'USB.

--- FPGA A LU ---

ADRESSE	DONNÉES
0x08000000	0xdead5566

0x08000001	0x00000000
0x08000002	0x05000135
0x08000003	0xffffffee
0x08000004	0x34561111
0x08000005	0x00000001
0x08000006	0x00000000
0x08000007	0x00000000
…	

Figure 14: Rendement de notation de contrôleur d'USB

L'adresse 0x080000000 est par la convention de « MainBus » affectée en tant qu'élément de l'espace disponible pour l'exécution par FPGA A sur le DN9200K10PCIE8T. Si FPGA A n'est pas chargé avec la conception de référence de groupe de Dini (ou une conception qui met en application le MainBus slave), alors toute l'adresse lit renverra 0xDEADDEAD.

La lecture de l'adresse 0x18000000 démontrera la communication avec FPGA B.

6 Courez AETest_wdm

Si vous n'installiez pas le DN9200K10PCIE8T dans une fente exprès de PCI avant toi a actionné sur votre ordinateur, alors vous devrez sauter cette étape.

Le programme fourni pour accéder au DN9200K10PCIE8T au-dessus de PCIe s'appelle AETest. Il est situé sur le CD d'utilisateur
_Software_Applications de D:\PCIe \ Aetest \ aetest \ aetest_wdm.exe

Si vous courez Linux ou Solaris, vous devez compiler AETest (et conducteur) avant de continuer ce rapide-commencez le guide. Ceci implique d'installer les paquets de source de grain sur l'ordinateur, chargeant alors un module de grain de façon ou d'autre. Les détails sont dans le chapitre de logiciel. Le reste de ce guide suppose que vous employez Windows XP ou Vista.

Après que vous tourniez votre ordinateur sur l'ordinateur montrera un dialogue demandant le conducteur pour « un conseil de groupe de Dini avec le PCI de Virtex 5 exprès »

Le clic « choisissent un conducteur pour installer » -> Cliquez « ont le disque » et passent en revue à D:\ PCIe_Software_Applications \ Aetest \ wdmdrv \ drv \ dndev.inf

6.1.1 Employez AETest

Courez AETEST_wdm. L'application d'AETest devrait montrer son menu principal.

```
C:\dpalmerMKS\AETest\aetest\aetest_wdm.exe
Symbolic link is \\?\pci#ven_17df&dev_1864&subsys_186417df&rev_00#4&1f7dbc9f&0&0
8f0#{f0b1da27-6ac7-4d1f-9eb0-1daf1b7e7131}

Got ConfigFPGA_id: 0xffffffff

Found Device ---- v17df, d1865 name="DN8000K10PCIE Virtex4 PCI Express Board"
Compiled on: Sep 18 2006 at 13:55:46
press any key
_
```

Figure 15 - Écran d'éclaboussure

Si cette fenêtre indique quelque chose comme « GUID non trouvé », alors le conducteur n'est pas installé correctement. Signez le directeur de dispositif de fenêtres et voyez si un dispositif avec VID 0x17DF et PID 0x1900 est là.

```
C:\dpalmerMKS\AETest\aetest\aetest_wdm.exe
                 -=-= ASIC Emulator PCI Controller Driver =-=- v9
                Compiled on: Sep 18 2006 at 13:55:44

                        P> PCI Menu
                        M> Memory Menu
                        FPGAs stuffed: A B C
                        1> Interconnect test
                        2> Read clock frequencies
                        4> MGT Menu
                        7> Production Tests Menu

                        Q> Quit

                         -=-= PCI BASE ADDRESS =-=-
                0 : f7000000    1 : f6000000    2 : f5000000
                3 : f4000000    4 : f3000000    5 : f2000000


        Please select option:  _
```

Figure 16 - Menu de force d'AETest

C'est le menu, avec quelques choses que vous pouvez faire. Lire et écrire à la conception d'utilisateur dans le FPGAs, emploient le « menu de mémoire ». « L'autobus principal » est accessible. C'est la même espace adresse qui était à la disposition de nous plus tôt USB d'excédent.

Vous pouvez en plus accéder à l'interface exprès directe rapide de PCI à FPGA A, en utilisant le PCI « barre lue » et la « barre écrivent » des fonctions. Le plus bas 4Kb de l'espace dans la barre 2 est assigné à une mémoire d'éraflure résidant dans FPGA A.

```
C:\dpalmerMKS\AETest\aetest\aetest_wdm.exe

 -=-= ASIC Emulator PCI Controller Driver =-=- v9
Compiled on: Sep 18 2006 at 13:56:06

1> MainBus Write Dword  2> MainBus Read Dword
3> MainBUs Memory Fill
4> MainBus Memory Display
5> PCI BAR Write Dword  6> PCI BAR Read Dword
7> PCI BAR Memory Display
8> PCI BAR Memory Range Test
a> set DDR2 config to test on FPGA B
b> set DDR2 config to test on FPGA C
c> test DDR2 on FPGA B
d> test DDR2 on FPGA C
e> full DDR2 memory test
f> quick DDR2 test FPGA B
g> quick DDR2 test FPGA C

M> Main Menu                     Q> Quit
        -=-= PCI BASE ADDRESS =-=-
0 : f7000000    1 : f6000000    2 : f5000000
3 : f4000000    4 : f3000000    5 : f2000000

Please select option: _
```

Figure 17 - Menu de mémoire

Pour examiner l'accès exprès à grande vitesse de PCI directement à FPGA A (FPGA supposant A est configuré), choisissez « l'affichage de mémoire de BARRE de PCI ». A choisi la barre 0, l'excentrage 0. Le rendement de cette option de menu est mémoire sur FPGA A. Sur le PCI, quand un résultat lu est 0xFFFFFFFF il pourrait indiquer un échec. (C'est le résultat retourné au logiciel quand un arrêt de matériel se produit sur le PCI ou le PCI exprès).

Il est acceptable d'accéder au DN9200K10PCIE8T de l'USB et du PCIe en même temps. L'exclusivité mutuelle de tous les dispositifs n'est pas menée à bonne fin, mais c'est un pari sûr qui si vous employez le dispositif de « MainBus » de PCIe et d'USB simultanément, le conseil fera quelque chose autre que le travail correctement.

7 Balayez le JTAG chaîne

Si vous souhaitez, vous pouvez programmer le FPGAs en utilisant leur interface de JTAG. Reliez un câble d'USB de plateforme de Xilinx dans le port de FPGA JTAG (J5), et ouvrez le programme d'impact qui est installé avec Xilinx ISE 10.2.

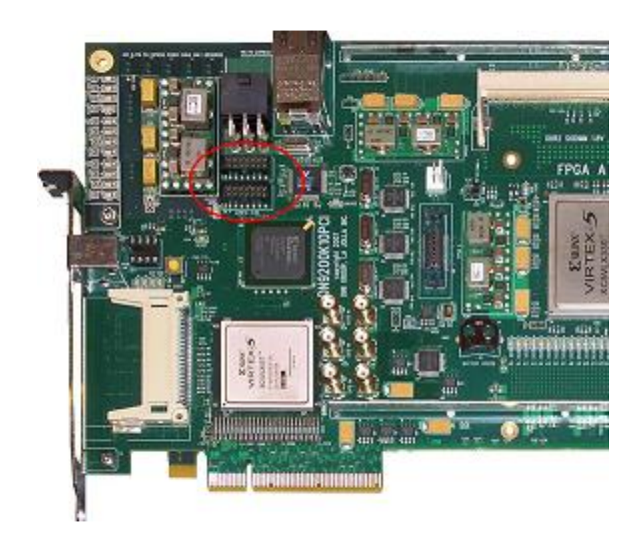


Figure 18 - En-têtes de JTAG

Quand vous reliez le câble d'USB de plateforme pendant la première fois, Windows installera automatiquement un conducteur trois fois dans une rangée, comme un perroquet retardé.

Le programme « balaye la chaîne » pour auto-detect le type et le nombre de FPGAs installés sur votre conseil et pour les montrer sur l'écran. Le bon clic sur un FPGA et choisissent « choisissent le dossier de configuration ». Passez en revue aux dossiers de peu fournis sur le CD d'utilisateur. Par exemple :

_Reference_Designs de D:\FPGA \ Programming_Files \ DN9200K10PCIE8T \ MainTest \ LX330 \ fpga_A.bit

Ce port de JTAG devrait également être employé pour des produits de visibilité comme Xilinx ChipScope.

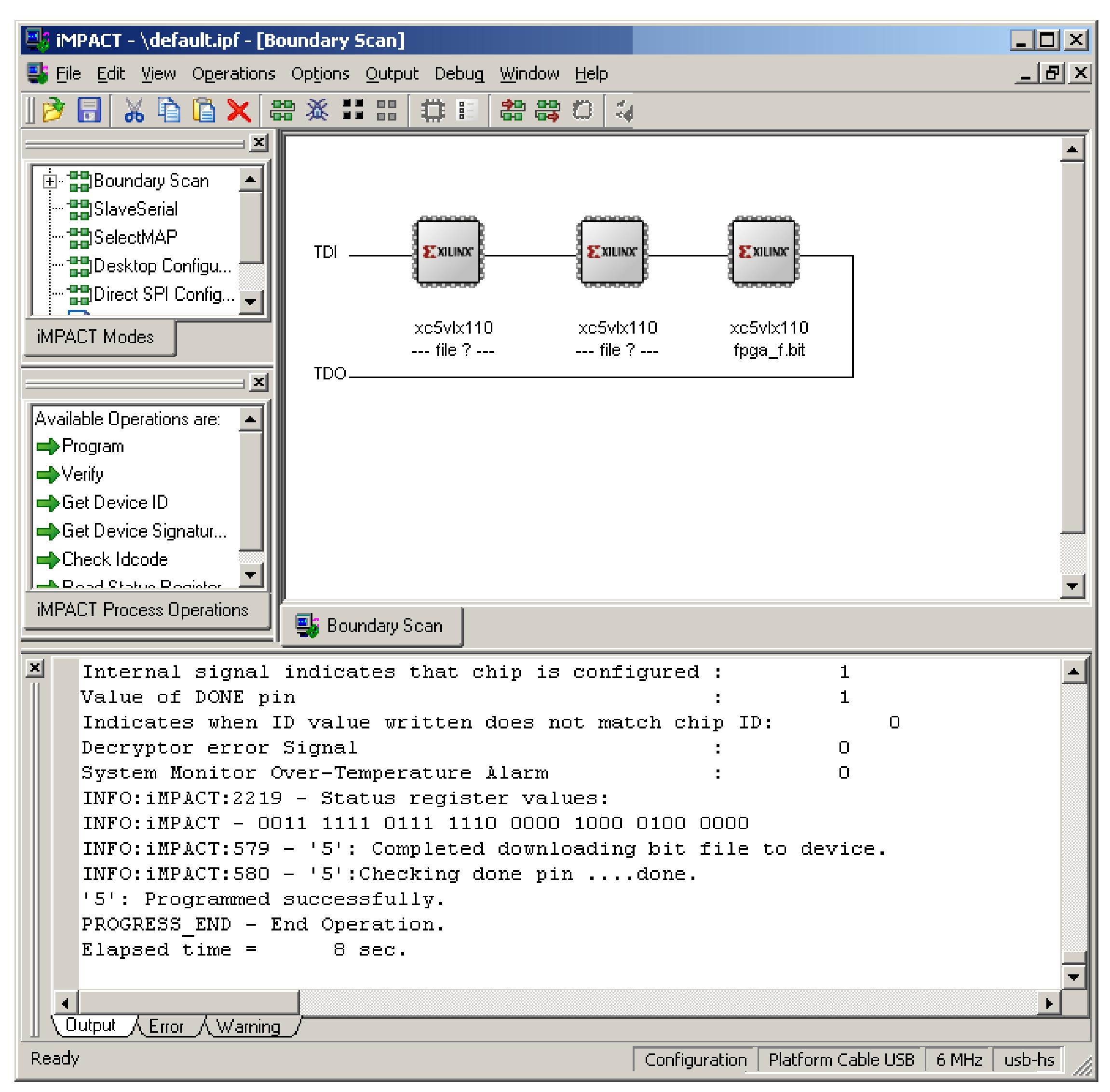


Figure 19 - impact relié à FPGA JTAG

Le premier article dans la chaîne représente FPGA A, puis B, puis C et finalement à l'extrémité de la chaîne est le PCI FPGA exprès (appelé le « Q » par convention).

8 Passer

Félicitations ! Vous avez programmé le DN9200K10PCIE8T et venez d'apprendre tous les dispositifs que vous devez connaître pour lancer votre projet d'émulation. Les utilisateurs expérimentés peuvent vouloir copier l'UCF pour la conception de référence du CD d'utilisateur dans leurs propres projets et ne jamais regarder le manuel d'utilisateur encore.

Pour ceux nouveaux à Xilinx FPGA, ce qui suit est suggéré commençant des endroits :

En utilisant l'écoulement d'outil d'ISE, créez un dossier de peu qui ne fait rien mais les itinéraires une horloge à une LED, conduisez la remise à une LED, et allumez une LED .

Ajoutez un peu de logique à la conception de référence.

Lisez la section décrivant les interfaces externes que vous souhaitez employer dans la section de matériel. Trouvez l'interface externe sur le schéma, et le datasheet de morceau d'interface sur le CD d'utilisateur.

Lisez le guide de l'utilisateur Virtex-5, UG200. Il peut trouver dans l'annuaire de datasheet du CD.

Chapitre 3 : Logiciel de contrôleur

Le DN9200K10PCIE8T peut être accueilli de l'USB ou du PCI exprès. Comme exemple à l'accueil en utilisant ces interfaces, le groupe de Dini fournit du logiciel de contrôleur qui laisse configurer FPGAs, et changer les arrangements de conseil. Pour un comportement plus complexe de centre serveur, tel que des données interactivement de transfert à et du conseil à partir de l'ordinateur principal, vous pouvez devoir développer votre propre logiciel de centre serveur, USB ou PCIe. À la fin de ce chapitre, il y a le guide d'un programmeur pour vous aider à connecter au DN9200K10PCIE8T. Ceci, le long avec le code source du logiciel d'exemple devrait pouvoir vous obtenir communiquant avec le DN9200K10PCIE8T.

Le logiciel inclus avec le DN9200K10PCIE8T est

Contrôleur d'USB - configuration Application D'un GUI de Windows XP ou de Vista-seulement capable de la FPGAs, envoyant des données au noyau de l'utilisateur FPGA par l'intermédiaire de l'USB, arrangements changeants de conseil, et essais fonctionnants de matériel.

AETest_usb - Une commande-ligne application de croix-plateforme (Windows, DOS, Linux, Solaris) capable de configurer FPGAs, d'envoyer des données à FPGAs par l'intermédiaire de l'USB, et de changer des arrangements de conseil.

AETest Une croix-plateforme (Windows XP, Windows 98, DOS, Linux, Commande-ligne programme de Solaris) capable de configurer FPGAs,

et envoyant des données à et de l'utilisateur FPGA par l'intermédiaire du PCI exprès.

Ces programmes et le code source pour eux peuvent être trouvés sur le CD d'utilisateur
_Software_Applications de D:\PCIe \ Aetest \
_Software_Applications de D:\USB \ USB_CMD_Line_AETEST_USB \
_Software_Applications de D:\USB \ USBController \

Des binaries de Precompiled Windows XP pour le contrôleur d'USB, et l'AETest_usb, et l'AETest sont fournis sur le CD d'utilisateur comme projet visuel du studio 6 de Microsoft. Le studio visuel 6 ou plus tard est exigé pour compiler ces programmes.

Chacun des trois programmes emploie un conducteur fourni par le groupe de Dini.

Les conducteurs de PCIe peuvent être trouvés à
PCIe_Software_Applications \ Aetest \ wdmdrv
PCIe_Software_Applications \ Aetest \ linuxdrv
PCIe_Software_Applications \ Aetest \ solaris \ conducteur

Le conducteur d'USB peut être trouvé à
USB_Software_Applications \ conducteur

La version de Linux d'AETest_usb n'exige pas un conducteur, mais exige l'accès de racine.

1 Contrôleur d'USB

Le contrôleur d'USB est un programme de GUI démontrant les possibilités d'USB du DN9200K10PCIE8T. Il est compatible avec Windows XP et Vista. Toutes les possibilités d'USB sont possibles sous Linux ; de quelque manière qu'il n'y a aucun GUI qui semble bon dans ces logiciels d'exploitation.

Le programme de contrôleur d'USB est prévu à
- Vérifiez le statut de configuration
- Configurez FPGAs au-dessus d'USB
- Configurez FPGAs par l'intermédiaire de la carte de CompactFlash
- FPGAs clair
- Remettez à zéro FPGAs
- Fréquence de base globale réglée
- Progiciels de mise à jour (pour MCU et spartiate)
- Démontrez les bonnes pratiques en matière de conception d'interface utilisateur
- Exécutez les essais de matériel

1.1 Fenêtre principale

La fenêtre principale de contrôleur d'USB a les composants suivants : une barre de menu, un bouton de régénération, un bouton « neutralisent USB », et graphique de conseil, et une notation de message. Chaque article dans la barre de menu est décrit plus tard dans cette section.

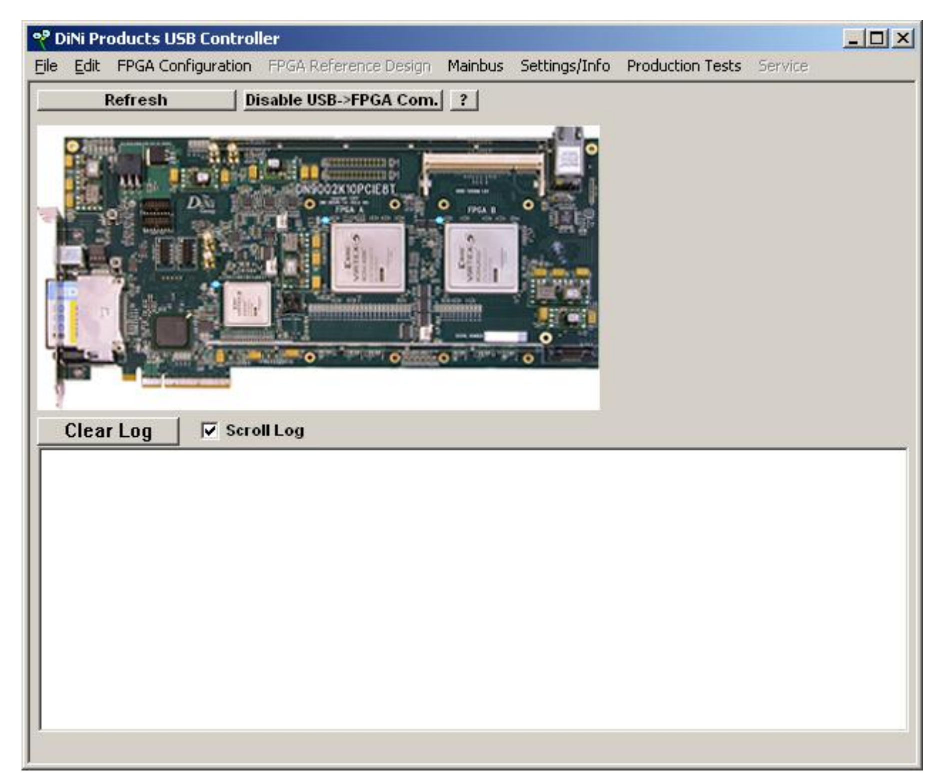


Figure 20 - Fenêtre de force de contrôleur d'USB

1.1.1 Régénérez le bouton

Le bouton de régénération met à jour le graphique de conseil en questionnant le DN9200K10PCIE8T et en relisant son statut. Le programme de contrôleur d'USB vote maintenant le conseil constamment, ainsi ce bouton est en grande partie sans signification.



Figure 21 - Régénérez le bouton

1.1.2 Neutralisez/permettez l'USB

Pour communiquer à la conception de FPGA à l'aide de l'USB, l'interface de « MainBus » est employée. Voyez le chapitre de matériel pour plus d'information sur cette interface. Quelques utilisateurs choisissent de ne pas utiliser l'autobus principal pour la communication d'USB. Pour permettre à ces utilisateurs de se servir des signaux dans l'autobus principal pour leurs propres buts, le contrôleur d'USB fait attention à ne pas utiliser l'autobus principal à moins que permission explicitement donnée par l'utilisateur. L'utilisateur peut donner la permission d'utiliser l'autobus principal en appuyant sur le bouton « permettent> d'USB-FPGA communication ». Il peut retirer que la permission en appuyant sur le bouton « neutralisent> d'USB- FPGA communication ». Quand les mises sous tension de DN9200K10PCIE8T, il commence dans l'état handicapé. L'état est stocké sur le conseil, de sorte que les programmes multiples accédant au DN9200K10PCIE8T puissent s'empêcher d'utiliser l'autobus principal.



Figure 22 - Permettez le bouton d'USB

1.1.3 Fenêtre de notation

Cette boîte des textes imprime le résultat de chaque ordre d'utilisateur dans le contrôleur d'USB. Il y a un bouton « de notation claire » pour dégager le contenu de cette boîte des textes.

1.1.4 Graphique de conseil

La fenêtre principale du contrôleur d'USB montre un graphique représentant votre DN9200K10PCIE8T. Le nombre de FPGAs qui sont installés sur votre conseil devrait apparaître dans ce graphique. Si un ou plusieurs FPGAs sont configurés sur le conseil, une LED bleue rougeoiera à côté du FPGA dans cette fenêtre graphique, juste exactement comme sur le vrai matériel réel de conseil lui-même.

Si le contrôleur d'USB ne pourrait pas trouver un DN9200K10PCIE8T non relié à aucun port d'USB, cette fenêtre apparaîtra.

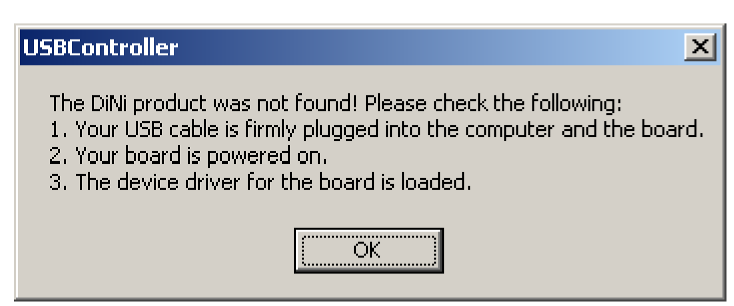


Figure 23 - Le contrôleur d'USB se plaint si le conseil n'est pas détecté

Si le conseil est allumé et branché, le contrôleur d'USB devrait pouvoir le détecter. S'il pas, essai ouvrant le directeur de dispositif. Vous pouvez droit-cliquez sur l'icône de « mon ordinateur » et choisissez « étiquette de matériel » et cliquez le bouton « de directeur de dispositif ». Ceci montrera une liste des dispositifs reliés à votre ordinateur. Si un émulateur de logique de groupe de Dini apparaît dans la section d'USB, alors l'USB fonctionne correctement sur le conseil, mais le programme ne peut pas se relier à lui. Il a pu y a un problème avec l'installation de conducteur. Choisissez le « dispositif de commutateur » à partir du menu de dossier.

Si le conseil n'apparaît pas dans le directeur de matériel, alors le DN9200K10PCIE8T peut être coincé dans la remise. Voyez la section « de dépannage » dans le chapitre de matériel. En outre, vérifiez le "RESET" rouge LED.

Aussi bien que fournir la rétroaction visuelle, le graphique de conseil peut être employé pour commander la configuration du FPGAs. Pour faire ceci, droit-cliquez sur un FPGA dans le graphique pour montrer un menu contextuel avec les options : Configurez, dégagez et modifiez.

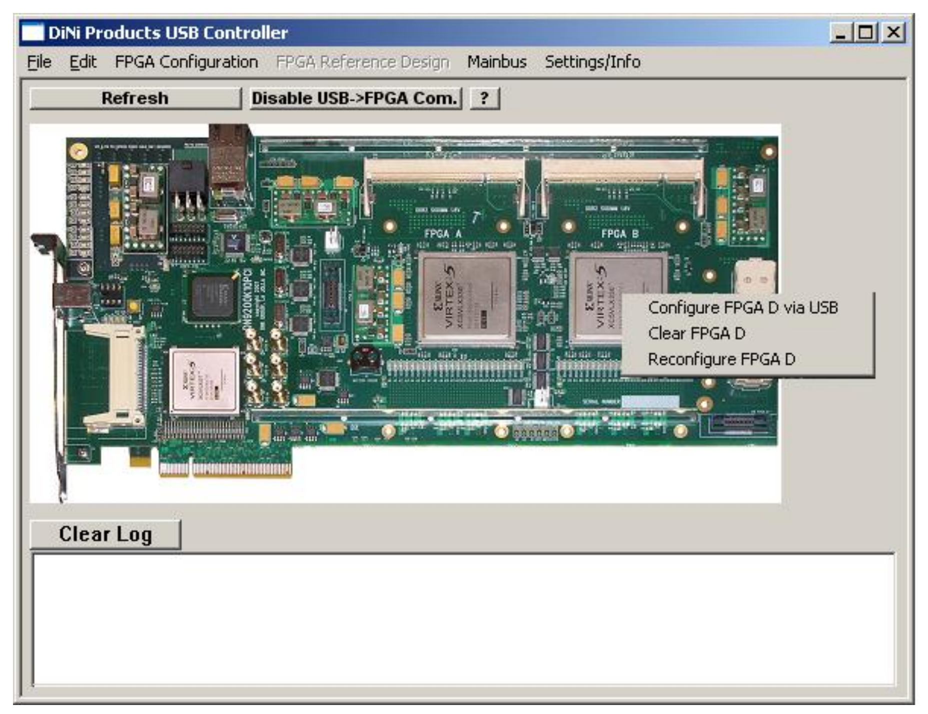


Figure 24 - FPGAs de configuration

Configurez montrera que… un dialogue ouvert pour toi choisissait le dossier de peu que vous souhaitez employer avec le FPGA. FPGA clair dégagera et remettra à zéro le FPGA de sa configuration courante. Modifiez FPGA configurera le FPGA avec quelque dossier de peu cela *cet exemple* du contrôleur d'USB employé pour configurer avec succès que FPGA durent.

1.2 Options de menu

Les sections suivantes décrivent chaque option de menu et sa fonction.

1.2.1 Menu de dossier

Au sujet de

Nombre de version de contrôleur d'USB d'affichages, avec d'autres choses.

Commutez le dispositif

Montre une liste de tout le groupe de Dini que les dispositifs d'USB détecte et permet à l'utilisateur de commuter le dispositif « courant ». Le contrôleur d'USB se comportera comme si « le dispositif courant » est le seul produit joint d'USB de groupe de Dini. Sous quelques situations, le contrôleur d'USB peut automatiquement commuter le dispositif quand « le dispositif courant » n'est pas valide.

1.2.2 Éditez le menu

Le menu d'édition exécute le de base éditent des commandes sur l'ouverture de commande la moitié inférieure de la fenêtre d'USBController.

Copy, effacement, choisissent tous

1.2.3 Menu de configuration de FPGA

Le menu de configuration de FPGA a les options suivantes :

Configurez par l'intermédiaire de l'USB (individuel)

Cette option de menu te permet de configurer un FPGA. Il est équivalent à choisir un FPGA en cliquant là-dessus et en choisissant « configurez », sauf que cette option de menu montrera demander de dialogue quel FPGA à configurer. Avant que n'importe quel FPGA soit configuré dans le contrôleur d'USB, un « contrôle de santé d'esprit » est exécuté. Ceci lit l'en-tête hors du dossier binaire de peu et détermine si le dossier de peu est compatible avec le FPGA installé sur le DN9200K10PCIE8T. Il empêchera la configuration si le « contrôle de santé d'esprit n'est pas passé » à ce contrôle peut être handicapé du menu des « arrangements/information ».

Configurez par l'intermédiaire de l'USB (employant le dossier)

Cette commande permet à l'utilisateur de configurer plus d'un FPGA au-dessus d'USB à la fois. Pour employer cette option vous devez créer un dossier d'installation qui contient l'information sur laquelle FPGA devrait être configuré et quels bitfiles devraient être employés pour chaque FPGA. La syntaxe de ce dossier est semblable ou identique à la syntaxe du CompactFlash main.txt interface. Des détails sont trouvés du manuel de contrôleur d'USB sur le CD d'utilisateur à

_Software_Applications de D:\USB \ USBController \ Doc. \ USBController_Manual.pdf

Configurez par l'intermédiaire de CompactFlash

Cette commande fait configurer le FPGAs basé sur les instructions dans le dossier de main.txt sur la carte de CompactFlash. Il causera également les commandes et des arrangements sur main.txt classent pour être révisés.

Dégagez tout le FPGAs

Cette commande remet à zéro tout le FPGAs, les faisant perdre leur configuration.

Modifiez tout le FPGAs

Cette commande de menu est équivalente au choix « modifient FPGA » dans le menu de contexte de chacun du FPGAs. Chaque FPGA est s'est dégagé avant d' être configurée. Le dernier dossier de peu qui a été chargé par l'intermédiaire de l'USB pour chaque FPGA est chargé encore dans le FPGA. Si un FPGA n'a pas été chargé avec employer de dossier de peu *cet exemple* du contrôleur d'USB, il est sauté.

Remise

Cette commande affirme le signal de RESET# à tout le FPGAs simultanément. C'est le même signal qui est affirmé quand l'utilisateur frappe le bouton « de remise douce » (utilisateur remis à zéro). Sa fonction dans la conception d'utilisateur est laissée pour que l'utilisateur définisse. Dans la conception de référence, il cause une remise globale et asynchrone. Cette option cause également le signal de SYS_RSTn sur les daughtercards pour être affirmé.

1.2.4 Conception de référence de FPGA

Ce menu n'est pas permis à moins que « permettiez l'USB » soit serré, et au moins un FPGA est configuré avec la conception de référence. Le contrôleur d'USB sait si c'est vrai parce qu'il lit un registre principal d'autobus qui est mis en application dans la conception de référence. Si vous compilez la conception de

référence vous-même, ce menu continuera à fonctionner tant que vous n'avez pas enlevé ce registre principal d'autobus de la conception.

EXAMINEZ LE FLASH
EXAMINEZ SRAM
EXAMINEZ TOUS
Ces options sont seulement applicables aux conseils de la série 6000K, que vous ne possédez pas.

Lisez les données de DDR2 IIC
Cette option lira le contenu du dispositif IIC contenu sur le DDR2 relié à l'une ou l'autre des douilles DDR2 sur le conseil et les montrera. La conception de référence configure automatiquement son contrôleur DDR2 pour n'importe quel DIMM ainsi ce dispositif est plus ou moins inutile de nos jours.

Lisez les fréquences de base de FPGA
Cette option de menu mesure et relit les fréquences des huit réseaux globaux d'horloge, et les montre sur la notation de message. Ceci peut aider à vous assurer que les réseaux d'horloge fonctionnent correctement.

1.2.5 Autobus principal

La manière dont l'utilisateur FPGA conçoit peut communiquer au-dessus de l'USB est l'interface « d'autobus principal ». Le menu « de conception de référence » utilise l'autobus principal pour lire et écrire des registres dans la référence concevez pour commander les essais de conseil. Ces essais peuvent être faits par employer ces options de menu sans utilisateur devant comprendre l'interface de bus principale ou l'espace mémoire principal d'autobus et son tracer à la conception de référence. Le menu principal d'autobus permet la commande directe de l'autobus principal. Ceci peut être utile si vous employez votre propre noyau de FPGA qui met en application l'autobus principal.

Écrivez et lisez DWORD
Ceci montre une zone de dialogue pour écrire à l'espace adresse principale d'autobus. Il inclut quelques fonctions de mise au point. Toutes les transactions principales d'autobus sont des bytes de la longueur 4 (« DWORD »). Les options en utilisant ce menu permettent au programme de relire automatiquement tous les endroits de mémoire écrits et de les comparer aux bytes écrits. Ceci peut être utile en examinant un espace mémoire de 32 bits.

Examinez l'espace adresse
Cette option de menu est équivalente au choix d'option « écrivent et ont lu DWORD » lu, écrivent, des données aléatoires d'utilisation, non bavardes, montrent des erreurs. Il est beaucoup plus rapide. Ceci peut être employé pour déterminer des problèmes de fiabilité dans une espace adresse, par exemple un contrôleur de mémoire de DDR avec la synchronisation marginale.

Lisez l'espace adresse pour classer
Ce lit des données de l'autobus principal à l'adresse indiquée, et écrit les données à un dossier binaire indiqué. Les données sur l'autobus principal sont dans le petit-endian ordre. L'adresse après que chaque DWORD soit implicitement incrémenté. (L'incrémentation du comportement peut être arrêté si un fifo lisait comportement est exigée).

Écrivez l'espace adresse à partir du dossier.
Ceci lit des données binaires à partir d'un dossier et écrit les données à l'adresse sur l'autobus principal

indiqué. Les données sont écrites dans le petit-endian ordre. L'adresse est implicitement incrémentée après chaque DWORD des données. Ce comportement peut être changé pour écrire à une adresse de fifo (l'appui de contact)

Envoyez le fichier de commande
Cette option lit un fichier ASCII Qui peut contenir lit et écrit. Lit causera les données d'être montré sur la fenêtre de notation. Les spécifications pour le format de ce dossier sont celle qui peuvent être impliquées de l'exemple ci-dessous :

ANNONCE 08000000
WR 0000FFFF
WR 000000FF
ANNONCE 08000000
RD 3

Cet exemple écrit 0x0000FFFF à l'adresse 0x08000000, 0x000000FF à l'adresse 0x08000001, puis imprime les teneurs des adresses 0x08000000 par 0x08000002.

1.2.6 Menu des arrangements/information

FPGA bourrant l'information
Montre une liste du FPGAs sur le conseil, et leur catégorie de type et de vitesse. Cette information est stockée dans le flash de progiciels, et n'est pas détectée dynamiquement. Vous pouvez également obtenir cette information outre de la chaîne de FPGA JTAG (excepté la catégorie de vitesse).

Version du panneau/Spartan/MCU
Cette option est employée pour lire le nombre de version de progiciels du conseil courant. Il y a deux types des progiciels, du « flash » et du « bal d'étudiants ». Les deux types de progiciels, la conception de référence, et l'application de contrôleur d'USB sont seulement garantis pour fonctionner en utilisant des versions correspondantes de chacun. Si vous mettez à jour un, vous devriez mettre à jour les autres.

Relevez les températures de FPGA
Montre la température courante du sur-meurent des sondes de température de FPGA.

Affichage de menu de mémoire de force
Quand la conception de référence de groupe de Dini n'est pas chargée dans au moins un FPGA, le menu « de conception de référence de FPGA » est handicapé. Forces de cette commande de menu qui menu à montrer dans cette situation. Le contrôleur d'USB détermine si la conception de référence de groupe de Dini est chargée en lisant un endroit de mémoire sur l'autobus principal et en comparant le résultat à une valeur prédéterminée. Ce menu peut également être handicapé parce que la « communication> d'USB-FPGA » est handicapée.

Mettez en marche le dispositif de mémoire de masse
Cette option de menu changera le comportement d'USB du conseil de sorte qu'elle apparaisse en tant que lecteur de cartes de CompactFlash à votre ordinateur.

Contrôle à bascule de santé d'esprit
Normalement, le logiciel empêchera la programmation d'un FPGA avec un dossier de peu compilé pour

n'importe quel type de FPGA autres que celui installé sur votre conseil. Cette option de menu neutralisera ce comportement.

Par relecture de FPGA
Cette option de menu lira le contenu entier de la mémoire de programmation de FPGA et les écrira à un dossier. Le dossier est un binaire cru de l'autobus de SelectMap, ainsi pour sembler n'importe quel raisonnable hors de lui, vous devrez analyser par les données binaires.

Image de panneau de peau
Ceci rendra la fenêtre beaucoup plus petite pour se servir du programme de contrôleur d'USB plus facile sur de petits affichages, comme ceux sur un oscilloscope ou un iPhone.

Fréquences de base d'installation
Cette option de menu montre une zone de dialogue permettant aux trois réseaux globaux fréquence-sélectionnables d'horloge d'être configurés.

Arrangements globaux de Mux d'horloge
Ceci te permet de changer la source de fréquence pour les réseaux d'horloge qui ont une source sélectionnable de fréquence.

1.2.7 Essai de production

Examinez DDR
Cette option de menu exécute un essai de plage d'adresses de MainBus sur le DDR qui est choisi. Cet article de menu ne configure pas le FPGA avec la conception de référence, a correctement réglé les horloges ou a remis à zéro le FPGAs. Il échouera si ces étapes ne sont pas complètes.

On a tiré l'essai
Cette option de menu contient la plupart des essais de matériel qui peuvent être exécutés sur votre conseil. Les essais qui ce travail de course de menu identiquement aux essais de matériel que votre conseil passe avant l'expédition. Il y a quelques options disponibles dans la fenêtre de dialogue d'arrangements :

-**La force une a tiré l'essai**: contient l'interconnexion, autobus principal, horloge, tirer-se lève
-**Essai de DDRs**: Essais DIMMA et raccordements de DIMMB. Vous devez avoir un DDR2 SODIMM installé dans chaque douille avant que l'essai soit exécuté.
-**Essai d'en-têtes**: Vous devriez uncheck cette boîte. Il échouera sans montage d'essai.
-**Essai d'Ethernet**: Vous devriez uncheck cette boîte. Il exige un montage d'essai.
-**Essai externe d'horloges**: Cet essai exige un montage d'essai.
-**Examinez FPGA Q**. Ceci examinera l'interconnexion entre FPGA A et FPGA Q
-**Fréquence de LVDS**: C'est la fréquence à la laquelle FPGA--FPGA relie ensemble courra pendant l'essai. 450 est la fréquence standard d'essai.
-**Chemin de Bitfile**: C'est où le programme obtiendra les dossiers de peu de conception de référence. Ils étaient sur le CD fourni d'utilisateur.
-**Compte d'itérations**: Le nombre de périodes consécutives l'essai entier fonctionnera.

1.2.8 Service le menu

Progiciels de mise à jour
Tableaux de synthétiseur de mise à jour

1.2.9 Menu de correction

Il y a joli beaucoup de rien dans le menu de correction qui vous voudriez regarder à moins que peut-être « lisiez le registre de configuration » et « écrivez le registre de configuration ». Ces options de menu lisent et écrivent des « registres de configuration » décrits dans à la pièce « de section de config » du chapitre de matériel.

1.3 Dossier d'INI

考虑在同一个目录得到 被创造USB控制器可执行的“INI”文件增加命令“调试”命令除坚持信息之外。 Ce dossier ne devrait pas être produit pour la plupart des utilisateurs. S'il est produit, vous pouvez sans risque le supprimer, à moins que vous l'aimiez . Certains des arrangements qui peuvent être stockés dans ce dossier sont les arrangements de choix d'éditeur de texte, l'endroit (chemin) des dossiers de programmation de conception de référence (pour l'un-tirer-essai), et de permettre le menu de correction.

2 USB d'AETest

La ligne de commande programme de contrôleur d'USB s'appelle le « AETEST_USB ». Il fournit un sous-ensemble des dispositifs disponibles sur le contrôleur d'USB et est plateforme en travers. Ce programme est un endroit commode à commencer si vous allez écrire un contrôleur de la coutume E/S pour l'USB pour communiquer avec le DN9200K10PCIE8T.

3 Application exprès de PCI AETest

Le programme utilitaire d'AETEST peut examiner et vérifier la fonctionnalité de la carte d'émulation de logique de DN9200K10PCIE8T, et fournit le transfert de données à et de la conception d'utilisateur.

Tout le code source d'AETEST est inclus sur le CD-ROM embarqué avec votre kit d'émulation de logique de DN9200K10PCIE8T. AETEST peut être installé sur une variété de logiciels d'exploitation, incluant :

Windows 2000 /XP/Vista (WDM de Windows)

Linux

3.1 AETest_usb de compilation

AETest_usb peut être compilé en utilisant le studio visuel 6 de Microsoft ou plus tard, ou sur n'importe quelle version de Linux qui soutient la bibliothèque d'usbdevfs.

Un dossier de marque est fourni, mais vous devez un-commentez une des lignes suivantes à définir que le logiciel d'exploitation vous courent. Dans Windows, vous devriez courir le nmake.

#DESTOS = WIN_WDM
#DESTOS = LINUX
#DESTOS = SOLARIS

Courez le nmake sur des fenêtres et le faites sur le linux.

3.1.1 Compilation du conducteur

La compilation du conducteur sur des fenêtres exige le kit de développement de conducteur de fenêtres. Un manuscrit « Makeit.bat » peut être couru de dans l'environnement de construction des fenêtres DDK.

La plupart des personnes n'ont pas besoin de compiler le conducteur dans les fenêtres parce que cela fonctionne déjà.

Dans Linux, le conducteur doit être compilé à moins que vous vous avériez justement employer la même architecture et la version d'OS que le nôtre quand nous l'avons compilée.

3.2 Fonctionnalité

Toute la communication au conseil employant ce programme est PCI fini exprès. De cette façon, la fonctionnalité de base du PCI exprès est examinée.

Le programme utilitaire d'AETEST contient les essais suivants :
PCI fini d'accès de DMA et de BARRE exprès (en utilisant de « point final exprès de PCI pleine fonction maintenant la conception avec DMA™ » pour LXT)
Essai de la mémoire DDR2
Essai instantané
AETEST procure également à l'utilisateur suivants :
Identifiez le DN9200K10PCIE8T
Identification de fournisseur et de dispositif d'affichage
设置PCIe 设备和作用数字
Montrez tous les dispositifs configurés de PCIe
Diverses boucles pour la dispositif-fonction de PCIe et les nombres d'identification
Écrivez et lisez la configuration DWORD (pour des arrangements de conseil)
Access à l'interface « d'autobus principal ».
Opérations de mémoire de BARRE
Configurez/économiser les barres from/to un dossier
Configurez FPGAs.

3.3 AETEST fonctionnant

Les images suivantes montrent une session terminale dans Windows XP.

```
C:\dpalmerMKS\AETest\aetest\aetest_wdm.exe
Symbolic link is \\?\pci#ven_17df&dev_1864&subsys_186417df&rev_00#4&1f7dbc9f&0&0
8f0#{f0b1da27-6ac7-4d1f-9eb0-1daf1b7e7131}

Got ConfigFPGA_id: 0xffffffff

Found Device ---- v17df, d1865 name="DN8000K10PCIE Virtex4 PCI Express Board"
Compiled on: Sep 18 2006 at 13:55:46
press any key
_
```

Figure 25 - Écran d'éclaboussure d'AETest

L'affichage initial d'AETest montre les résultats de son balayage de l'autobus de PCIe. Si le conducteur pour le DN9200K10PCIE8T n'est pas installé, alors le logiciel montrera un message qu'aucun dispositif n'a été trouvé. Si ceci se produit, (et vous employez des fenêtres), le regard dans le directeur du matériel d'ordinateur et voient si un dispositif de PCI avec l'identification 0x17DF de fournisseur apparaît. S'il alors il y a un logiciel ou un problème de conducteur. S'il pas puis il y a un problème de matériel. Regard sur le conseil près 6 de la goupille connecteur de puissance exprès de PCI. Il y a une rangée des LED correspondant aux signaux exprès de statut de PCI. Les LED ROUGES pour LOS ont indiqué que le conseil ne lie pas avec son associé de lien. Le jaune est activité. Trois LED vertes un lien valide en mode 1x, 4x ou 8x respectivement.

Au-dessous de est le menu principal.

```
C:\dpalmerMKS\AETest\aetest\aetest_wdm.exe
                 -=-= ASIC Emulator PCI Controller Driver =-=- v9
                Compiled on: Sep 18 2006 at 13:55:44

                        P> PCI Menu
                        M> Memory Menu
                        FPGAs stuffed: A B C
                        1> Interconnect test
                        2> Read clock frequencies
                        4> MGT Menu
                        7> Production Tests Menu

                        Q> Quit

                         -=-= PCI BASE ADDRESS =-=-
                0 : f7000000    1 : f6000000    2 : f5000000
                3 : f4000000    4 : f3000000    5 : f2000000


        Please select option:  _
```

Figure 26 - Menu de force d'AETest

Au-dessous de est le menu de PCI. Il peut vous aider à corriger un problème logiciel détectant ou communiquant avec le conseil. La « config DWORD » se rapporte à l'espace de configuration de PCI, qui normalement est seulement commandé par le logiciel d'exploitation ou le BIOS.

```
C:\dpalmerMKS\AETest\aetest\aetest_wdm.exe

                  -=-= ASIC Emulator PCI Controller Driver =-=- v9
Compiled on: Sep 18 2006 at 13:55:44

        1) Display Vendor and Device ID
        2) Display all PCI information
        3) Write config dword
        4) Read config dword
        5) Display Config Registers 0x0 - 0xFC

        C) Configure BAR's & command reg from File
        V) Save BAR & command reg configuration to File

        W) Load BAR from WDM driver's info (as shown below)

        M) Main Menu
        Q) Quit

                        -=-= PCI BASE ADDRESS =-=-
                0 : f7000000    1 : f6000000    2 : f5000000
                3 : f4000000    4 : f3000000    5 : f2000000

        Please select option:
```

Figure 27 - Menu de PCI d'AETest

Au-dessous de est le menu de mémoire. D'ici vous pouvez communiquer avec la conception d'utilisateur dans FPGAs l'un des (à l'aide de l'autobus principal) ou directement à FPGA A. La mémoire et MainBus de barre sont différents espaces mémoire.

```
C:\dpalmerMKS\AETest\aetest\aetest_wdm.exe

                  -=-= ASIC Emulator PCI Controller Driver =-=- v9
                Compiled on: Sep 18 2006 at 13:56:06

                1) MainBus Write Dword  2) MainBus Read Dword
                3) MainBUs Memory Fill
                4) MainBus Memory Display
                5) PCI BAR Write Dword  6) PCI BAR Read Dword
                7) PCI BAR Memory Display
                8) PCI BAR Memory Range Test
                a) set DDR2 config to test on FPGA B
                b) set DDR2 config to test on FPGA C
                c) test DDR2 on FPGA B
                d) test DDR2 on FPGA C
                e) full DDR2 memory test
                f) quick DDR2 test FPGA B
                g) quick DDR2 test FPGA C

                M) Main Menu                   Q) Quit
                        -=-= PCI BASE ADDRESS =-=-
                0 : f7000000    1 : f6000000    2 : f5000000
                3 : f4000000    4 : f3000000    5 : f2000000

        Please select option: _
```

Figure 28 - Menu de mémoire d'AETest

Au-dessous de est le menu d'essais de production. Ceci est employé pour corriger des échecs de matériel.

```
C:\dpalmerMKS\AETest\aetest\aetest_wdm.exe
        (0) PCI Test
        (1) RocketIO Test, FPGA C
        (2) LVDS Interconnect Test (DIR ABC)
        (3) LVDS Interconnect Test (DIR CBA)
        (4) Single Ended Interconnect Test
        (Q) Quit
         Enter Option: 0
Testing communication with QL5064................. PASS
Testing communication with ConfigFPGA............. FAIL

ERROR: Write/Read to BAR 0 offset 0x300, wrote: 0x2345bcde, read: 0xffffffff


Testing Complete... FAIL
press any key:_
```

Figure 29 - Menu de essai d'AETest

Voici le conseil ne passant pas l'essai de PCIe.

4 Roulement de votre propre logiciel

La plupart des clients qui doivent employer l'USB ou le PCIe pendant qu'une interface de données à leurs conceptions de FPGA écrivent leurs propres programmes d'USB et de contrôleur de PCIe, puisque les programmes d'USBController et d'AETest ne répondent pas à leurs exigences.

La majeure partie du temps, vous avez besoin seulement de petit changement, comme par l'exemple, de toi voulez lire un dossier outre du disque et l'écrire à l'interface de MainBus, clignoter une LED 4 fois, et signaler le résultat sur Facebook. Dans ce cas-ci, laissez-moi recommandent de modifier juste le programme fourni d'AETest ou d'AETest_usb. Ces programmes sont écrits ~~de sorte qu'une troisième-niveleuse ait pu les comprendre~~ par les troisième niveleuses.

4.1 USB

Le comportement du DN9200K10PCIE8T en ce qui concerne une interface d'USB est donné dans le chapitre de matériel. Accéder au PCI exprès d'un programme de logiciel de centre serveur exige probablement un conducteur. Vous pouvez employer notre conducteur, écrire votre propre conducteur, ou essai pour modifier le nôtre.

4.1.1 Windows XP/Vista

BTW : Nous n'avons pas écrit ce conducteur. C'est le conducteur d'exemple du cyprès équipé de CY7C68013.

Quand le conducteur est correctement installé dans les fenêtres, le dispositif apparaîtra comme dossier dans le système de fichiers avec le chemin suivant : « \ \ \ \. \ \ Ezusb-0 ».

Pour agir l'un sur l'autre avec le dispositif, ouvrez une POIGNÉE au dispositif en utilisant CreateFile

Poignée de POIGNÉE = CreateFile (« \ \ \ \. \ \ Ezusb-0 », GENERIC_WRITE,
FILE_SHARE_WRITE, NULLE, OPEN_EXISTING,
0, NULLE) ;

Dans le cas des dispositifs multiples, les chemins peuvent être « EzUSB-1 », « EzUSB-2 », etc.

Les fonctions disponibles en utilisant le conducteur sont mises en application en tant qu'opérations de « commande ». Employez la fonction de DeviceIoControl () dans Windows.h.

4.1.2 Linux

Pour utiliser l'USB dans Linux, employez le fichier C fourni d'usbdrvlinux. fourni sur le CD d'utilisateur dans AETest_usb/conducteur

Se relier au dispositif se produit en utilisant le conducteur usb_open la fonction.

la poignée interne = usb_open (0x1234, 0x1234, 0) ;

les usb_devfs fournit les fonctions exigées pour faire une demande de fournisseur ou un transfert en masse. Ce sont les seuls deux types de communication exigés.

4.2 PCIe

Le comportement du DN9200K10PCIE8T en ce qui concerne une interface exprès de PCI est donné dans le chapitre de matériel. Accéder au PCI exprès d'un programme de logiciel de centre serveur exige probablement un conducteur. Vous pouvez employer notre conducteur, écrire votre propre conducteur, ou essai pour modifier le nôtre.

4.2.1 Crochets de conducteur de Windows

Dans Windows, pour travailler avec un dispositif câblé, c'est conducteur doit être chargé. Après ceci, vous pouvez agir l'un sur l'autre avec le dispositif en utilisant un objet de POIGNÉE comme un dossier.

Pour trouver un chemin au dispositif, employez ces fonctions :

```
SetupDiGetClassDevs ()
SetupDiEnumDeviceInterfaces ()
SetupDiGetDeviceInterfaceDetail ()
```

Vous devrez savoir le « GUID » du dispositif afin d'obtenir une liste de dispositifs de groupe de Dini sur le système. (Autrement, vous devrez obtenir une liste de tous les dispositifs sur le système et puis les filtrer). Le GUID correct s'appelle `DNDEV_GUID`. La valeur est définie dans un dossier d'en-tête « GUIDs.h » dans le directeur de code de conducteur.

Du détail d'interface de dispositif, vous pouvez obtenir le chemin de dispositif, qui peut être employer ouvert

```
CreateFile ()
```

Une fois que vous avez un objet de POIGNÉE pour le dispositif, toutes les opérations sur le dispositif peuvent être faites par des opérations de « commande » sur la POIGNÉE. Employez la fonction

```
DeviceIoControl ()
```

Les codes de commande disponibles (IOCTL) disponibles pour passer à cette fonction sont donnés dans le dossier Ioctl.h dans l'annuaire de conducteur. Ceux que vous emploierez sont

`IOCTL_DNDEV_BAR_READ_U32`
L'amortisseur de rendement devrait contenir
struct { excentrage uint32,
barnum uint32} ;
L'amortisseur d'entrée sera un uint32 simple. L'excentrage est un excentrage de byte de la BARRE indiquée dans le barnum.

`IOCTL_DNDEV_BAR_WRITE_U32`
L'amortisseur de rendement devrait contenir
struct { excentrage uint32,
barnum uint32,
données uint32} ;
Là où l'excentrage est le byte désiré excentré de l'endroit de BARRE, le barnum est le nombre de la BARRE à la laquelle vous souhaitez accéder, et les données sont le mot de 32 bits que vous voudriez écrire à l'excentrage donné.

4.2.2 Crochets de conducteur de Linux

Quand le module de gestion de périphérique est chargé, les dispositifs apparaîtront sur le filesystem chez /dev/dndev/

Ouvrez employer de dispositif ouvert (). Le conducteur met en application un hander pour la routine de mmap (). Par conséquent, à l'espace de PCI d'accès, vous avez besoin seulement au mmap du dossier à l'espace adresse d'utilisateur.

Ioctl d'appel en utilisant le code de commande `DNDEV_IOC_GETDEVICE.` Ceci renverra un objet donnant les teneurs des registres de base et des gardes forestières de BARRE du dispositif. En t'appelant le mmap () devez dire au dispositif quelle BARRE vous souhaitez tracer. Ceci est fait en employant le champ excentré du mmap (). Quand le champ excentré est quelque part dans la page 0, BAR0 est tracé. Quand il est quelque part dans la page 2, BAR2 est tracé, etc.

```
Void* User_space_pointer =
      mmap (NULLE, bar_sizePROT_READ | PROT_WRITE,
            MAP_SHARED, les filedes, desired_bar_number*getpagesize ());
```

Maintenant des accès exprès de PCI peuvent être accomplis en déréférenciant le *user_space_pointer.

5 Mise à jour des progiciels

Le groupe de Dini peut libérer des difficultés de bogue de progiciels ou des dispositifs supplémentaires au DN9200K10PCIE8T. Si une mise à jour de progiciels est libérée vous devrez télécharger ce nouveau codez au flash de progiciels du DN9200K10PCIE8T.

Il y a trois dossiers de progiciels que le groupe de Dini peut libérer.

Flash de MCU
Le microcontrôleur à bord commande la configuration de FPGAs, l'arrangement des horloges, des transactions d'USB, des sondes de température, du CompactFlash et de divers d'autres fonctions. Le progiciel est stocké sur un morceau instantané.

Flash spartiate
La « config » spartiate FPGA commande les circulations de données pour l'autobus principal (PCIe et USB), le CompactFlash et quelques autres fonctions. Ce FPGA est programmé d'un PROM de configuration de Xilinx. Parfois, ce bal d'étudiants doit être mis à jour.

Flash exprès de PCI
Si vous employez de « point final exprès de PCI pleine fonction maintenant la conception avec DMA™ » équipée de panneau (défaut), alors le groupe de Dini peut offrir des mises à jour et des dispositifs à ce point final. Les données sont stockées dans un flash de SPI qui contient les données de configuration de FPGA pour la pièce de LXT de « FPGA Q ».

Tableaux de fréquence de base
Cette table contient tous arrangements de PLL exigés pour placer les synthétiseurs de l'horloge Si5326. Cette table ne devra probablement jamais être mise à jour.

Bourrage des Tableaux
Cette table contient décrire de table quel FPGAs sont installés sur le conseil, ainsi le logiciel peut agir plus intelligemment. Cette table ne devra pas probablement être mise à jour jamais.

En mettant à jour n'importe quels progiciels, le « flash », le « bal d'étudiants » et l'USBController.exe devraient tout est mis à jour simultanément, depuis le groupe de Dini examine seulement ce code en utilisant des versions correspondantes de chacun.

5.1 Obtention des mises à jour

Les dossiers de mise à jour de progiciels ne sont pas signalés sur le site Web. Afin de les obtenir, vous devez les inviter de support@dinigroup.com. Vous pouvez être requis d'exécuter une mise à jour de progiciels à votre conseil pour recevoir l'appui et quelques dispositifs. Si une mise à jour ferme d'articles est considérée critique à la fonction appropriée du conseil, une notification de client peut être publiée.

5.2 Mise à jour des progiciels (PROM) spartiates

En mettant à jour des progiciels, vous devriez mettre à jour dans l'ordre suivant :
1) USB Controller.exe
2) Progiciels spartiates de PROM
3) Flash de MCU
4) LTX Bitfile (dossier de sortilège)

Tous les progiciels peuvent avoir des interdépendances, ainsi chacun des quatre softwares devrait être mis à jour en même temps.

5.2.1 Employer le câble de JTAG

Cette mise à jour peut être accomplie avec le programme de programmation de Xilinx JTAG, impact. Cette mise à jour exige un câble de Xilinx JTAG. Un câble II du câble d'USB de plateforme de Xilinx

($145) ou de l'USB de plateforme de Xilinx sont tous deux appropriés. Ou vous pouvez mettre à jour FPGA spartiate en utilisant USBController sous les « arrangements/information » -> « mettez à jour » le menu spartiate. Cette option commence plus longtemps que le câble d'USB de plateforme de Xilinx (environ 3-5 minutes) à la mise à jour complète.

Reliez un câble de configuration d'USB de plateforme de Xilinx à votre ordinateur. Quand le câble fonctionne correctement, mais non relié à une chaîne de JTAG, la LED sur le câble tourne l'ambre. Une fois reliée au DN9200K10PCIE8T, la LED tourne le vert.

Reliez le câble à l'en-tête de « progiciels », J9



Figure 30 En-tête de mise à jour de progiciels

Puissance sur le DN9200K10PCIE8T ; Quand le câble d'USB de plateforme est relié à un en-tête, la lumière de statut tourne le vert.

Ouvrez l'impact de programme de Xilinx, avez habituellement trouvé à
Commencez> l'impact> d'accessoires de Xilinx ISE> 10.2-> de programmes

Choisissez le dossier d'option de menu> initialisent la chaîne. (Vous pouvez devoir créer un nouveau projet pour que cette option de menu soit disponible)

l'impact devrait détecter 2 dispositifs dans la chaîne de JTAG : xc3s1000 et xc18v04. Pour chaque article dans la chaîne l'impact vous dirigera choisir un dossier de programmation pour chacun. Pour le xc3s1000, serrez la déviation. l'impact demandera alors un dossier de programmation pour programmer le dispositif xc18v04. Choisissez le dossier spartiate de mise à jour de progiciels fourni par Dini Group
(« prom_flp.mcs »). Coup ouvert.

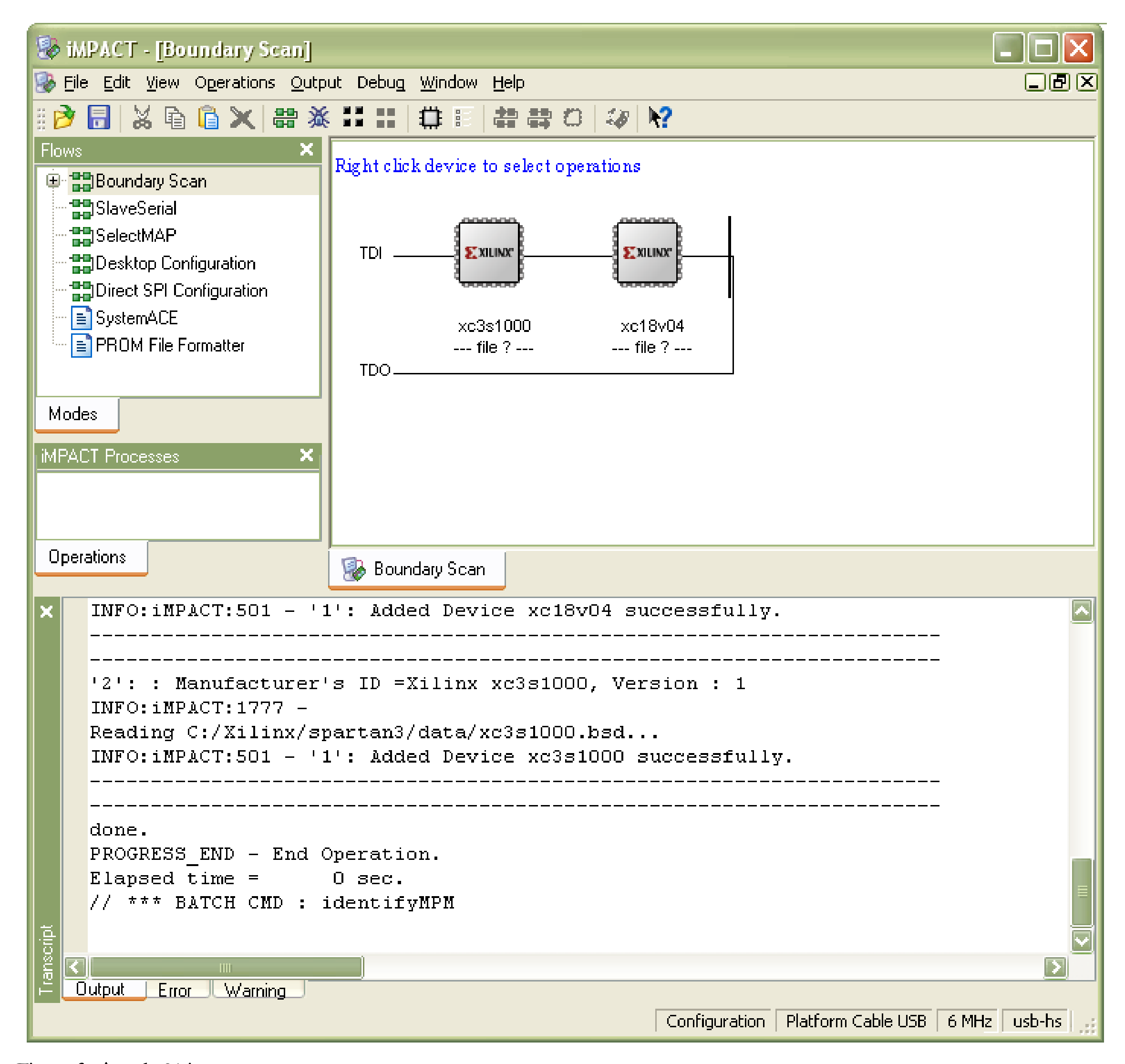


Figure fenêtre de 31 impacts

Pour programmer le bal d'étudiants, droit-cliquez sur le bal d'étudiants et choisissez le « programme… » du menu automatique. Dans le dialogue d'options qui suit, les options « s'effacent avant la programmation » devraient être choisies, et « vérifiez que » devrait être choisi. Serrez BIEN. Le processus de programmation devrait prendre environ 15 secondes au-dessus d'un câble d'USB de plateforme.

Cycle de puissance le DN9200K10PCIE8T. Le nouveau progiciel est maintenant chargé. Vous pouvez clôturer l'impact et débrancher le câble de Xilinx JTAG

5.2.2 Employer USBController

Si vous n'avez pas un câble de JTAG, vous devrez employer les instructions suivantes de mettre à jour vos progiciels « de PROM spartiate ».

Courez USBController.exe. Sous les « arrangements/information » choisissez la « mise à jour spartiate ». Un message d'avertissement semblera s'assurer que vous voulez mettre à jour spartiate. Si vous, frappez « oui » le bouton. Un dialogue ouvert de dossier apparaîtra ensuite cela. Le dossier choisi « prom_flp.xsvf » a fourni svp par le groupe de Dini. Ce processus prendra approximativement 75 secondes.

5.3 Mise à jour des progiciels (instantanés) de MCU

Pour se protéger contre l'effacement accidentel, les progiciels de MCU ne peuvent pas être mis à jour à moins que le conseil soit mis dans le mode de mise à jour de progiciels pendant puissance-sur. Commutateur S2 (« utilisateur de trouvaille remis à zéro ») sur le DN9200K10PCIE8T.

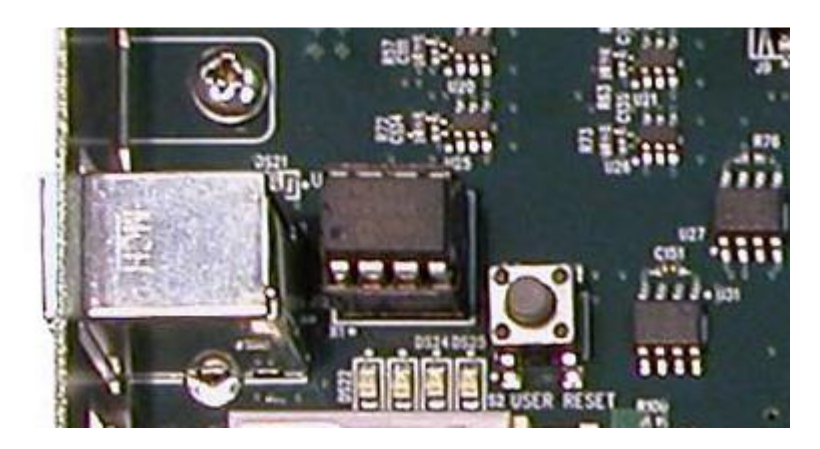


Figure 32 commutateur S2

Maintenez le bouton remis à zéro « par utilisateur » tandis que les puissances de DN9200K10PCIE8T dessus. Ou alternativement, tout en maintenant le « utilisateur a remis à zéro » le commutateur, tapent le bouton « de remise dure ». Le DN9200K10PCIE8T prélève le bouton d'utilisateur-remise sur la puissance d'entrer dessus dans le mode de mise à jour de progiciels.

Ouvrez le programme de contrôleur d'USB. Si les DN9200K10PCIE8T actionnés dessus en progiciels mettent à jour le mode, il y aura des zones de dialogue, les ignorent (ne serrez « non ») si vous non attentif pour l'employer. Il y aura un bouton instantané de « mise à jour » près du dessus de la fenêtre de contrôleur d'USB. Clic sur ce bouton.



Figure Mode de mise à jour de 33 d'USB progiciels de contrôleur

N'employez pas « placent FPGA bourrant » le bouton, comme ceci peut rendre à un ou plusieurs FPGAs sur le conseil inaccessible du programme de contrôleur d'USB.

Quand… la zone de dialogue ouverte apparaît, dirigez au dossier d'image de progiciels fourni par Dini Group. Le nom de fichier devrait être « firmware.hex ». Serrez BIEN.

Le contrôleur d'USB devrait prendre environ 10 secondes tandis que la mise à jour de progiciels a lieu. Une barre assez uninformative de progrès devrait apparaître tandis que ceci se produit. Quand le téléchargement est complet, la fenêtre de notation devrait imprimer, « mettre à jour complet »

Le cycle de puissance le conseil avant de faire toute autre chose pour s'assurer le conseil n'est plus en mode de mise à jour.

5.4 Progiciels exprès de point final de PCI

Bien que la configuration fournie classe pour le LXT « Q » FPGA sur votre conseil (responsable au point final exprès de PCI) sont connus pour être complètement parfaits de chaque manière, groupe de Dini peuvent libérer des mises à jour pour ajouter des dispositifs ou fixer des bogues dans le PCI exprimez le point final. Dans ce cas-ci, le groupe de Dini fournira un dossier (.hex) de programmation pour reprogrammer le LXT FPGA. Cette information est stockée dans un dispositif instantané de SPI sur le conseil.

Pour installer ceci les mises à jour, branchent le câble d'USB JTAG au « FPGA marqué par en-tête JTAG » sur le bord gauche du conseil.

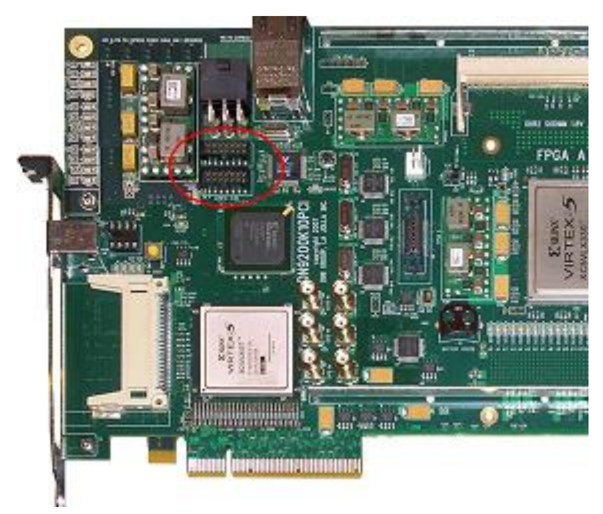


Figure 34 - En-têtes de JTAG

Quand vous balayez la chaîne de JTAG, vous verrez tout utilisateur FPGAs du type de dispositif LX110, LX220 ou LX330. En outre, le dernier dispositif dans la chaîne sera un dispositif de LX50T ou de FX70T. Le bon clic sur ce dispositif et choisissent « ajoutent le flash de SPI ». Choisissez alors un dossier de progiciels fourni par Dini Group qui pourrait s'appeler le « fpga_q.mcs. Le programme alors pour quelque raison demandera quel type de bal d'étudiants vous avez. La réponse correcte est « AT48DB642D ». Maintenant, l'image avec les six FPGAs aura une petite image d'un bal d'étudiants de SPI attachée au dernier FPGA. Le bon clic sur ceci, et le coup « configurent ». Une boîte demandant environ à un groupe d'options de programmation apparaîtra. Un-vérifiez « vérifient ». Puis OK de coup. Attendez alors un peu de moment.

Le bal d'étudiants de SPI qui est relié au LX50T FPGA est où le LX50T FPGA obtient son dossier de charge. Le LX50T FPGA peut être programmé directement (en utilisant un dossier de .bit), mais alors il perdra sa configuration une fois que le conseil est remis à zéro. Quand vous programmez le flash de SPI, il gardera sa configuration quand le conseil est remis à zéro. Un dossier de .bit est employé pour programmer un FPGA, un dossier de .mcs est employé pour programmer un flash de SPI. Vous pouvez employer l'impact de programme de Xilinx pour produire d'un dossier de .mcs à partir d'un dossier de .bit. Le flash de SPI peut également être mis à jour en utilisant le contrôleur d'USB. En utilisant cette méthode, un dossier de .hex est exigé.

Pour produire d'un .mcs classez à partir d'un dossier de .bit : dans l'impact, choisi « produisez du dossier de bal d'étudiants » et ouvrez le dossier fourni de .bit. Il demandera ce qu' est le dispositif de cible, et c'est un flash de SPI du type AT42DB642D. Double-cliquez alors se produisent.

Pour produire d'un .hex classez à partir d'un dossier de support de consoles multiples. Employez le promgen de programme de Xilinx
promgen - W - sortilège de p - mcsfilename de r - outputfilename d'o

Chapitre 4 : Matériel

1 Vue d'ensemble générale

La plateforme d'émulation de DN9200K10PCIE8T ASIC est optimisée pour fournir la quantité maximum d'interconnexion entre le Virtex-5 FPGAs. C' est le panneau le plus à prix réduit Virtex-5 FPGA qui a USB, PCI exprès et qui est exactement 143mm grands.

Au-dessous de est un schéma fonctionnel du DN9200K10PCIE8T.

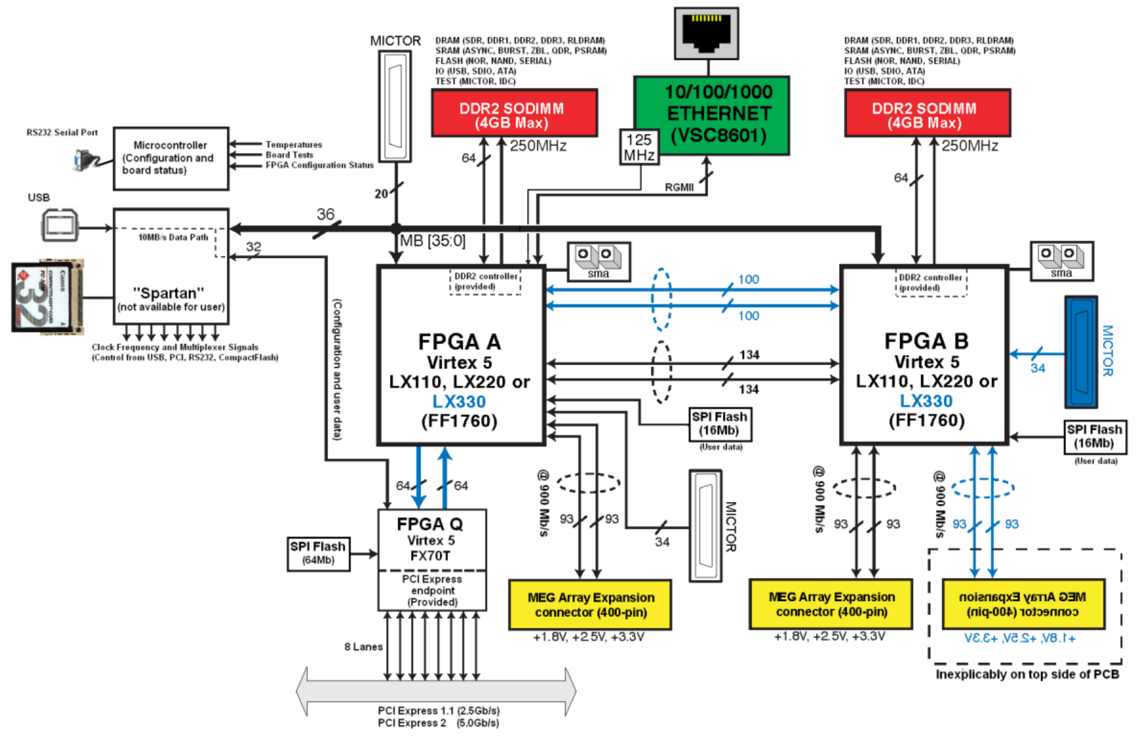


Figure 35 - Schéma fonctionnel de DN9200K10PCIE8T

On s'attend à ce que l'utilisateur mette en application ses interfaces externes en concevant son propre daughtercard pour se relier à un des trois en-têtes d'expansion, ou espérez que le groupe de Dini s'avère justement avoir un daughtercard ou la carte de SODIMM qui fournissent l'interface externe exigée.

Le conseil peut opérer à l'intérieur d'un PC comme une carte exprès de PCI, ou autonome sur une chaise pivotante d'ordinateur de bureau ou.

2 Virtex 5 FPGAs

Le DN9200K10PCIE8T permet l'utilisation de LX110, de LX155, de LX220 ou de LX330 FPGAs en chacune des positions de FPGA A et B. Ces FPGAs sont dans le paquet FF1760.

Virtex 5 est identique que Virtex 4, mais avec des 6 LUT entrés au lieu des 4 LUT entrés. Selon Xilinx, ceci rend le Virtex 5 30-50% plus dense et plus rapidement que Virtex 4, mais c'est un mensonge. En plus il y a quelques dispositifs supplémentaires au-dessus de la génération précédente de FPGAs, comme PLL, d'ODELAY et « les émetteurs récepteurs périodiques qui pas individu-détruisent après 300 heures ™ d'utilisation ».

2.1 Bourrage des options

A ou B peut être laissé sans FPGA installé pour réduire le coût. Ces FPGAs doit être dans le paquet FF1760.

Un troisième FPGA, une pièce de Virtex 5 LX50T est employé (comme FPGA « Q ») pour une interface exprès de PCI. La présente partie n'est pas facultative. Il sera installé avec une pièce de LX50T à moins que vous demandiez une pièce de FX70T à la place. Une mise à niveau de FX70T est exigée pour le PCI de la GEN 2 exprès.

L'installation de n'importe quel FPGA autres que LX330 pour FPGAs A et B effectue les ressources de matériel disponibles sur ce conseil. Les schémas fonctionnels et les listes de dispositif assument les pièces LX330.

2.1.1 Q : Est-ce qu'ainsi je peux obtenir deux SX240s ?

A : Non. Ce n'est pas un FF1760.

2.1.2 FPGA A et B :

Choisissez une pièce de FPGA pour être fourni en chaque position, A et B. Les choix possibles sont

AUCUN
LX110 - 1 - 2 - 3
LX155 -1 -2 -3
LX220 - 1 - 2
LX330 - 1 - 2

2.1.3 Pièces de CES

Pièces témoin de technologie (des « CES ») ne sont plus offertes sur ce conseil.

2.1.4 « Petit » FPGAs

Le DN9200K10PCIE8T est optimisé pour deux Xilinx Virtex-5 LX330 FPGAs. Sur option, il peut commander avec LX110, LX155 ou LX220 FPGAs à la place. Une fois installée avec un ou plusieurs LX110, LX155 ou LX220 FPGAs, la quantité d'interconnexion disponible est allumée due réduit au fait les ces pièces, certaines des boules de paquet n'ont aucun emplacement correspondant d'E/S sur le morceau. Un schéma fonctionnel est donné au-dessous de montrer les ressources disponibles sur le conseil, où les deux FPGAs sont « petit » type.

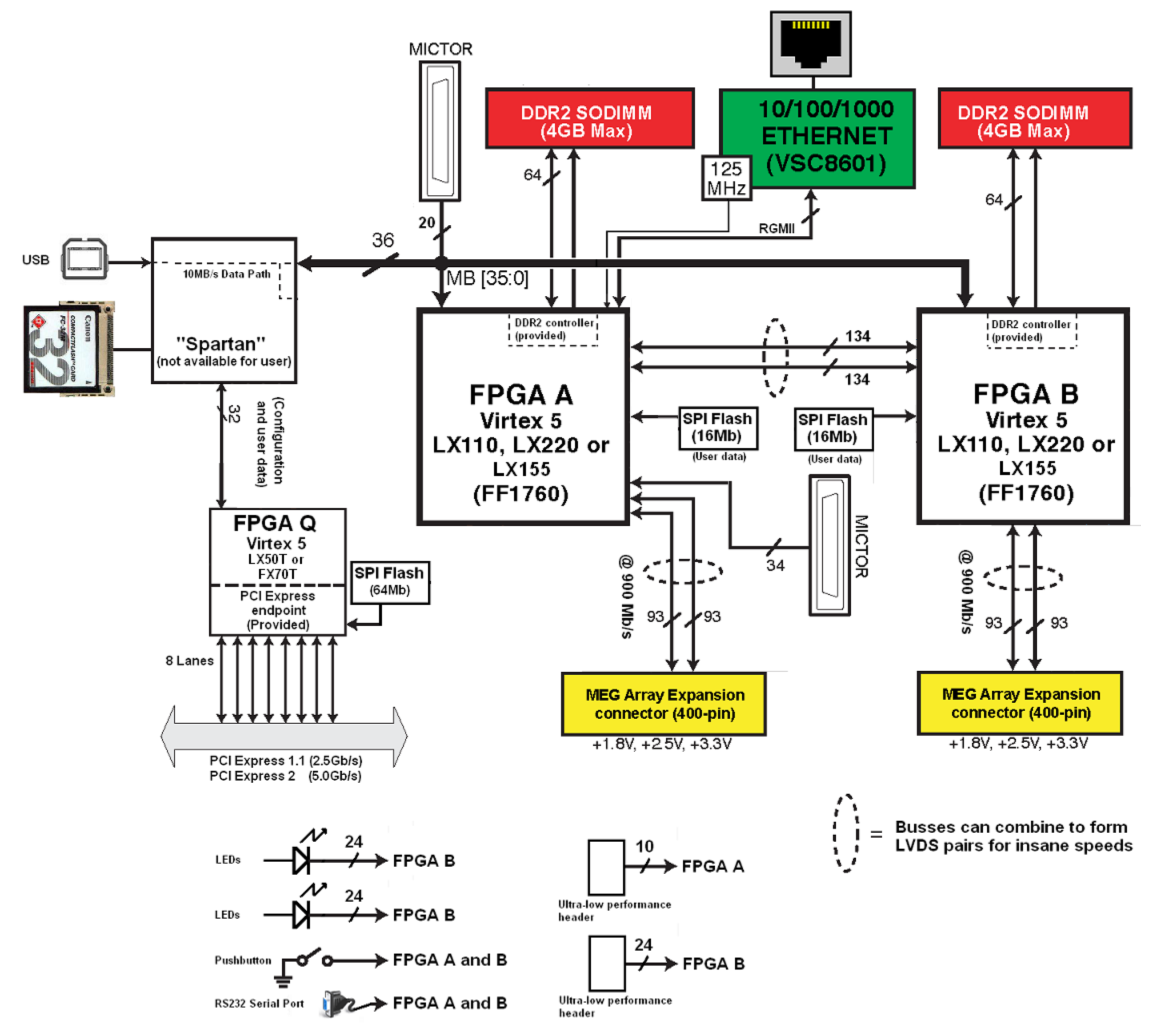


Figure 36 - Schéma fonctionnel de DN9200K10PCIE8T LX110

- La quantité d'interconnexion entre FPGAs sont réduites.
- Daughtercard DCBT n'est pas disponible.
- FPGA A ne peut pas directement communiquer directement avec FPGA Q

Note : Le bidon exprès de PCI soit encore utilisé pour la configuration de FPGAs, ou pour des données d'utilisateur. Pour des données d'utilisateur,

l'utilisateur doit employer l'interface de MainBus.

- FPGA B Mictor n'est pas disponible.

DIMMs, Ethernet, mémoire instantanée, et MainBus ne sont pas affectés.

En outre, vous devriez analyser votre conception pour déterminer si les ressources internes disponibles dans le LX110 et le LX220 sont suffisantes pour satisfaire vos besoins. Le guide de choix de FPGA de Xilinx est imprimé ci-dessous.

	Part Number	XC5VLX110	XC5VLX155	XC5VLX220	XC5VLX330
Logic Resources	DSP48E Slices	64	128	128	192
	Slices (2)	17,280	24,320	34,560	51,840
	Logic Cells (3)	110,592	155,648	221,184	331,776
	CLB Flip-Flops	69,120	97,280	138,240	207,360
Memory Resources	Maximum Distributed RAM (Kbits)	1,120	1,640	2,280	3,420
	Block RAM/FIFO w/ECC (36Kbits each)	128	192	192	288
	Total Block RAM (Kbits)	4,608	6,912	6,912	10,368
Clock Resources	Digital Clock Managers (DCM)	12	12	12	12
	Phase Locked Loop (PLL)/PMCD	6	6	6	6
Speed Grades	Commercial	-1, -2, -3	-1, -2, -3	-1, -2	-1, -2
	Industrial	-1, -2	-1, -2	-1, -2	-1

Figure 37 - Guide de choix de LX

2.1.5 Options de FPGA Q (PCI FPGA exprès)

Par défaut, un LX50T FPGA est installé dans la position de FPGA Q, fournissant une interface exprès de PCI pour le conseil. À votre demande, un FPGA différent peut être installé ici. Une liste des options disponibles est donnée ci-dessous.

	Part Number	XC5VLX30T	XC5VLX50T	XC5VSX35T	XC5VSX50T	XC5VFX30T	XC5VFX70T
Logic Resources	Slices (2)	4,800	7,200	5,440	8,160	5,120	11,200
	Logic Cells (3)	30,720	46,080	34,816	52,224	32,768	71,680
	CLB Flip-Flops	19,200	28,800	21,760	32,640	20,480	44,800
Memory Resources	Maximum Distributed RAM (Kbits)	320	480	520	780	380	820
	Block RAM/FIFO w/ECC (36Kbits each)	36	60	84	132	68	148
	Total Block RAM (Kbits)	1,296	2,160	3,024	4,752	2,448	5,328
Clock Resources	Digital Clock Managers (DCM)	4	12	4	12	4	12
	Phase Locked Loop (PLL)/PMCD	2	6	2	6	2	6
Embedded (5) Hard IP Resources	DSP48E Slices	32	48	192	288	64	128
	PowerPC® 440 Processor Blocks	—	—	—	—	1	1
	PCI Express Endpoint Blocks	1	1	1	1	1	3
	10/100/1000 Ethernet MAC Blocks	4	4	4	4	4	4
	RocketIO™ GTP Low-Power Transceivers	8	8	8	8	—	—
	RocketIO™ GTX High-Power Transceivers	—	—	—	—	8	8
Speed Grades	Commercial	-1, -2, -3	-1, -2, -3	-1, -2, -3	-1, -2, -3	-1, -2, -3	-1, -2, -3
	Industrial	-1, -2	-1, -2	-1, -2	-1, -2	-1, -2	-1, -2

Figure 38 - Guide de choix de LXT FXT

« PCI les dossiers de peu de la plein-fonction w/DMA™ exprès » sont seulement donnés pour des pièces de LX50T et de FX70T. Pour employer la génération exprès 2 de PCI, une pièce de FX70T est exigée. Les ressources de matériel disponibles sur le conseil externe au FPGA sont inchangées. La seule différence entre ces deux options de FPGA sont les possibilités internes du FPGA.

2.1.5.1 Q : De combien de portes est-ce que j'aurai besoin ?

A : Vous devez courir une conception par ISE pour obtenir une évaluation. Vous pouvez obtenir une évaluation grossière en comptant le nombre de bascules dans votre conception et en employant les diagrammes ci-dessus de choix. Tenez compte toujours d'une augmentation de 40% de secteur requis. Si vous avez n'importe quelles conditions minimum de fréquence, supposez alors que vous pourrez

seulement réaliser l'utilisation de 60% dans le FPGA. Si vous avez les ventilateur-sorties élevées (moyenne au-dessus de 5 ou de 6), alors vous pourrez seulement réaliser l'utilisation de 60%.

2.1.6 Catégories de vitesse

Les caractérisations d'exécution d'interface incluses en ce manuel et en annonces sont valides pour tout le FPGAs embarqué, sans se soucier de catégorie de vitesse. Ces nombres sont des caractérisations, et des conditions de fonctionnement minimum non garanties.

Par conséquent, la condition pour des pièces plus élevées de catégorie de vitesse vient seulement des conditions de votre conception. Avant que vous achetiez un conseil, vous pourriez vouloir courir un endroit et un itinéraire d'essai sur la conception dans Xilinx ISE de sorte que vous puissiez voir comment facilement la synchronisation peut être rencontrée dans un FPGA plus lent.

Pour FPGA Q, le PCI FPGA exprès, nous fournirons la pièce de catégorie de vitesse minimum priée pour notre « point final exprès de PCI de plein-fonction maintenant conception fournie avec DMA™ ».

Quelques interfaces peuvent fonctionner aux vitesses accrues au-dessus et au delà des exécutions annoncées du groupe de Dini une fois utilisées avec - 2 ou - 3 expédient des pièces de catégorie. Xilinx annonce FPGA--FPGA à l'exécution d'interconnexion jusqu'à l'exécution 1.2 gigahertz et DDR2 jusqu'à 667 mégahertz. Nous n'avons jamais essayé.

2.2 Employer l'E/S

Vous devez employer l'UCF fourni pour la contrainte de LOC de chaque goupille et de la norme correcte d'E/S.

2.2.1 Synchronisation

De toutes les interfaces décrites dans cette section, la responsabilité de rencontrer la synchronisation d'E/S et de mettre en application correctement l'interface physique est la responsabilité d'utilisateurs. Pour votre convenance, un modèle d'utilisation est donné pour beaucoup d'interfaces où la synchronisation est garantie par le matériel. Typiquement, pour obtenir la meilleure exécution d'E/S du FPGA, l'utilisateur emploiera un DCM dans le FPGA pour compenser le retarder du réseau interne d'horloge. En utilisant cette méthode, les paramètres de synchronisation pour le FPGA sont donnés ci-dessous :

Horloge--dehors au temps : 3.37 NS
temps d'Entrée-à-horloge (installation) : 1.0 NS
temps de Horloge-à-entrée (prise) : 0 NS

Des pièces plus élevées de catégorie de vitesse ont pu avoir amélioré l'exécution. Si l'exécution additionnelle est exigée, il y a deux possibilités :

- Utilisation et chemin externe de rétroaction d'horloge pour le DCM. Ceci réduira horloge--dehors au temps environ à zéro, mais peut également causer un temps de prise différent de zéro.

- Employez un DCM pour ajuster dynamiquement les phases de rendement et d'entrée des horloges. Ceci laissera une fréquence maximum de fonctionnement de 500 mégahertz à 900 mégahertz, selon le biais d'E/S. Cette méthode est exigée également sur des interfaces où il y a biais significatif d'horloge entre le FPGA et le dispositif externe (comme cartes ou DDR2 SODIMMs de fille).

Employez toujours les contraintes de synchronisation du minimum E/S dans l'UCF parce que ces contraintes empêcheront des bascules d'obtenir déplacées en dehors de du bloc d'E/S.

2.3 Détails d'errata de matériel

Il n'y a aucun erratum pour des pièces de la production Virtex-5 (non CES).

2.4 Politique de mise à niveau

2.4.1 Évolution au nouveau conseil

2.4.2 Ajouter FPGAs à un DN9200K10PCIE8T

Les prix ne sont pas coût-prohibitifs. Appel ou email sales@dinigroup.com pour une citation. Notez qu'il y a une limite physique au nombre de FPGAs qui peut être ajouté à votre conseil parce que le conseil et le FPGAs ont un nombre limité de cycles de soudure permis.

3 Carte

3.1 La trace retardent

Le retarder de quelques signaux est donné du guide d'utilisateur. C' est additif retardent, c'est-à-dire, il devrait s'ajouter au horloge--dehors au temps fourni par l'outil de Xilinx pendant endroit-et-conduisent. Par exemple, si un signal fait retarder une trace de 0.5ns et horloge--dehors à la période d'un résultat dans votre UCF est 3.4ns, alors le signal ne sera pas un résultat haut à la goupille de récepteur avant 3.9ns après le bord d'horloge.

Ces nombres sont seulement valides si les sorties emploient une méthodologie correcte d'E/S, habituellement exigeant les sorties de match-impédance (DCI), ou les récepteurs terminés. Tous les signaux sur le conseil sont assortis à 50Ω.

La trace retarde sont seulement valide sur des signaux d'une source simple avec un récepteur simple.

3.2 Qualité de signal

Le bruit maximum possible sur n'importe quel signal de l'utilisateur E/S sur le conseil est au sujet de 0.5V

4 Section de configuration

Le circuit sur le conseil commandant les signaux de configuration de FPGA s'appelle la « section de configuration ». Il est construit autour des 3 FPGA spartiate. Ce FPGA commande l'autobus sur les FPGA qui commandent la mémoire interne de la configuration SRAM du FPGA (« SelectMap »). L'Access à cet autobus est fourni à CompactFlash, à USB, et à PCI exprès.

MainBus est également commandé par ce FPGA, mais des détails sur employer MainBus sont donnés dans une autre section.

Ce circuit a également des fonctions secondaires :
- Sondes de température
- Commande de fréquence de base
- Commande de source de fréquence de base

- Activité LED de clignotement
- Surveillance de tension

Quelques fonctions de ménage sont exécutées par un microcontrôleur (initialisation d'ide et d'USB, porte série).

Les données de configuration pour le spartiate (« bal d'étudiants ») et le code pour le microprocesseur (« flash » et « Eprom ») sont collectivement connus comme « progiciels ».

La plupart des détails techniques au sujet du circuit de configuration sont omis de ce manuel, puisque l'utilisateur ne devrait pas avoir besoin de lui.

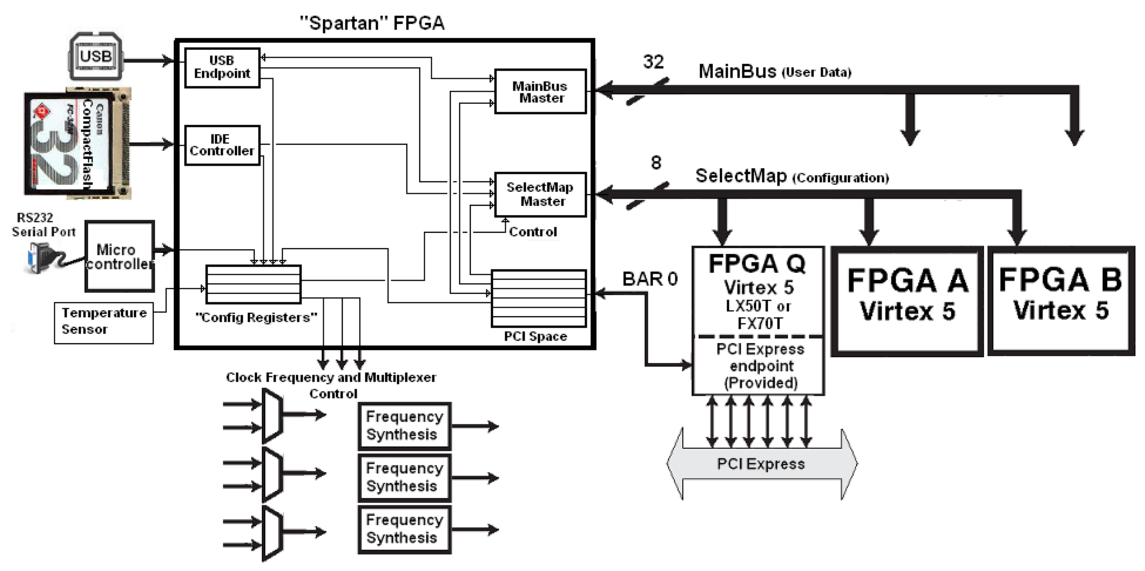


Figure 39 - Schéma fonctionnel de section de config

Au-dessus de lui un schéma fonctionnel de la configuration circuitent. L'Access aux interfaces de SelectMap et de MainBus sont disponible à l'USB, au CompactFlash et au PCI. Les « registres de config » sont également disponibles et requis pour commander l'interface de SelectMap entièrement.

4.1 Rétroaction de section de configuration

Pendant l'opération normale, et dans des situations d'erreur, les messages d'impression de section de configuration à l'en-tête RS232 terminal (P3). Quelques fonctions très limitées peuvent également être commandé de cette interface. Voyez le RS232 produire pour des instructions. Ces fonctions incluent des arrangements les horloges, commandant le processus de la configuration de CompactFlash, et des commandes de sonde de température.

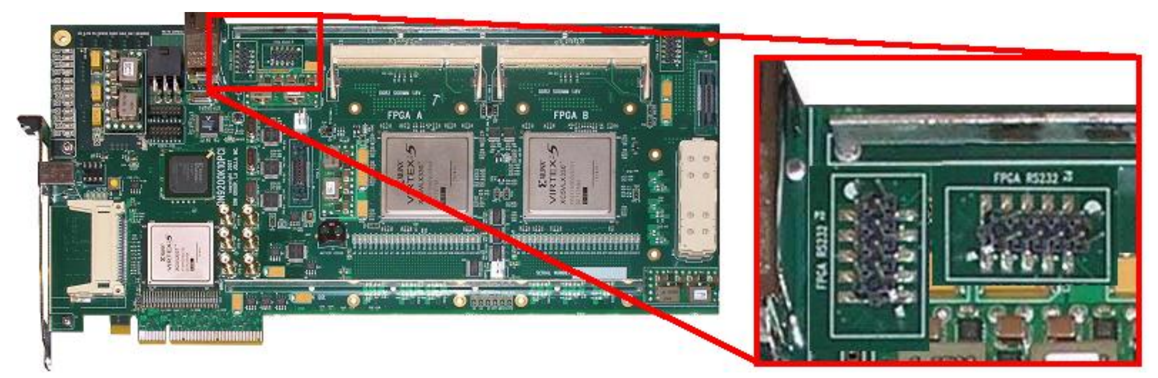


Figure 40 - En-têtes de porte série

L'en-tête terminal de la section de configuration RS232, marqué « MCU » ci-dessus, peut être relié à une porte série d'ordinateur, en utilisant les arrangements :

19200 bauds
Commande de débit nul
Bits d'arrêt un
Aucune parité

因为他们迅速地，改变产品消息的句法和 内容改变没指定的耕犁。 Cette interface est pas du tout amusement à employer, et est prévue la plupart du temps pour que le groupe de Dini corrige des échecs de matériel ou de logiciel.

Si vous avez besoin de RS232 pour votre conception de FPGA, ce n'est pas l'en-tête correct à employer.

4.2 Configuration de FPGA

Normalement, la configuration du Virtex-5 FPGA se produit au-dessus interface de Virtex-5 de la « SelectMap ». La seule méthode de configuration possible sur le DN9200K10PCIE8T qui n'emploie pas cette interface est JTAG. Pour une description de l'interface de SelectMap, voyez le guide de la configuration Virtex-5.

Typiquement, l'utilisateur fournira un dossier « mordu » produit par ISE, et le mettra sur une carte de CompactFlash, ou fournissez-la au logiciel au-dessus du PCI exprès ou de l'USB, et l'utilisateur ne doit pas comprendre l'interface de SelectMap.

La configuration d'USB, de CompactFlash et de PCIe se produisent au-dessus de l'autobus de SelectMap. La section de configuration ne fait aucune modification du « train binaire » envoyé à elle l'excédent PCIe ou USB. Il copie seulement les données à l'interface de SelectMap. Le « train binaire » doit contenir toutes les commandes de SelectMap nécessaires pour configurer et démarrage le FPGA. Ces commandes de SelectMap sont créées automatiquement par le bitgen d'outil de Xilinx (une partie d'ISE). Non toutes les options de génération de bitstream disponibles dans le bitgen sont compatibles avec le DN9200K10PCIE8T.

Actuellement, avant de configurer le FPGA en utilisant n'importe quelle méthode (excepté JTAG), la section de configuration affirme le signal de PROG# du FPGA à l'espace libre il. Pour cette raison, l'option « neutralisez SelectMap » dans le bitgen n'a aucun effet.

Sur chaque FPGA, le signal FAIT est relié à une LED bleue située à côté de chaque FPGA. Ce signal donne une indication rapide de, que chaque FPGA soit configuré ou pas.

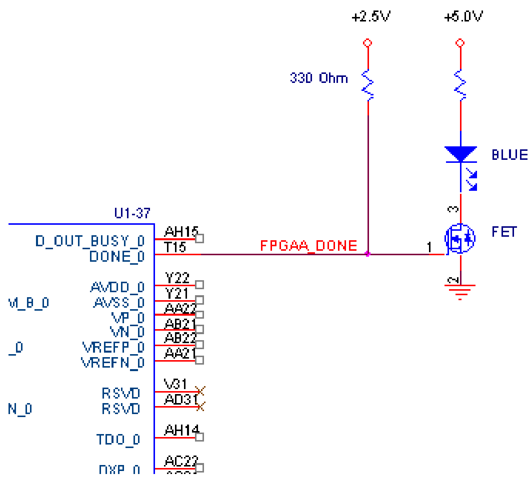


Figure 41 - Circuit FAIT de LED

可以使用日期信号， D [7-0]耕犁双用
信号，并且另外的互联别针对，在配置了之后所有FPGAs。 Le soin doit être pris que la conception de FPGA ne conduit pas ces signaux jusqu'à ce qu' après que tout le FPGAs aient été configurés. La section de configuration affirmera le signal de FPGA_RESET# jusqu'à ce que ceci se produise (configuration de CompactFlash seulement).

Si vous employez les données de SelectMap signalent comme interconnexion, connectant au conseil à l'aide de l'USB ou le PCI peut interférer votre conception, à moins que le logiciel fasse attention. Certainement le contrôleur d'USB de programmes, les AETEST, et l'AETest_USB fournis n'ont pas été écrits avec cette possibilité à l'esprit.

Si en utilisant ces signaux comme interconnexion, la norme appropriée d'entraînement est LVCMOS25. La tension d'E/S est 2.5V

Le par relecture de SelectMap est possible sur le DN9200K10PCIE8T. Ceci peut être accompli au-dessus de PCIe ou d'USB. Afin d'accomplir le par relecture au-dessus de l'USB, une demande de fournisseur est envoyée pour choisir le « mode de par relecture » sur un des points finaux d'USB, et d'envoyer automatiquement un ordre des commandes de SelectMap au FPGA.

La méthode de configuration de Virtex-5 JTAG ne passe pas par le circuit de configuration. Voyez la section d'interface de JTAG pour des détails à ce sujet .

4.3 PCI exprès

L'accès exprès de PCI au circuit de configuration est seulement disponible quand « le point final exprès de PCI de plein-fonction maintenant les dossiers fournis de peu avec DMA™ » sont employés dans FPGA Q. Quand une conception d'utilisateur, ou la conception de PIPE est employée, les commandes dans cette section ne sont pas disponibles.

Dans la conception de « plein-fonction », BAR0 est réservé pour des fonctions de configuration. Dans la BARRE 0, des excentrages au-dessous de 0x200 sont contenus dans les registres internes du point final, et les excentrages au-dessus de 0x200 représentent des registres dans le FPGA spartiate.

4.3.1 Carte BAR0 (BASSE)

Bar0 (BAS) sont des registres contenus dans le LXT FPGA. L'utilisation primaire est de commander des fonctions de DMA. Le code à l'instrument DMA employant la conception est trouvé dans l'annuaire de conducteur d'AETest. Les adresses sont des excentrages de byte de l'endroit BAR0. Tous les registres sont de 32 bits et ne devraient pas être écrits ou lire en utilisant le byte permet.

0x	00	VERSION	Nombre de version pour de « le point final exprès de PCI pleine fonction »
0x	04	DATE	Compilez les données de « du point final exprès de PCI pleine fonction »
0x	08	DESIGN_TYPE	Valeur constante
0x	0C	GTPCLK_SYNTH	IIC commande du synthétiseur de refclk de GTP
0x	10	RESET_CTRL	
0x	14	RS232_CTRL	Tours en marche et en arrêt les signaux de RS232 RX et de TX
0x	18	LED_CTRL	Permettez la commande manuelle du statut LED
0x	1C	FAN_TACH	Le compteur s'est relié à l'entrée de tachymètre de ventilateur
0x	20	DESC_DMA0_A0	Commande de DMA
0x	24	DESC_DMA0_A1	«
0x	28	DESC_DMA0_AMASK	«
0x	2C	DESC_DMA0_CTRL	«
0x	30	DESC_DMA0_POLLI	«
0x	34	DESC_DMA0_CURRARD	«
0x	38	DESC_DMA0_CURRAEX	«
0x	3C	DESC_DMA0_FIFO_COUNT	«
0x	40	DESC_DMA1_A0	«
0x	44	DESC_DMA1_A1	«
0x	48	DESC_DMA1_AMASK	«
0x	4C	DESC_DMA1_CTRL	«
0x	50	DESC_DMA1_POLLI	«
0x	54	DESC_DMA1_CURRARD	«
0x	58	DESC_DMA1_CURRAEX	«
0x	5C	DESC_DMA1_FIFO_COUNT	«
0x	60	CLK_CNT_DMA	Compteur d'horloge
0x	64	CLK_CNT_USER	Compteur d'horloge
0x	68	CLK_CNT_CONFIG	Compteur d'horloge
0x	6C	CLK_CNT_MB48Q	Compteur d'horloge
0x	70	CLK_CNT_REFQ	Compteur d'horloge
0x	74	CLK_CNT_GTPQ	Compteur d'horloge
0x	78	CLK_CNT_EXT0_Q	Compteur d'horloge
0x	7C	CLK_CNT_EXT1_Q	Compteur d'horloge
0x	80	CLK_CNT_G0_Q	Compteur d'horloge
0x	84	CLK_CNT_G1_Q	Compteur d'horloge
0x	88	CLK_CNT_G2_Q	Compteur d'horloge
0x	8C	CLK_CNT_TP_Q	Compteur d'horloge
0x	90	CLK_CNT_MB	Compteur d'horloge
0x	94	CLK_CNT_CFG	Compteur d'horloge

0x	98	INTERRUPTION Drapeaux d'interruption lus /clairs
0x	9C	INTERRUPT_MASK L'interruption activer/
0x	A0	RS232_TOGGLE_CTRL ? ?
0x	A4	DMA_CLK_FIFOS_STATUS ? ?
0x	A8	OTHER_CLK_FIFOS_STATUS ? ?

4.3.2 Carte BAR0 (HI)

Ces registres sont contenus dans les 3 FPGA spartiates. Les adresses sont des excentrages de l'endroit BAR0. Tous les registres sont de 32 bits et ne devraient pas être écrits à ou lire en utilisant le byte permet.

0x200	DMA_WR_CNT_ADDR	N'employez pas.
0x208	CONFIG_CONTROL	« Choisit » FPGAs. Renvoie le statut de config
0x210	CONFIG_DATA	Envoie un byte de données à SelectMap
0x218	MCU_CLOCK_CONTROL	N'employez pas.
0x238	FPGA_STUFFING	La rangée indique quel FPGAs sont installés
0x240	FPGA_ADDR	Placez l'adresse « courante » de MainBus
0x248	FPGA_WRITE	Envoyez le mot à MainBus
0x250	FPGA_READ	Obtenez le mot de MainBus
0x258	MCU_WRITE	Écrivez aux « config s'enregistre »
0x260	MCU_READ	N'employez pas.
0x268	MCU_READ	Lu des « config s'enregistre »
0x270	MB_CONTROL	Allumez-vous ou outre de l'auto-incrément de MainBus

4.3.3 Configuration de FPGA

Pour configurer et le PCI fini de FPGA exprès suivent les étapes ci-dessous. Rappelez-vous que tous les registres BAR0 sont les registres de 32 bits de « mot » (byte-écrit ont éliminé le comportement). Les adresses sont tous les excentrages de l'adresse de la BARRE 0.

1) « Choisissez » un FPGA.
L'adresse 0x208 est le registre « de commande de config ». Son peu [3 : 0] « choisissent » un FPGA, et mordu 4 commandes le signal de PROGn du FPGA « choisi ».

Écrivez 0x00000011to « choisissent » FPGA A ou 0x00000012 « choisissent » FPGA B.

2) Remettez à zéro le FPGA choisi (« affirmez PROGn »).
Écrivez 0x00000001 au « prog » FPGA A ou 0x00000002 au « prog » FPGA B.

3) Lisez l'état courant d'initialisation du FPGA choisi.
Quand lu, l'adresse 0x208 renverra les signaux de statut de SelectMap. Peu [3 : 0] élasticités que « a choisi » FPGA, le peu 5 sont l'état de « PROGn », le peu 6 sont l'état de « INITn », le peu 7 sont l'état « FAIT ».

Après que vous ayez placé « prog » sur un FPGA, votez 0x208 et attendez l'état de « INITn » pour passer à 0 (0), pour prouver qu'il est dans la remise.

4) Libérez PROGn
Écrivez un peu 1 au PROGn du registre « de commande de config ». (Employez un masque pour pour ne pas changer le FPGA « choisi »

5) Votez INITn pour attendre le dispositif à libérer de la remise.

6) Frappez les bytes de configuration dans CONFIG_DATA
Le registre de CONFIG_DATA est à l'adresse 0x210. Écrivez un byte à la fois dans le bas peu de ce registre de 32 bits. Employez les bytes directement à partir du dossier de configuration produit par bitgen. Ce jet de byte contient des commandes et des données de SelectMap.

7) Ordure de coup. 字节持续猛击CONFIG_DATA。 Ceci n'est pas exigé est votre dossier de .bit contient déjà assez de bytes pour expliquer de celui que vous ordre de démarrage ait besoin.

8) Scrutin FAIT
Lu de l'adresse 0x208 et de l'attente le peu FAIT pour être haut.

9) De-select le FPGA (facultatif)
Écrivez un 0 à l'adresse 0x208 pour ne choisir « aucun FPGA »

4.3.4 Par relecture

C'est PCI fini possible, mais non mis en application exprès. Vous pouvez employer le par relecture d'USB, ou le hurlement à nous jusqu'à ce que nous mettions en application le PCI fini aussi bien.

4.4 时钟控制

4.4.1 Fréquences de synthétiseur

Les réseaux qui sont originaire des synthétiseurs (CLK_G0, CLK_G1, CLK_G2) peuvent avoir leur CompactFlash, USB ou PCI fini réglé par fréquences exprès. Afin de placer la fréquence de ces horloges, écrivez à la « configuration appropriée s'enregistre ». Pour utiliser correctement des registres de configuration de PCI exprimez, USB, ou CompactFlash, voient la section sur des registres de configuration.

Pour placer la fréquence de G0, décomposez d'abord la fréquence désirée en son nombre entier et pièces partielles. Codez la pièce de nombre entier dans binaire. Codez la partie partielle comme parties en 1000. Codez alors ceci comme nombre binaire. Écrivez au bas 8 bits du nombre entier dans le registre G0_INTEGER_B0 et du repos dans le registre G0_INTEGER_B1. Écrivez au bas 8 bits de la partie partielle dans G0_FRACTIONAL_B0 et du repos dans G0_FRACTIONAL_B1. En conclusion, écrivez un peu dans le registre PENDING_CLKS pour indiquer quelle fréquence devrait être mise à jour. 0x01 est G0, 0x02 est G1 et 0x04 est G2.

Pour placer G1 ou G2 utilisent différents registres.

Exemple : Placez G2 à 233.75 mégahertz.
233 dans binaire est 0xE9
0.75 est 750 parts en 1000.
750 dans binaire est 2EE.

Écrivez 0xE9 à G2_INTEGER_B0	(0xDFC8)
Écrivez 0x00 à G2_INTEGER_B1	(0xDFC9)
Écrivez 0xEE à G2_FRACTIONAL_B0	(0xDFCA)
Écrivez 0x02 à G2_FRACTIONAL_B1	(0xDFCB)
Écrivez 0x04 à PENDING_CLKS	(0xDF40)

4.4.2 Sources d'horloge

Les réseaux EXT0 et EXT1 peuvent avoir leurs fréquences de PLL réglées, leur ensemble de valeurs de diviseur, leur source de fréquence réglée de l'USB, CompactFlash, ou PCI exprès.

La commande de ces dispositifs est par l'intermédiaire de peu dans des deux des registres configurations, SYNTH_EXT0_CTRL et SYNTH_EXT1_CTRL.

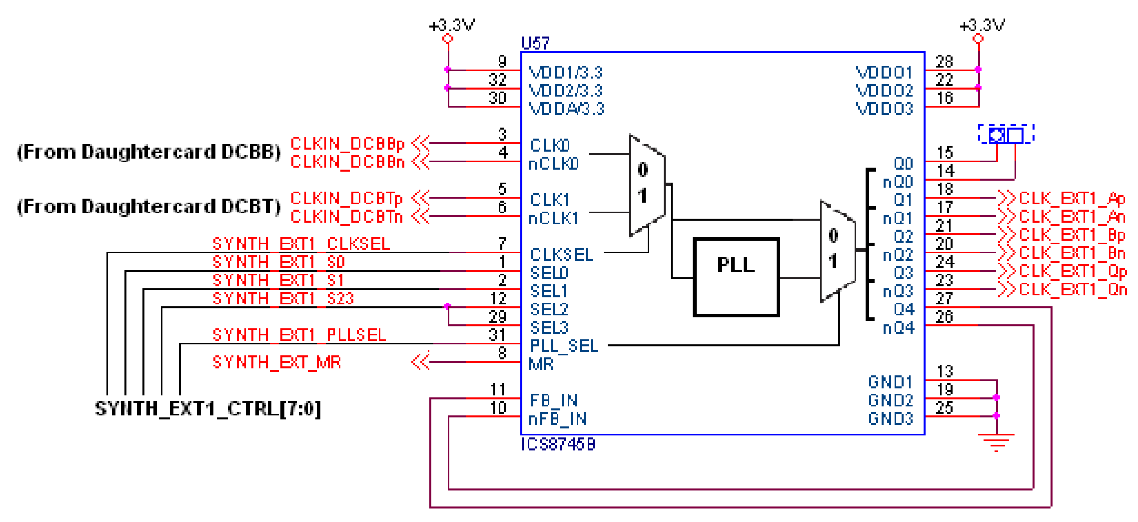


Figure 42 - Circuit d'EXT0 EXT1

Pour l'opération de l'ICS8745B, voyez le datasheet fourni. Enregistrez les commandes du peu 0 le signal de CLKSEL, le peu 1 est le signal de PLLSEL, le peu 2 est S0, le peu 3 est le signal S1, et 4 mordus est les signaux SEL2 et les SEL3.

Exemple: Placez CLK_EXT0 au SMA entré (entrée 1) et déviez le PLL.
Écrivez 0x1E à SYNTH_EXT0_CTRL (0xDF24)

4.5 Interface de CompactFlash

La plupart des arrangements importants sur le DN9200K10PCIE8T peuvent être contrôleur par l'interface instantanée compacte. Cette interface peut également être employée pour configurer FPGAs. L'interface de CompactFlash n'est pas sous la commande directe de l'utilisateur, mais est accédée seulement par la logique de configuration.

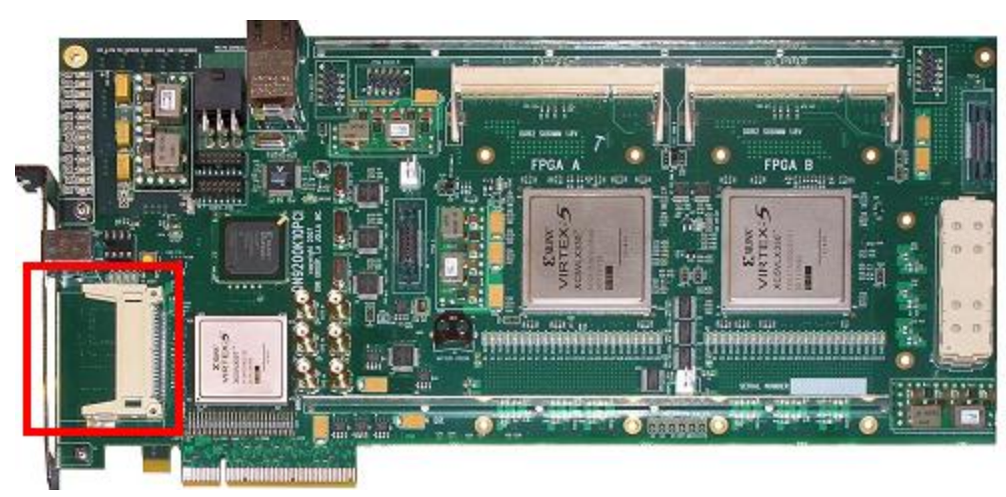


Figure 43 - Douille de carte de CompactFlash

L'interface de CompactFlash peut prendre n'importe quelle sorte de carte de CompactFlash dont nous savons. Si vous trouvez un qui ne fonctionne pas, l'email il à nous et à nous peut ajouter l'appui. La fente est chaud-permutable.

Afin d'inciter le conseil à configurer à partir de la carte, vous pouvez :
- Remettez à zéro le conseil puissance-en le faisant un cycle, ou en appuyant sur le bouton « de remise de système »
- Employez l'option de menu de RS232 de « MCU »
- Employez le programme de contrôleur d'USB (ou la demande de fournisseur d'USB)

4.5.1 Main.txt

Sur la carte de CompactFlash, vous devriez placer un dossier des textes avec le nom de fichier « Main.txt ». Quand les mises sous tension de conseil, il liront ce dossier pour déterminer quoi faire. Vous pouvez :

- Configurez FPGAs
- Fréquences de base réglées
- Écrivez à MainBus
- Écrivez à la « configuration s'enregistre »

Un dossier de main.txt contient une liste de commandes, séparée par des caractères de caractère NL. Une liste de commandes valides de main.txt est donnée ci-dessous.

```
commentaire <de //>
NOM <DE FPGA FPGA> : <nom de fichier>
FRÉQUENCE DE BASE : Nombre <G0> [Mégahertz]
FRÉQUENCE DE BASE : Nombre <G1> [Mégahertz]
FRÉQUENCE DE BASE : Nombre <G2> [Mégahertz]
SOURCE : G0 2
SOURCE : G1 2
SOURCE : G2 2
CONTRÔLE DE SANTÉ D'ESPRIT : <yn>
NIVEAU BAVARD : <niveau>
```

LA MÉMOIRE A TRACÉ : 0x< SHORTADDR> BYTE< 0x>
AUTOBUS PRINCIPAL 0x< WORDADDR> 0x< WORDDATA>
TRANSFERT DE FICHIER :
DCLK : DC0 250MHz

<commentaire> peut être n'importe quelle corde des caractères excepté le caractère NL.
<nom de fpga> peut être un de ces derniers : A, B, C, D, E ou F
<nom de fichier> peut être le nom d'un dossier sur le répertoire racine de la carte de CompactFlash.
<nombre> peut être tout nombre positif dans la décimale. On laisse des virgules décimales .
<yn> peut être la lettre y ou la lettre n
<niveau> peuvent être 0.1.2 ou 3
<SHORTADDR> est un nombre à 4 chiffres dans l'hexadécimal (16 bits)
<BYTE> est un nombre de 2 chiffres dans l'hexadécimal (8 bits)
<WORDADDR> (nombre à 8 chiffres de bit 32) dans l'hexadécimal représentant une adresse principale d'autobus
<WORDDATA> (nombre à 8 chiffres de bit 32) dans des données contenantes hexadécimales pour une transaction principale d'autobus

La table suivante décrit la fonction de chacune des commandes disponibles de main.txt.

Instruction	Fonction
commentaire <de //>	Les circuits de configuration n'effectuent aucune opération et se déplacent à la prochaine commande.
NIVEAU BAVARD : <niveau>	Cette commande placera la quantité de rendement qui sera produite au-dessus du port RS232 pendant la configuration. Si de niveau est placé à 0, le port produira seulement le rendement d'erreur.
FPGA A : <nom de fichier>	Le Virtex 5 FPGA « A » sera configuré avec le dossier appelé par <nom de fichier>
FPGA B ： <文件名>	Le Virtex 5 FPGA « B » sera configuré avec le dossier appelé par <nom de fichier>
CONTRÔLE DE SANTÉ D'ESPRIT : <yn>	Si <yn> est placé à y, puis le MCU examinera les en-têtes dans les dossiers de .bit sur la carte de CompactFlash avant de les employer pour configurer chaque FPGA. Si la cible FPGA annotée dans l'en-tête de dossier de .bit n'est pas le même type que le FPGA le MCU détecte sur le conseil, il rejettera le dossier et clignotera l'erreur LED. Avant que cette commande soit exécutée, <yn> est placé à la valeur par défaut Y. Si vous voulez chiffrer de la compresse vos dossiers de peu, vous devrez placer <le yn> au N.

AUTOBUS PRINCIPAL 0x< WORDADDR> 0x< WORDDATA>	Écrit des données dans <WORDDATA> à l'adresse sur l'interface de bus principale <à WORDADDR>. Cette commande se comprend seulement dans le contexte de la conception de référence de groupe de Dini, à moins que votre conception mette en application un contrôleur compatible sur les goupilles principales d'autobus. Les spécifications pour cette interface sont dans la section de MainBus
LA MÉMOIRE A TRACÉ : 0x< SHORTADDR> BYTE< 0x>	Écrit à un registre de configuration. Cette commande peut être employée pour accéder aux dispositifs qui n'ont pas une commande de main.txt. Les applications d'exemple incluent placer des amortisseurs de sources, d'arrangements l'EXT0 ou d'horloge EXT1 d'horloge zéro-pour retarder le mode, ou régler les horloges aux fréquences inférieures à 31Mhz.
SOURCE : G0 2 SOURCE : G1 2 SOURCE : G2 2	Les instructions de SOURCE font produire les réseaux globaux d'horloge une horloge d'une source alternative. Quand la source de G0 est placée à « 2 », alors l'horloge globale G0 devient une horloge d'étape, qui peut être accédée par le registre 0xDF23 de config. Quand la source de G1 est placée à « 2 », le réseau global G1 d'horloge devient une horloge d'étape qui peut être basculée par l'inscription au registre 0xDF23 de config. Quand la source de G2 est placée à « 2 », alors la source de réseau de l'horloge G2 devient FPGA A, en utilisant le signal de « FBACLK ».
FRÉQUENCE DE BASE : <clockname> <nombre> Mégahertz	Le MCU ajustera le synthétiseur d'horloge produisant le clockname <d'horloge> 您频率 <到数字>。

看起来 44 commandes de Main.txt

Un dossier de main.txt d'exemple est donné ci-dessous.

```
FPGA A : fpga_a.bit
FPGA B : fpga_b.bit
FPGA C : fpga_c.bit
FPGA D : fpga_d.bit
FPGA E : fpga_e.bit
FPGA F : fpga_f.bit
fréquence de base : G0 200Mhz
fréquence de base : G1 250Mhz
fréquence de base : G2 200Mhz
```

Même si vous ne projetez pas configurer votre Virtex 5 FPGAs en utilisant une carte de CompactFlash, vous pouvez vouloir laisser une carte de CompactFlash dans la douille pour programmer automatiquement votre horloge globale. (Des horloges peuvent également être programmées en utilisant l'application fournie d'USB, ou l'excédent l'autobus exprès de PCI.)

4.5.2 Notes sans importance de matériel de CompactFlash

L'interface instantanée compacte est chaud-permutable.

Une activité LED, DS148, situé à côté de la fente instantanée compacte indique l'activité sur cette interface.

En raison d'une paille dans la conception de logiciel, quelques cartes instantanées compactes peuvent être incompatibles avec le DN9200K10PCIE8T. Svp contact support@dinigroup.com si vous trouvez une carte incompatible, de sorte que nous puissions ajouter le software support pour lui.

4.6 USB

Les interfaces exprès d'USB et de PCI peuvent être employées pour la configuration (configuration de FPGA, et les arrangements d'horloge, etc.) ou pour la communication directe avec la conception d'utilisateur dans le FPGA. Ces interfaces sont décrites individuellement dans leurs propres sections dans le chapitre de matériel.

4.6.1 Configuration d'un FPGA

Le procédé suivant est employé par le logiciel sur l'ordinateur principal pour configurer un FPGA au-dessus d'USB. Ce procédé est suivi du programme d'USBController et de programme d'AETest_usb sur le CD d'utilisateur.

1) Le logiciel d'USB obtient une poignée à un dispositif d'USB avec VID 0x1234 PID 0x1234.

2) Le logiciel de centre serveur d'USB envoie la demande VR_SETUP_CONFIG 0xB7 de fournisseur (voyez *Demandes de fournisseur*) avec 1 byte dans les données protégez représenter quel FPGA à configurer. (A est 0x01, B est 0x02, C est 0x03…)

3) Le circuit de configuration sur recevoir cette demande de fournisseur affirme le signal de PROG du FPGA choisi. Ceci remet à zéro le FPGA et dégage n'importe quelles données de configuration qu'il peut déjà avoir. Cette demande de fournisseur choisit également le FPGA, de sorte que l'activité d'autobus de SelectMap affecte seulement le FPGA choisi. Transferts en masse lancés après que cette commande au point final 2 soient interprétées comme des transferts de SelectMap, plutôt que des transferts principaux d'autobus. (Voyez *Accès principal d'autobus* ci-dessus). Ce sera ainsi jusqu'à ce que la demande VR_SETUP_END (0xBD) de fournisseur s'appelle.

4) Le logiciel de centre serveur d'USB envoie un volume écrivent la demande d'USB à EP2. Chaque byte de données dans le volume écrivent est envoyé au FPGA choisi au-dessus de l'autobus de SelectMap, et le signal CCLK de FPGA est palpité une fois pour chaque byte de données envoyées. Notez que le LSBit dans la transaction d'USB est envoyé au LSBit dans l'interface de SelectMap, ainsi permutation mordue comme décrit dans le guide de configuration de Virtex 5 n'est pas exigé. Un dossier standard de .bit de bitgen de Xilinx peut être transféré dans binaire sur cette interface d'USB pour configurer correctement un FPGA sur le DN9200K10PCIE8T. Assurez-vous que CCLK est choisi comme horloge de démarrage dans les arrangements de bitgen. C'est l'arrangement de défaut.

5) Après qu'un FPGA configure, le signal FAIT passera à 1, allumant la LED bleue à côté du FPGA (marqué « FAIT »).

6) Le contrôleur d'USB envoie une demande dehors VR_SETUP_END (0xBD) de fournisseur. Cette demande ne pas sélectionner le FPGA, de sorte qu'encore d'autres demandes en bloc soient interprétées en tant que transactions principales d'autobus.

4.6.2 Par relecture

Le par relecture est exécuté de la même manière que la configuration, sauf que la direction du transfert en masse est BULK_READ au lieu de BULK_WRITE.

La lecture de ce point final cause un cycle de CCLK sur l'autobus de SelectMap du FPGA choisi. Afin de lancer le par relecture, vous devez envoyer une demande de fournisseur de mettre le point final dans le mode de par relecture, et envoyez une demande de fournisseur qui lancera un ordre de SelectMap qui met l'autobus de FPGA SelectMap dans le mode lu.

Les données sont retournées du point final sont les données brutes de l'autobus de SelectMap. Afin de sembler n'importe quel raisonnable de ces données, toi doit fumier par les données et le match binaires il vers le haut avec relu, masque, liste d'endroit de registre, bitfile, les dossiers qui ont été produits par le générateur de peu. Notez en outre que les mille bits premiers sont ordure, comme décrit dans le guide d'utilisateur de configuration de Xilinx Virtex 5.

Afin d'obtenir l'état de registre les données du par relecture coulent, vous devront mettre en application le module d'ICAP dans votre Verilog. Ceci pourrait signifier avoir une horloge commandée avec un palier et un état de déclenchement et un sort d'autres choses que nous n'avons pas pensées environ parce que personne ne semble s'inquiéter du par relecture.

4.7 Configurant le « PCI » FPGA exprès

Pour configurer le fpga exprès de « PCI » (également désigné sous le nom de « V5T », de « FPGA Q », de « LX50T », de « maximum », de « FPGA de John », « malheur »), il y a plusieurs méthodes :

1) Configurez de la carte instantanée compacte. Ajoutez une ligne au dossier de main.txt :
   FPGA Q : bitfilename.bit
   La prochaine fois la mise sous tension de conseil au loin et, ces données de programmation demeurera dans la carte et programmera le FPGA encore.

2) De charge d'image excédent JTAG directement. Employer un câble de Xilinx JTAG, se relient au connecteur de « FPGA JTAG » sur le conseil. Le dernier article sur la chaîne de JTAG est le « PCI FPGA exprès ». Droit-cliquez sur ce dispositif et choisissez un dossier de peu. Programmez le dispositif. La prochaine fois les puissances de conseil dessus, ces données de programmation seront perdues.

3) Chargez l'image dans le bal d'étudiants au-dessus de JTAG. Employer un câble de Xilinx JTAG, se relient au connecteur de « FPGA JTAG » sur le conseil. Le dernier article sur la chaîne de JTAG est le « PCI FPGA exprès ». Droit-cliquez sur ce dispositif (dans l'impact), et choisissez « ajoutent le flash de SPI… » choisissez le dossier d'image (un dossier de .mcs). Programmez le dispositif de SPI attaché au FPGA. La prochaine fois les puissances de conseil dessus, cette image chargeront automatiquement dans le FPGA.

4) Chargez l'image dans le bal d'étudiants au-dessus de l'USB. En utilisant le programme de contrôleur d'USB de fenêtres, vous pouvez choisir parmi le menu de « service », « flash du programme V5T ». À partir… du dialogue ouvert, vous pouvez choisir un dossier de .hex. Après une minute, le programme chargera le dossier de sortilège dans le bal d'étudiants. Quand vous actionnez le cycle le conseil, alors les données de programmation seront chargées dans le FPGA Q.

5) Chargez l'image directement dans FPGA au-dessus d'USB. Dans les fenêtres programmez le contrôleur d'USB, vous pouvez droit-cliquez sur le FPGA Q et choisissez le « programme ce fpga ». Après choix d'un dossier de .bit, le programme chargera le FPGA. Quand les puissances de conseil vers le bas et en arrière dessus, les données de programmation seront perdues.

6) Programmez le PROM au-dessus du PCI exprès. Ce n'est pas très fiable.

Le PCI exprès ne peut pas être employé pour programmer le FPGA directement parce que le FPGA est exigé pour être configuré pour le PCI exprès pour fonctionner.

4.8 Registres de configuration

Certaines des commandes sur le conseil, spécifiquement les horloges, sont accédées bien que la « configuration s'enregistre ». Le PCI exprès, le CompactFlash et l'USB tous ont accès à ces registres de façon ou d'autre. Voyez la section correspondante.

Registres de configuration de FPGA

FPGA_SELECT	0xDF0C	« Choisit » un FPGA pour l'interface de SelectMap
FPGAQ_CONTROL	0xDFB0	Permet l'accès aux goupilles de MSEL de FPGA Q
BEGIN_READBACK	0xDFDD	Envoie un ordre de commande sur SelectMap
END_READBACK	0xDFDE	Envoie un ordre de commande sur SelectMap

Compteurs d'instruction de MainBus

PCI_COMMUNICATION	0xDF15	Commutateurs MainBus entre le mode de PCI et d'USB
FPGA_COMMUNICATION	0xDF39	Débronchements MainBus (pour l'usage en tant qu'interconnexion)
GPIF_EP2TC0	0xDFA0	Maintenez la commande lecture/écriture sur MainBus
GPIF_EP2TC1	0xDFA1	«
GPIF_EP2TC2	0xDFA2	«
GPIF_EP2TC3	0xDFA3	«

Compteurs d'instruction d'horloge

CLKS_CTRL	0xDF23	Commande la « horloge d'étape » sur CLK_G0
SYNTH_EXT0_CTRL	0xDF24	Commande les arrangements inCLK_EXT0 de PLL
SYNTH_EXT1_CTRL	0xDF25	Commande les arrangements de PLL dans CLK_EXT1
PENDING_CLKS	0xDF40	Fait mettre à jour les horloges G0-G2 la fréquence
G0_INTEGER_B0	0xDFC0	(LSB) Commande la fréquence de CLK_G0
G0_INTEGER_B1	0xDFC1	(MSB)
G0_FRACTIONAL_B0	0xDFC2	Ajustez la fréquence de GLK_G0
G0_FRACTIONAL_B1	0xDFC3	«
G1_INTEGER_B0	0xDFC4	(LSB) Commande la fréquence de CLK_G1
G1_INTEGER_B1	0xDFC5	(MSB)
G1_FRACTIONAL_B0	0xDFC6	Ajustez la fréquence de CLK_G1

G1_FRACTIONAL_B1	0xDFC7	«
G2_INTEGER_B0	0xDFC8	(LSB) Commande la fréquence de CLK_G1
G2_INTEGER_B1	0xDFC9	(MSB)
G2_FRACTIONAL_B0	0xDFCA	Ajustez la fréquence de CLK_G2
G2_FRACTIONAL_B1	0xDFCB	«

Compteurs d'instruction divers

PENDING_RST	0xDF4C	Envoie une impulsion sur la remise d'utilisateur (bouton).

Registres de l'information

SERIAL_NUM_BYTE0	0xDFF6	Numéro de série de conseil (ASCII)
SERIAL_NUM_BYTE1	0xDFF7	Numéro de série de conseil (ASCII)
SERIAL_NUM_BYTE2	0xDFF8	Numéro de série de conseil (ASCII)
SERIAL_NUM_BYTE3	0xDFF9	Numéro de série de conseil (ASCII)
MCU_STUFFING1	0xDF27	Le champ de peu indique quels FPGA sont installés
TEMP_A	0xDF50	La température de FPGA A dans les unités C (binaires)
TEMP_B	0xDF51	La température de FPGA B
TEMP_Q	0xDFE0	La température de FPGA Q
FPGA_A_TYPE	0xDF78	Quel type de FPGA est A (codé)
FPGA_B_TYPE	0xDF79	Quel type de FPGA est B (codé)
VERSION DE CONFIG_	0xDFFB	Version des progiciels spartiates
MCU_VERSION	0xDFFC	Version progiciels de MCU (des « flash »)
BOARD_VERSION_NEW	0xDFFE	Le type de panneau (9200K10PCIE8T) a codé.

4.8.1 Commandes non documentées

Il y a quelques dispositifs qui ne sont pas documentés parce qu' alors nous ne pourrions pas les changer. Si vous avez besoin d'un certain dispositif, email support@dinigroup.com et demandez si nous sommes intéressés à le mettre en application.

- Arrêtez l'auto-incrément sur l'USB
- Détection principale des erreurs d'autobus
- Changement principal d'arrêt d'autobus
- Le registre de PCI a indiqué le changement d'arrêt

4.9 Progiciels

Des 3 FPGA spartiate et un contrôleur micro de cyprès commandent les circuits de configuration. Les données de programmation pour le FPGA sont stockées sur un dispositif instantané, et le code pour le contrôleur micro est stocké sur un dispositif instantané séparé. Les instructions pour mettre à jour les progiciels sont données dans la section de logiciel. Le flash qui stocke l'information de programmation spartiate de FPGA est rendu disponible par l'intermédiaire d'un en-tête de JTAG, qui peut être employé avec l'impact de programme de Xilinx. Le groupe de Dini ne recommande pas de ne faire aucune sorte de développement sur ce FPGA, parce que si vous ajoutez le code fait sur commande, vous ne pourrez pas employer des mises à jour de progiciels de groupe de Dini sans le fusionner avec votre code fait sur commande.

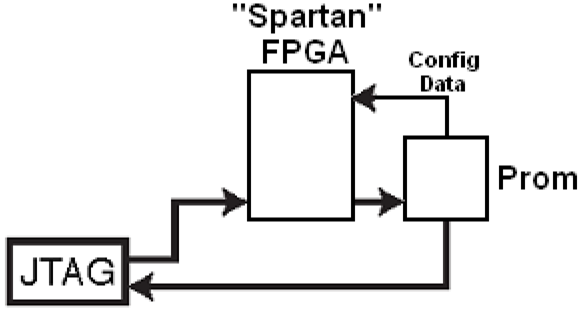


Figure 45 - Chaîne spartiate de JTAG de « progiciels »

Il y a une chaîne de JTAG et l'en-tête (J6) qui est relié au spartiate et à elle est bal d'étudiants de configuration.

Les instructions pour mettre à jour les progiciels sont dans la section de logiciel de contrôleur. Le spartiate configure d'un PROM de configuration de Xilinx. Les initialisations de microcontrôleur d'un eprom IIC. Il court alors le code additionnel outre d'un dispositif instantané externe. Le LXT FPGA configure d'un flash externe de SPI.

5 Réseau d'horloge

Le conseil fournit un groupe d'horloges qui vont aux les deux FPGAs sur des goupilles de CHROMATOGRAPHIE GAZEUSE sur le FPGA. Ces horloges conviennent à la communication synchrone entre le FPGAs. Quand ce manuel se rapporte « entrée d'horloge » d'un FPGA, il signifie à la goupille de « CHROMATOGRAPHIE GAZEUSE » décrite dans le manuel d'utilisateur Virtex-5. Ces goupilles ont les possibilités de conduire un DCM, PLL, ou l'entrée de BUFG avec connu (expliqué) retardent dans le FPGA.

Presque sans exception, et horloge (ou signal sensible de bord) devrait se relier seulement à une goupille de CHROMATOGRAPHIE GAZEUSE sur le FPGA.

5.1 Horloges globales

Tous les « réseaux globaux d'horloge » sur le DN9200K10PCIE8T sont LVDS, signaux de Point-to-Point. Les temps d'arrivée des bords d'horloge à chaque FPGA phase-sont alignés (longueur-assorti sur la carte) dans environ 100ps. Ces horloges sont toutes appropriées à la communication synchrone parmi FPGAs.

Puisque LVDS est très un bas tension-balancez le signal différentiel, vous ne peut pas recevoir ces signaux sans employer un amortisseur différentiel d'entrée. Entrées assymétriques pas travail. Une exécution de Verilog d'exemple d'une entrée d'horloge différentielle est donnée ci-dessous.

```
Aclk_ibufds de fil ;
IBUFGDS G0CLK_IBUFG (. O (g0clk_ibufg). I (GCLK0p), .IB (GCLK0n)) ;

l'always@ (g0clk_ibufg) commencent
        Registres de //
extrémité
```

L'UCF ou en employant une directive de synthèse, vous devriez placer l'attribut de DIFF_TERM de l'IBUFGDS POUR RECTIFIER. Ceci est recommandé parce qu' il n'y a aucune résistance externe d'arrêt sur le DN9200K10PCIE8T.

Tous les réseaux globaux d'horloge ont un point test de mesure différentiel. Le côté positif du signal différentiel est relié à la borne 1 (place) et le côté négatif est relié à la borne 2 (circulaire).

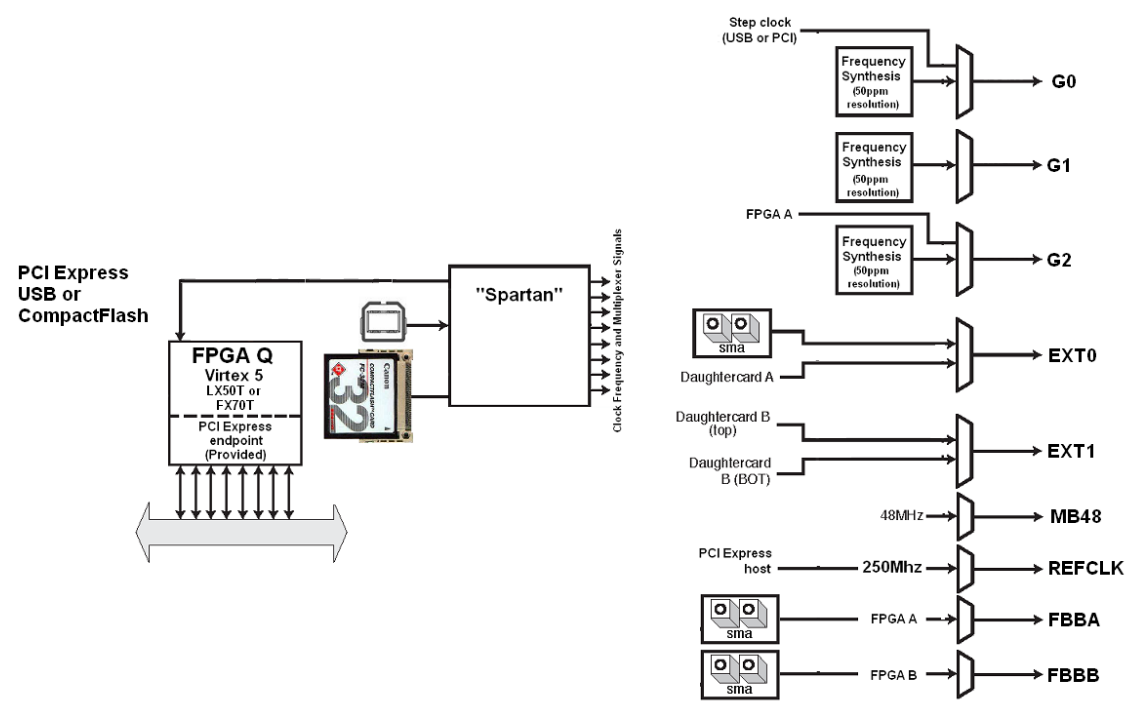


Figure 46 - Schéma fonctionnel de réseau d'horloge

Chacune des neuf sorties d'horloge du réseau d'horloge est distribuée aux les deux FPGAs.

5.1.1 Points test de mesure d'horloge

Chacun des réseaux « d'horloge globale » a un point test de mesure. Ces points longueur-ne sont pas assortis avec le réseau global d'horloge, tellement il peut y avoir une certaine phase excentrée entre ce point et l'entrée de FPGA.

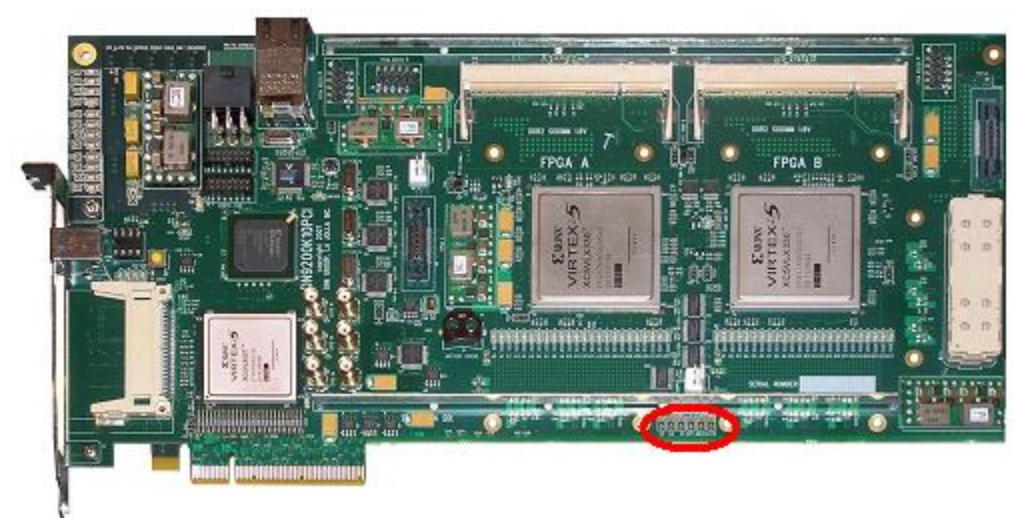


Figure 47 - Points test de mesure d'horloge

Toute la signalisation du rendement LVDS de points test de mesure. Les points test de mesure de LVDS ont le signal de « p » relié à la borne 1 (carrée) et « n » relié à la borne 2 (circulaire).

Une résistance 100Ω relie le côté de P et de N de ces signaux d'horloge. C'est excellent pour sonder avec une sonde à grande impédance, mais pas aussi bon pour relier des fils. Vous pouvez enlever cette résistance si nécessaire.

5.2 G0, G1, horloges G2

Les horloges G0, G1 et G2 sont la ressource primaire d'horloge pour votre conception de FPGA. Chacune de ces horloges peut être réglée à un éventail de fréquences entre 0.125 mégahertz et 550 mégahertz.

Sur le schéma, ces signaux sont appelés
CLK_G*_*p
là où * est 0.1 ou 2 et * est le nom du FPGA relié à ce signal.

En plus, la fréquence de référence de chacun du bidon (sur option) viennent d'une source alternative.
G0 peut agir en tant qu'une source d'étape-horloge commandée par l'intermédiaire du PCI exprès ou de l'USB.
G1 peut être fermé à clef à G0
G2 peut être commandé de FPGA A

Pour commander l'horloge d'étape, écrivez registre » 0xDF23 au « de configuration interface de registre en utilisant de PCI ou d'USB configuration.

Pour commander la source de chaque horloge, employez le contrôleur d'USB (l'option « de sources d'horloge » dans le menu d'arrangements) ou employez la SOURCE : commande sur CompactFlash.

Par défaut, les sources alternatives pour ces horloges sont éteintes .

Le registre de configuration qui place la source des horloges est à l'endroit 0xDF16.
0 mordu correspond à G0, le peu 1 correspond à G1 et 2 mordus correspond à G2. Pour changer la

source en chronomètre, écrivez un `1 à la position binaire correspondant au réseau d'horloge. Écrivez alors un `1 au peu correspondant au réseau d'horloge dans le registre de « mise à jour », 0xDF40. L'inscription à ce registre causera un problème dans l'horloge.

De la carte instantanée compacte, la source peut être placée en employant l'instruction de source :

source : Ensembles G0 de G0 2 # à faire un pas horloge 0
source : Ensembles G1 de G1 2 # à faire un pas horloge 1
source : Ensembles G2 de G2 2 # à la « rétroaction A »

Dans le contrôleur d'USB, à partir du menu d'arrangements, choisissez les arrangements de source d'horloge de DN9200K10PCIE8T

Pour commander G2 de FPGA A, le FPGA conduit un signal de l'horloge 2.5V sur le rendement de CLK_FBA_INT.

5.2.1 Synthétiseur Circuit

La source de synthèse de l'horloge G0, G1, et G2 est conduite par un morceau de synthétiseur de l'horloge si5326. Ce morceau est capable de conduire un éventail de fréquences de rendement. La « configuration enregistre » cette commande que la fréquence de rendement sont capable de configurer correctement chaque multiple de fréquence de 0.125Mhz jusqu' à 550Mhz. Si la fréquence désirée est entre une de ces étapes, ou au-dessus ou au-dessous de la gamme, alors vous devrez employer une carte instantanée compacte pour placer la fréquence.

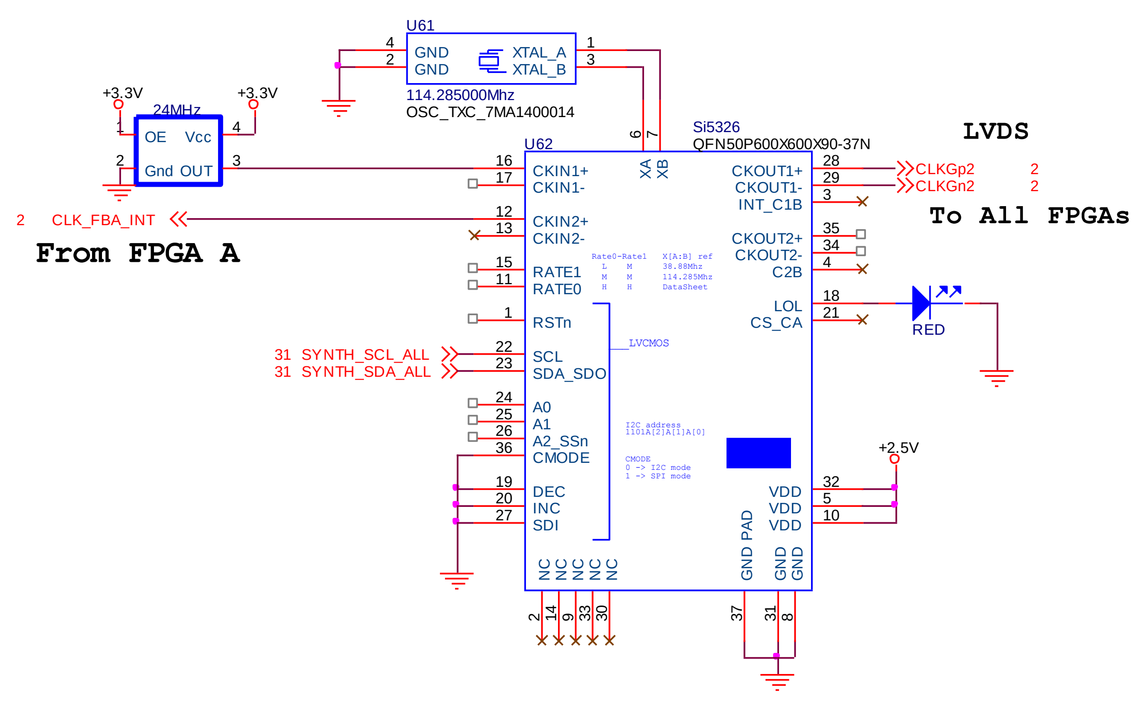


Figure 48 - Circuit de synthétiseur de réseau de l'horloge G

Les sorties de synthétiseur peuvent être placées à n'importe quelle fréquence dans les possibilités du dispositif de synthétiseur. Cependant, le microcontrôleur ne peut pas calculer les arrangements corrects sur le synthétiseur parce qu'il exigerait des maths. Afin d'obtenir un arrangement arbitraire de fréquence,

vous devez employer le dossier de main.txt sur la carte instantanée compacte. Les lignes de main.txt exigées pour régler l'horloge G1 à un grand nombre de fréquences sont données ci-dessous.

SOURCE : G1	1	7	29393	1599	7	146969	#	0.003000 mégahertz
SOURCE : G1	1	1	969	23	6	96999	#	0.005000 mégahertz
SOURCE : G1	1	1	969	23	6	48499	#	0.010000 mégahertz
SOURCE : G1	1	6	44035	2178	3	44035	#	0.015734 mégahertz
SOURCE : G1	1	5	22453	999	5	22453	#	0.024000 mégahertz
SOURCE : G1	1	3	10825	374	3	21651	#	0.032000 mégahertz
SOURCE : G1	1	7	63915	3478	7	13455	#	0.032768 mégahertz
SOURCE : G1	1	4	15787	624	4	15787	#	0.038400 mégahertz
SOURCE : G1	1	7	139971	7618	7	9997	#	0.044100 mégahertz
SOURCE : G1	1	7	9185	499	7	9185	#	0.048000 mégahertz
SOURCE : G1	1	1	969	23	6	9699	#	0.050000 mégahertz
SOURCE : G1	1	3	5773	199	3	11547	#	0.060000 mégahertz
SOURCE : G1	1	2	10777	319	2	10777	#	0.075000 mégahertz
SOURCE : G1	1	5	168383	7498	5	7015	#	0.076810 mégahertz
SOURCE : G1	1	5	5613	249	5	5613	#	0.096000 mégahertz
SOURCE : G1	1	1	969	23	6	4849	#	0.100000 mégahertz
SOURCE : G1	1	0	4041	79	4	4041	#	0.150000 mégahertz
SOURCE : G1	1	3	72667	2516	3	3927	#	0.176400 mégahertz
SOURCE : G1	1	4	3157	124	4	3157	#	0.192000 mégahertz
SOURCE : G1	1	7	1377	74	4	2755	#	0.220000 mégahertz
SOURCE : G1	1	3	13857	479	3	2131	#	0.325000 mégahertz
SOURCE : G1	1	7	1377	74	4	1377	#	0.440000 mégahertz
SOURCE : G1	1	3	13857	479	6	1065	#	0.455000 mégahertz
SOURCE : G1	1	7	1377	74	0	1377	#	0.880000 mégahertz
SOURCE : G1	1	4	15791	624	3	375	#	1.843199 mégahertz
SOURCE : G1	1	4	15791	624	3	281	#	2.457600 mégahertz
SOURCE : G1	1	4	47487	1874	3	211	#	3.276800 mégahertz
SOURCE : G1	1	5	7909	351	2	225	#	3.579545 mégahertz
SOURCE : G1	1	4	15791	624	3	187	#	3.686399 mégahertz
SOURCE : G1	1	7	2303	124	7	107	#	4.096000 mégahertz
SOURCE : G1	1	6	36307	1790	6	115	#	4.194304 mégahertz
SOURCE : G1	1	6	49867	2462	0	273	#	4.433617 mégahertz
SOURCE : G1	1	7	2303	124	7	89	#	4.915200 mégahertz
SOURCE : G1	1	4	631	24	1	157	#	6.144000 mégahertz
SOURCE : G1	1	4	15791	624	3	93	#	7.372799 mégahertz
SOURCE : G1	1	7	2303	124	7	53	#	8.192000 mégahertz
SOURCE : G1	1	1	2153	52	7	49	#	8.867238 mégahertz
SOURCE : G1	1	7	2303	124	7	47	#	9.216000 mégahertz
SOURCE : G1	1	4	15871	624	4	61	#	9.830400 mégahertz
SOURCE : G1	1	2	507	14	6	47	#	10.160000 mégahertz
SOURCE : G1	1	3	23221	799	3	67	#	10.245000 mégahertz
SOURCE : G1	1	7	2303	124	7	39	#	11.059200 mégahertz
SOURCE : G1	1	5	5613	249	5	47	#	11.228000 mégahertz
SOURCE : G1	1	3	3611	124	1	85	#	11.289600 mégahertz
SOURCE : G1	1	7	2303	124	7	35	#	12.288000 mégahertz
SOURCE : G1	1	3	2549	87	6	33	#	14.318181 mégahertz
SOURCE : G1	1	7	2303	124	7	29	#	14.745599 mégahertz
SOURCE : G1	1	4	383	14	6	29	#	16.384000 mégahertz
SOURCE : G1	1	5	14111	624	5	31	#	16.934400 mégahertz
SOURCE : G1	1	0	190485	3735	2	45	#	17.734475 mégahertz

SOURCE : G1	1	0	6085	119	4	33	#	17.900000 mégahertz
SOURCE : G1	1	7	2303	124	7	23	#	18.432000 mégahertz
SOURCE : G1	1	4	383	14	4	31	#	19.200000 mégahertz
SOURCE : G1	1	5	269	11	1	49	#	19.440000 mégahertz
SOURCE : G1	1	1	31249	767	1	49	#	19.531250 mégahertz
SOURCE : G1	1	4	15871	624	0	61	#	19.660800 mégahertz
SOURCE : G1	1	7	2303	124	7	19	#	22.118400 mégahertz
SOURCE : G1	1	7	2303	124	7	17	#	24.576000 mégahertz
SOURCE : G1	1	1	3909	95	0	45	#	26.562500 mégahertz
SOURCE : G1	1	4	383	14	1	29	#	32.768000 mégahertz
SOURCE : G1	1	7	605	31	1	29	#	33.330000 mégahertz
SOURCE : G1	1	5	1133	49	5	13	#	38.880000 mégahertz
SOURCE : G1	1	7	403	19	6	7	#	66.660000 mégahertz
SOURCE : G1	1	7	6749	363	7	5	#	74.175824 mégahertz
SOURCE : G1	1	4	383	14	4	7	#	76.800000 mégahertz
SOURCE : G1	1	5	575	24	4	7	#	77.760000 mégahertz
SOURCE : G1	1	4	383	14	1	9	#	98.304000 mégahertz
SOURCE : G1	1	4	383	14	6	3	#	122.880000 mégahertz
SOURCE : G1	1	5	575	24	6	3	#	124.416000 mégahertz
SOURCE : G1	1	0	26665	479	6	3	#	133.330000 mégahertz
SOURCE : G1	1	5	575	24	4	3	#	155.520000 mégahertz
SOURCE : G1	1	4	9765	374	4	3	#	156.256000 mégahertz
SOURCE : G1	1	1	509	11	4	3	#	159.375000 mégahertz
SOURCE : G1	1	7	485	24	4	3	#	160.380000 mégahertz
SOURCE : G1	1	0	10741	199	4	3	#	161.130000 mégahertz
SOURCE : G1	1	4	50353	1874	4	3	#	161.132800 mégahertz
SOURCE : G1	1	3	1173	39	1	5	#	164.360000 mégahertz
SOURCE : G1	1	0	33325	639	1	5	#	166.630000 mégahertz
SOURCE : G1	1	0	333333	6399	1	5	#	166.667000 mégahertz
SOURCE : G1	1	5	92961	3999	1	5	#	167.331600 mégahertz
SOURCE : G1	1	0	2157	39	1	5	#	172.640000 mégahertz
SOURCE : G1	1	3	11557	399	3	3	#	173.370000 mégahertz
SOURCE : G1	1	3	1173	39	3	3	#	176.100000 mégahertz
SOURCE : G1	1	3	8841	299	3	3	#	176.840000 mégahertz
SOURCE : G1	1	4	671	24	3	3	#	184.320000 mégahertz
SOURCE : G1	1	3	6249	191	3	3	#	195.312500 mégahertz
SOURCE : G1	1	3	2961	99	4	1	#	311.010000 mégahertz

5.3 Horloges d'ext.

Il y a deux réseaux d'horloge sur les DN9200K10PCIE8T qui sont conçus pour fournir des horloges d'une référence externe de fréquence. EXT0 et EXT1. Chacune de ces horloges est livrée synchroniquement à FPGAs et convient à la communication synchrone parmi le FPGAs.

EXT0 peut être originaire des connecteurs externes de SMAs d'entrée d'horloge ou du daughtercard attachés à FPGA A (DCA). Par défaut, EXT0 est placé pour être originaire du DCA.

EXT1 peut être originaire de DCBB (DaughterCard sur fpga B sur le fond) ou de DCBT (DaughterCard sur fpga B sur le dessus). Par défaut, la source est DCBB.

Les arrangements de source peuvent être faits à partir du contrôleur d'USB en choisissant le menu muxes> globaux d'horloge d'arrangements.

Faire l'arrangement à partir de la carte instantanée compacte, dans le dossier de main.txt, emploient la MÉMOIRE TRACÉE : commande d'écrire EXT0 au registre 0xDF27 ou EXT1 au registre 0xDF28. La table binaire de registre est comme suit :

0xDF28 [4 : 0] = S23, S1, S0, PLLSEL, CLKSEL
Écrivez la valeur 0x02 pour choisir le daughtercard
Écrivez la valeur 0x01 pour choisir l'horloge de FBA.

Exemple: Placez EXT0 pour employer SMA (PLL au loin) :
MÉMOIRE TRACÉE : 0xDF27 0x1D

Exemple: Placez EXT1 pour employer DCBB (PLL au loin) :
LA MÉMOIRE A TRACÉ : 0xDF28 0x1C

5.3.1 Daughtercard zéro-retardent le mode

EXT0 et EXT1 peuvent être placés zéro-pour retarder le mode, où chaque FPGA peut recevoir l'horloge synchrone au daughtercard. Ce dispositif exige configurer le réseau de distribution d'horloge avec la fréquence de l'horloge.

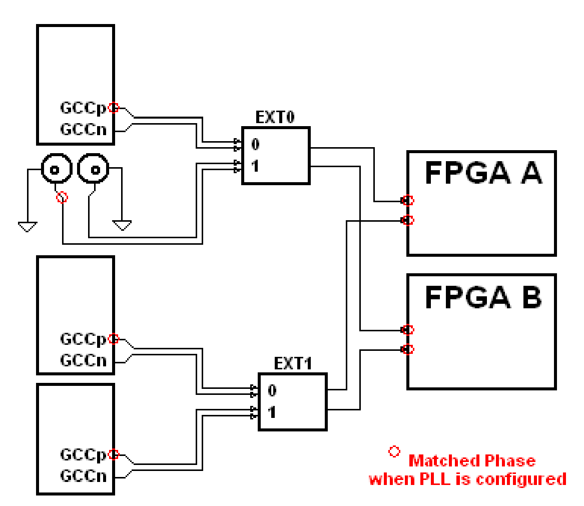


Figure 49 - Diagramme de sources d'horloge d'ext.

Avant toi mettez en application lisent la section de daughtercard pour plus d'idées synchronisantes. Pour placer le PLL correctement, employez la commande de DCLK dans le dossier de main.txt. Pour d'autres dispositifs de PLL tels que la gamme de fréquence et divisez/multipliez, vous devez lire la fiche technique de PLL et employer la commande TRACÉE PAR MÉMOIRE dans le dossier de main.txt de placer le S0 les signaux S2 et S3 de S1 du PLL.

Notez que l'assortiment de phase entre le FPGAs et les connecteurs est des goupilles de FPGA aux goupilles de daughtercard, et du connecteur de SMA aux goupilles de FPGA, donc, du retarder sur le daughtercard et sur le câble de SMA n'est pas expliqué. Le défaut pour le PLL est éteint, ainsi, par défaut, l'assortiment de phase ne se produit pas.

5.3.2 Entrée de SMA

L'horloge EXT0 peut être l'originaire d'une paire d'entrées de SMA, J10, J11. Ces connecteurs de SMAs peuvent être branchés à une source différentielle ou à une source assymétrique. Pour assymétrique, reliez au connecteur de P ou de N. L'oscillation de tension doit être entre 0.15V et 3.3V.

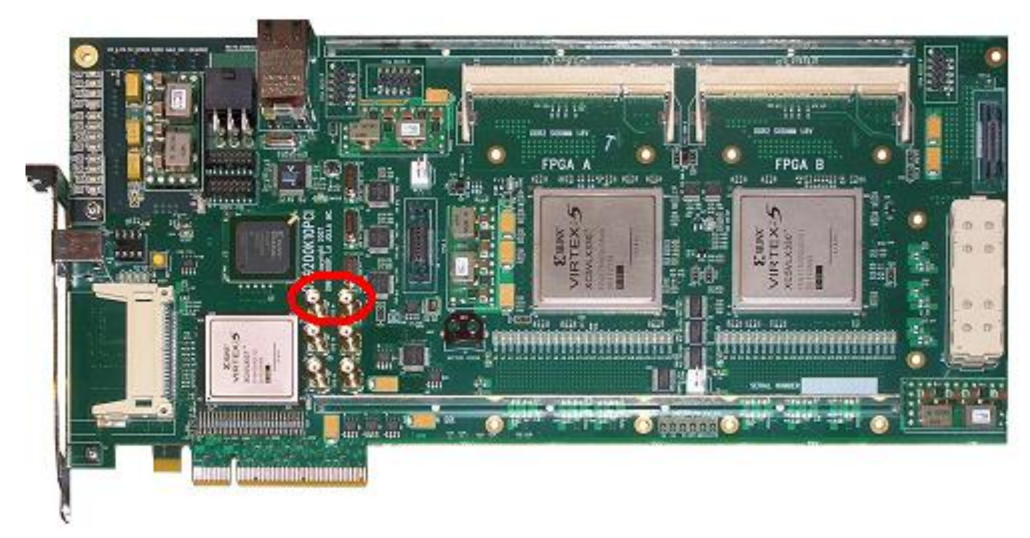


Figure 50 - Repère d'EXT0 SMA

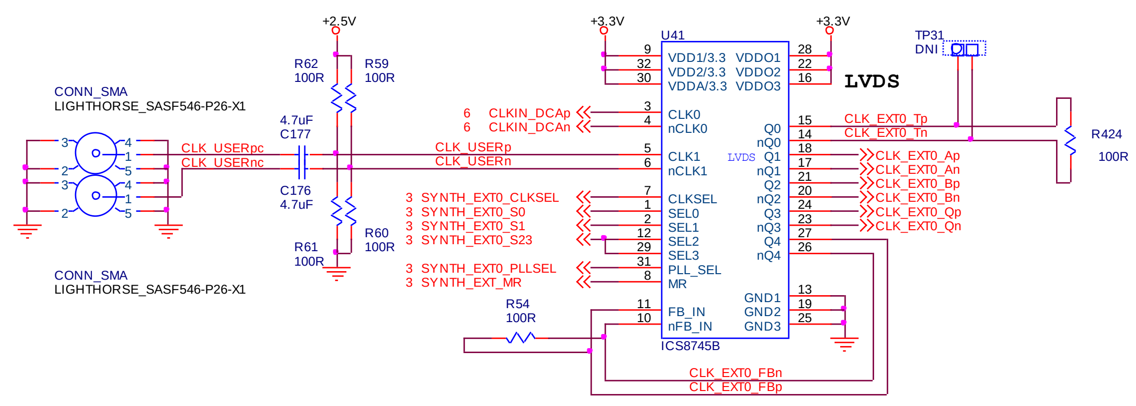


Figure 51 - Circuit d'EXT0 SMA

Les entrées C.A.-sont couplées. Ceci limite *minimum* fréquence possible de l'entrée d'horloge à environ 50 kilohertz. Si vous avez besoin d'une horloge externe avec une fréquence inférieur à ceci, vous devriez modifier le conseil en enlevant les résistances 4.7µF montrées ci-dessus et en les remplaçant avec les résistances 0Ω. L'oscillation recommandée par maximum sur les entrées différentielles est 3.3V.

5.4 Horloge de mb

C'est une horloge différentielle (doit employer les amortisseurs différentiels d'entrée) qui est courue à une constante 48 mégahertz. Cette horloge peut être utilisée pour celui que vous vouliez si vous voulez, mais il peut également être employé pour l'interface de « MainBus » qui permet d'accéder à l'USB et au PCI exprès.

5.5 Horloges de FBA et de FBB

Le FPGAs A et B sont la source de réseau global d'horloge conçu pour permettre à un FPGA de produire d'une fréquence pour tout le FPGAs. Le nom de ces signaux est

Réseau de FBA:
FBA_A (de fgpa A de rétroaction à fpga B)
FBA_B

Réseau de FBB:
FBB_A (de fpga B de rétroaction à fpga A)
FBB_B

FPGA A devrait conduire les deux signaux de FBA, et FPGA B devrait conduire les deux signaux de FBB. FBA_A est chassé de FPGA A de nouveau dans FPGA A. Ce signal peut être employé comme analogue à FBA_B ou il peut être employé comme rétroaction.

De même, FPGA B conduit un signal à lui-même, FBB_B.

Le modèle d'utilisation pour ces horloges exige que FPGA A ou B conduit une horloge identique sur les deux jambes du rendement de réseau et les deux FPGAs reçoivent une horloge identique sur leurs entrées pour l'usage dans les réseaux assortis d'horloge.

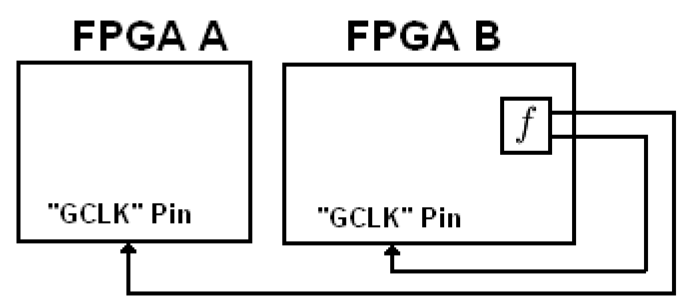


Figure 52 - Utilisation typique de FBA

Vous pouvez avoir besoin également de match la phase de cette horloge avec une source extérieure de phase. Dans ce cas-ci, le signal de retour devra être employé comme rétroaction à un DCM ou à un PLL. Cette condition est commune si vous avez un daughtercard.

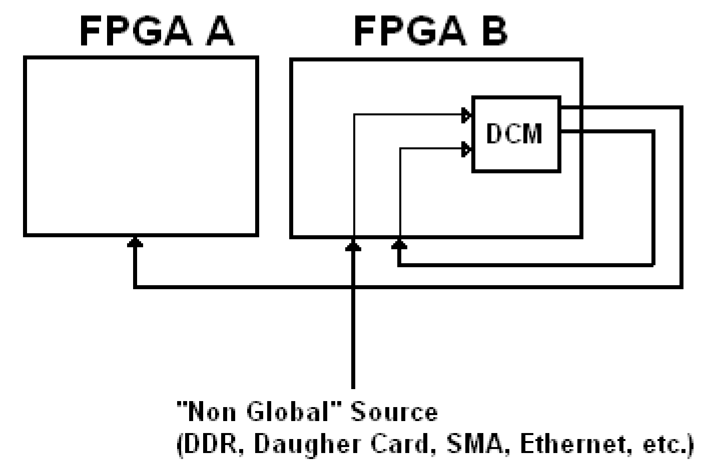


Figure 53 - Utilisation typique de FBA avec la synchronisation

L'additif retarde sur le réseau de rétroaction sont donnés ci-dessous :
FBB 0.86ns
FBA 0.40ns

Le réseau de FBB phase-est en plus assorti aux signaux de daughtercard
DCBB0p31 et DCBB0n31
DCBT0p31 et DCBT0n31

Le réseau de FBA phase-est en plus assorti aux signaux de daughtercard
DCA0p31 et DCA0n31

Ce fait peut être employé pour créer bas-biaisent l'horloge aux daughtercards.

5.6 PCI exprès Réseau de REFCLK

Un réseau d'horloge conduit par le FPGA « Q » s'appelle le « REFCLK ». Quand le point final exprès de PCI de groupe de Dini bitfile est chargé dans le FPGA « Q », et le conseil est lié à une carte mère au-dessus du PCI exprès, alors ce réseau sera conduit avec une horloge de 250 mégahertz qui est égale à 2.5 fois le PCI REFCLK exprès dans la fréquence.

Le réseau peut être employé pour n'importe quel autre but, cependant, quand le FPGA Q est programmé avec votre propre bitfile.

L'horloge est un signal du différentiel LVDS qui devrait être reçu sur chaque FPGA avec un amortisseur d'entrée d'horloge différentielle avec DIFF_TERM réglé POUR RECTIFIER.

Quand non installé dans une fente exprès de PCI, cette horloge sera le mégahertz zéro (quand de « le point final exprès de PCI pleine fonction maintenant noyau avec DMA™ » est chargé dans FPGA Q).

5.7 Horloges Non-Globales

Les sections suivantes décrivent les horloges qui ne sont pas considérées « globales » parce qu'elles ne distribuent pas aux les deux FPGAs sur le conseil. Ces horloges peuvent être utilisées pour les interfaces spécifiques et des détails sur synchroniser exigé pour ces interfaces sont trouvés dans une section différente dans le chapitre de matériel.

5.7.1 Horloge TP

Chaque FPGA est relié à un point test de mesure deux-goupillé. Ce point test de mesure peut être employé pour entrer une horloge différentielle d'hors carte. Chacun de ces points test de mesure a un pullover 100Ω installé court-circuitant les signaux négatifs et positifs. Pour entrer ou rendement différentiel, vous devez enlever cette résistance.

Le nom net sur le schéma et dans l'UCF fourni pour ce signal est
CLK_DIMMB_DQS3p/n et
CLK_DIMMA_DQS3p/n

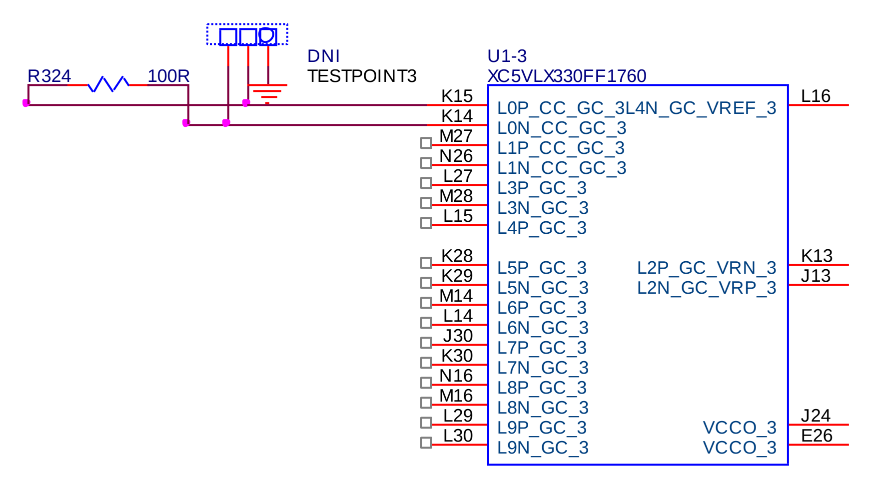


Figure 54 - Circuit de Testpoint d'horloge

La coupure schématique au-dessus du point test de mesure des expositions FPGA b, mais de toute l'utilisation de FPGAs le même pinout. Une liste de tous les points test de mesure sur le conseil peut être trouvée dans la section de points test de mesure.

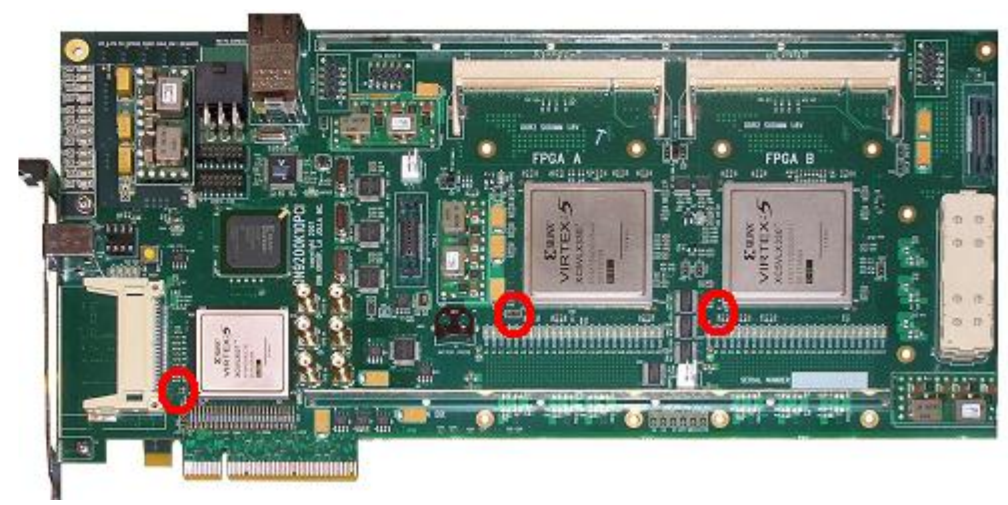


Figure 55 - Repère de point test de mesure d'horloge

Ce signal peut également être employé comme chemin externe de rétroaction pour un DCM. Conduisez une horloge assymétrique dehors le côté de « N » et recevez-la du côté de « P ». Les externes additifs retardent pour ce chemin de rétroaction sont 1.6ns. La fréquence maximum pour le chemin de rétroaction est de 250 mégahertz.

5.7.2 Horloge d'Ethernet

VSC8601 le dispositif de l'Ethernet PHY produit une horloge de 125 mégahertz. Les signaux dans le schéma sont CLK125_ETHA. Ce signal est LVCMOS25, signaux assymétriques. La fréquence est fixe.

Cette entrée d'horloge peut être employée comme source d'usage universel de 125 mégahertz.

Les détails au sujet de la méthodologie appropriée d'horloge pour l'interface d'Ethernet est dans la section d'Ethernet.

5.7.3 Horloges DDR2

Les signaux de CK dans l'interface DDR2 sont décrits dans la section de l'interface DDR2.

SORTIES

CLK_DIMMA_CK2p	E39
CLK_DIMMA_CK2n	E40
CLK_DIMMB_CK2p	AC33
CLK_DIMMB_CK2n	AD32

ENTRÉES

CLK_DIMMA_CK2p	AM13
CLK_DIMMA_CK2n	AN14
CLK_DIMMB_CK2p	AM13
CLK_DIMMB_CK2n	AN14

Notez que sur le netlist, ces signaux se relient au FPGA deux fois : une fois sur la banque de l'interface DDR2 (1.8V), et une fois sur la banque globale d'entrée d'horloge (2.5V). Le 2.5V, raccordements de banque d'horloge devrait être employé comme entrées, et les signaux de la banque 1.8V devraient être configurés comme sorties. Pour des signaux d'entrée, employez la norme de LVDSEXT avec l'attribut de DIFF_TERM réglé POUR RECTIFIER.

Si les interfaces de DIMM ne sont pas employées, ceux-ci peuvent être employés en tant que traces externes de rétroaction. L'externe retarde est donné ici :

CLK_DIMMA_CK2	0.65ns
CLK_DIMMB_CK2	0.63ns

5.7.4 Horloge de SMA B et E

Tout le FPGAs ont une paire de connecteur de SMA reliée directement aux entrées d'horloge globales. La banque s'est reliée à ces signaux est une banque de +2.5V. Laissé entrer des normes soyez LVCMOS25, SSTL25, LVDS, DIFF_SSTL18.

Goupilles AM28, AN28 de FPGA A
Goupilles AK28, AK27 de FPGA B

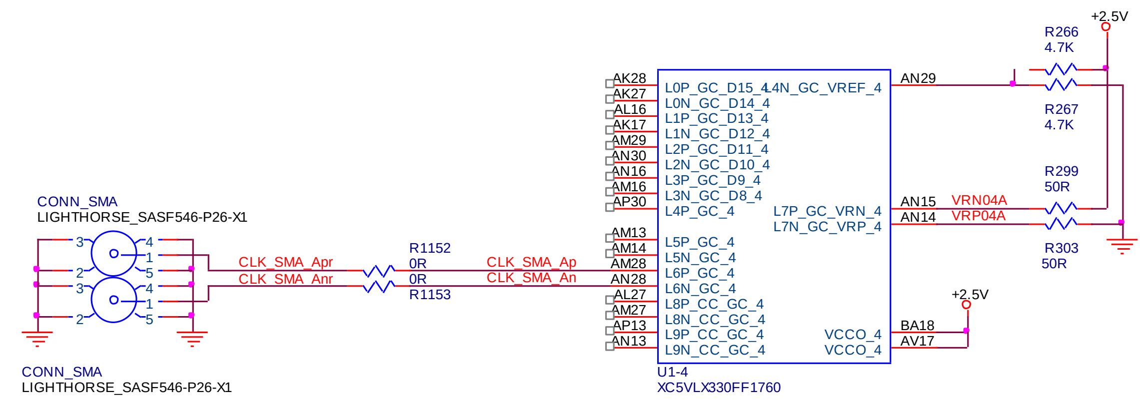


Figure 56 - Circuit de SMA

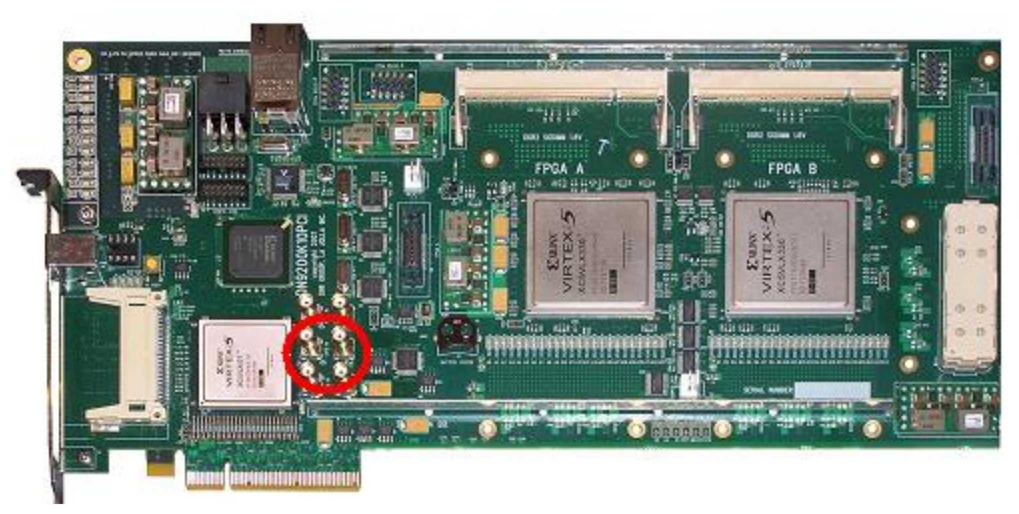


Figure 57 - Repère de SMA

Ces raccordements C.C-sont couplés, signifiant que l'utilisateur doit s'assurer que les niveaux reçus sur cette entrée sont dans les limites du dispositif Virtex-5 pour empêcher des dommages à la pièce.

Cette paire de connecteurs de SMA peut également être utilisée comme sorties, en tant qu'entrées assymétriques ou pour des signaux de non-horloge.

DCI est permis sur ces entrées. Vous pouvez employer SSTL2_II_DCI en tant qu'entrées extrémité-terminées.

5.8 Notes d'utilisation d'horloge

Les sections suivantes donnent des conseils pour la conception de réseau réussie d'horloge.

5.8.1 Réalisation de zéro horloge-à-dehors

Beaucoup de morceaux à grande vitesse sont conçus pour avoir une condition en temps de prise zéro sur leurs entrées. Cette convention est commode parce qu'il signifie que la synchronisation optimale de rendement est toujours où un bord d'horloge qu'elle a aligné parfaitement avec les données. Dans le FPGA, il y a deux manières faciles de réaliser ceci.

1) Produisez l'horloge pour l'interface externe d'une bascule de DDR, à l'aide de la même horloge que les données de rendement.

2) Employez une rétroaction externe avec la phase additive zéro.

5.8.2 Horloges d'expédition FPGA-à-FPGA

Créer une fréquence dans un FPGA et l'envoi de elle à l'autre FPGAs est très commun (34.2%). Souvent une horloge doit être dynamiquement sélectionnable entre deux sources, ou soit tournée marche-arrêt. Ou peut-être vous devez faire une multiplication ou une division d'une horloge, ou vous voulez que votre système entier soit synchronisé outre d'un à fréquence unique, si par une interface seulement disponible à un FPGA. Dans ce cas-ci, vous avez besoin d'bas-biaisez la manière d'expédier des horloges de FPGA-à-FPGA.

Considérez d'abord, svp des réseaux à l'aide de FBA et de FBB d'horloge. Est exactement ce pour ce que ces réseaux sont prévus. Il y a d'autres méthodes disponibles, cependant. J'ai énuméré certains d'entre eux ici (par ordre comment bon je pense de eux sont), mais je suis sûr qu'il y a d'autres.

1) Employez les réseaux de FBA et de FBB
2) Employez le signal de FBA_INT pour commander la fréquence de l'horloge G2
3) Conduisez l'horloge sur un daughtercard et alimentez-la de nouveau au réseau EXT0 ou EXT1. (Nous pouvons fournir un daughtercard de réalimentation si vous voulez).
4) Employez un des réseaux globaux d'horloge comme source de phase, et l'excédent un signal d'interconnexion de FPGA envoient jusqu'à 16 l'horloge que synchrone permet. Employez le macro de BUFGMUX dans votre FPGA pour déclencher l'horloge. Les périodes d'horloge efficaces pour les 16 horloges résultantes changeront du cycle-à-cycle, toutefois chaque fréquence peut être indépendante.
5) Conduisez un signal d'horloge dehors le FPGA au connecteur de SMA et alimentez-le par un câble de nouveau à l'entrée d'EXT0 SMA.
6) Conduisez le signal d'horloge sur les goupilles standard d'E/S, et employez un DCM dans le FPGA de réception pour aligner dynamiquement son horloge sur l'entrée. Employez le rendement du DCM comme horloge et prélevez l'horloge expédiée dans une bascule électronique. Ajustez alors la phase du rendement du DCM dans les deux sens de sorte que le niveau de logique sur les coup-coups de bascule d'un 0 sur un 1 et ainsi de suite.

Les méthodes suivantes sont incorrectes, mais terrain communal. Notez que si vous employez une de ces méthodes, cela fonctionnera seulement comme si il y a d'abondance de temps avant votre date-limite de projet. Quand la date-limite s'approche, elle cessera de fonctionner correctement.

5.8.2.1 Utilisez toujours la goupille de GCLK

Le client Ophelia Payne, qui avait essayé d'obtenir un travail chez Google pendant 4 années, a conduit un signal « non à une goupille de GCLK » de FPGA A. Elle emploie le signal AB03p13 comme horloge de B à l'A.

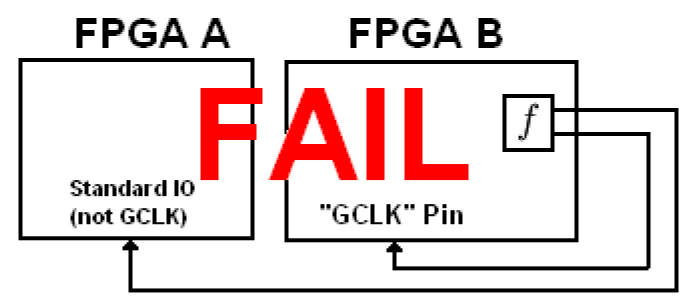


Figure 58 - Pas à l'aide des goupilles de GCLK

Malheureusement, il y a un long biais (13ns) de l'arrivée de l'horloge aux bascules de FPGA A et de FPGA B. Ce qui est plus mauvais, un DCM pourrait être employé pour expliquer le retarder parce que le cheminement entre les goupilles et le DCMs n'est pas dans le chemin de rétroaction ! En outre, il y a des dégradations dans l'exécution de l'horloge comme la basse fréquence maximum, déformation de coefficient d'utilisation, frousse, problèmes, le bas poids de naissance, précision pauvre d'analyse de synchronisation, et le biais contradictoire d'un endroit-et-conduisent à l'autre. Ophelia devrait utiliser une goupille de GCLK sur FPGA A. Elle devrait employer le réseau d'horloge de FBB* à la place.

5.8.2.2 Employez toujours bas-biaisent le réseau

Mel Loewe, 12 un vétéran de conception de l'an ASIC, a synthétisé une fréquence dans FPGA B. Il emploie cette fréquence dans FPGA B pour ses sorties d'E/S, et conduit également l'horloge dehors à FPGA A, en utilisant le réseau de FBB que je lui ai dit d'employer. Dans FPGA A, cette horloge entre sur une goupille de GCLK et est employée pour synchroniser les entrées de FPGA A.

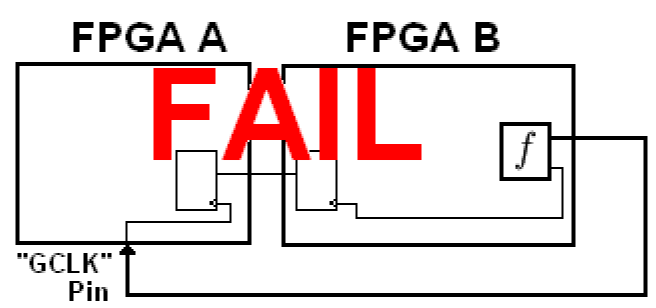


Figure 59 - Ne pas employer une rétroaction externe

Oops ! Mel a quelques violations de temps de prise sur FPGA B parce que les externes retardent de l'horloge de FPGA B à FPGA A ne sont pas reflétés dans l'arrangement d'horloge de FPGA A. Mel devrait conduire l'autre jambe du réseau « FBB_B » de FPGA B à FPGA B de FBB*, de sorte qu'A et B aient une trace externe d'horloge dans le chemin de retarder.

5.8.2.3 Fréquences synthétisées

Anita Mann, le portier qui a trouvé un DN9200K10PCIE8T a jeté dans un casier de rebut, a deux domaines, un noyau et des 24 mégahertz relatif E/S de 48 mégahertz. Elle dit, « wiz de gee, je se divisera juste en bas de cette horloge dans le FPGA ! » Elle sait que le DCM est garanti pour avoir le biais zéro entre les entrées et les sorties divisées, et met donc le biais à zéro entre les deux FPGAs.

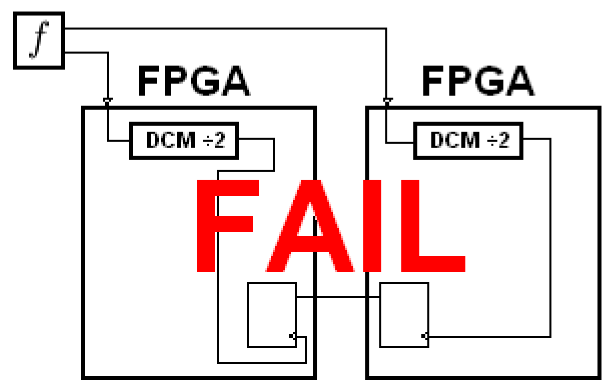


Figure 60 - deux divisent DCMs

Attendez un en second lieu, annonce. Il y a deux phases de rendement valides d'a diviser-par-deux l'opération, chaque 180° indépendamment de l'autre. Un de l'horloge du FPGA pourrait avoir vis-à-vis de la polarité en tant qu'autre. Mme. Mann pourrait avoir distribué des 24 horloges de mégahertz et avoir multiplié par 2. Ou elle pourrait envoyer une certaine sorte de signal de synchronisation à travers le FPGAs. En conclusion, elle pourrait synthétisent diviser-par-deux l'horloge dans un FPGA, distribuent alors cette horloge sur un réseau, en utilisant une des méthodes décrites dans des « horloges d'expédition FPGA-à-FPGA ».

5.8.2.4 Employez un ODDR pour des sorties d'horloge

Justin Casey Howells III, un vegan peu fiable, les besoins de conduire une horloge dehors à un dispositif externe (ou à un FPGA différent). Ainsi il regarde dans le sien *Une référence de poche de Verilog* que son épouse l'a obtenu pour le kwanza. Il indique que la syntaxe appropriée est

```
assignez le clkout = le f ;
```

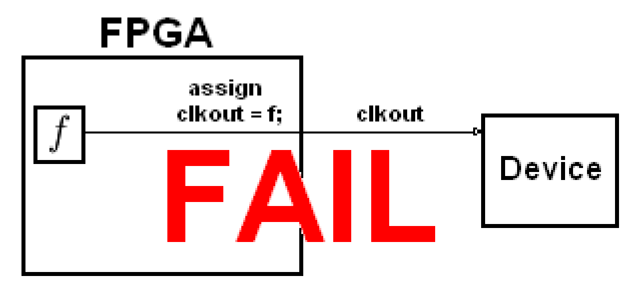


Figure 61 - Production d'une horloge avec un rapport d'assigner

Ceci semble fonctionner très bien, excepté quand il a échoué constamment. Le problème ici est que le FPGA est incapable de conduire un signal d'horloge avec bas-biaise à la garniture de rendement. Afin d'obtenir à synchronisation conformée sur ce signal, Justin devrait employer un ODDR comme ceci :

```
Justins_oddr d'ODDR (. C (f). I (1' b1), .IB (1' b0). O (clkout));
```

5.8.2.5 DCMs de cascade

Mickey, une souris parlante géante, décidée il a besoin synthétisent une fréquence dans un FPGA. Mickey (qui s'appelle « Mick » par ses amis) connaît tous au sujet des phases d'horloge, ainsi lui emploie un DCM dans la réception FPGAs pour centrer dynamiquement l'horloge de façon optimale dans la fenêtre valide de données. En outre, il est sûr de remettre à zéro le DCMs, comme l'utilisateur Virtex-5 que le guide exige.

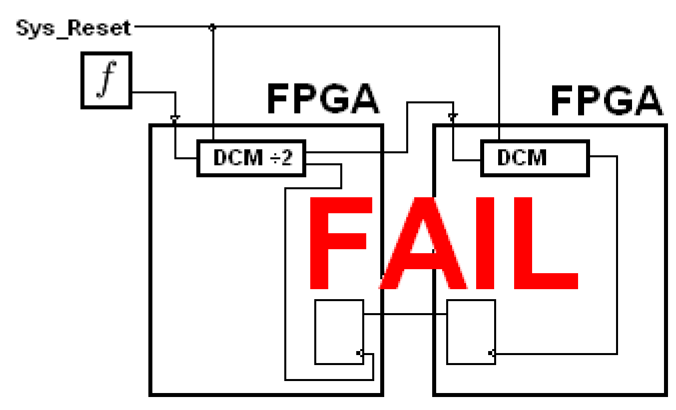


Figure 62 - DCMs de cascade

Mick a oublié qu'avant que DCM #1 obtienne il est remis à zéro, il ne produit pas une horloge, et ainsi l'entrée d'horloge à DCM #2 n'est pas stable jusqu'à ce qu'après remise est libérée. Oops ! Mick devrait ou mettre un temporisateur sur la remise de DCM #2, ou bien conduit le signal VERROUILLÉ de DCM #1 au port de la REMISE #1 de DCM #2.

5.8.2.6 Synchronisation de remise de DCM

Anna Graham, un professeur titulaire qui ne pourrait pas s'inquiéter moins de sa « recherche », relie SYS_RESET à son DCM et à sa logique, comme elle apprenait dans le camp d'ASIC.

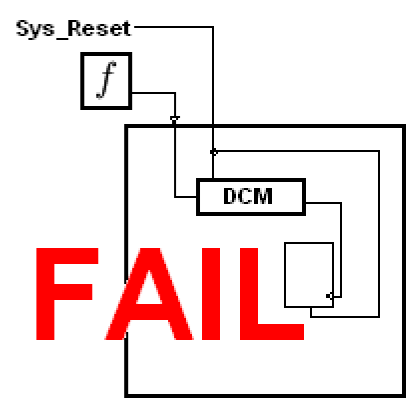


Figure 63 - DCM sur la même remise que la logique

Le problème ici est que le DCM ne produit pas une horloge stable jusqu'à ce que 50us après lui reçoive la remise. Maintenant toutes bascules dans sa conception doivent survivre 50us de pandémonium complet.

6 Points test de mesure

Cette section énumère tous les points test de mesure sur le DN9200K10PCIE8T. Une description plus détaillée peut être trouvée dans la section au sujet du système que le point test de mesure fait partie de, mais tous les points test de mesure sont énumérés ici pour la référence.

Partie Référence	Nom net	But

Points au sol

MP1, MP2 LA terre Rails de la terre bons pour des agrafes de sonde
M2, M1, Y2 LA terre Trous de la terre bons pour le panneau de support

Access Pointes de puissance

TP15	+12V	puissance de +12V de connecteur de puissance
TP33	+1.0V_A	nominal 1V pour la puissance interne de FPGA A (1.05V réels)
TP40	+1.0V_B	nominal 1V pour la puissance interne de FPGA B (1.05V réels)
TP1	+2.5V	+2.5V pour FPGA E/S
TP3	+3.3V	+3.3V pour le circuit de configuration
TP28	+5.0V	+5V pour des daughtercards
TP13	+VDIMM_B	Tension pour DIMM relié à FPGA B (1.5V - 3.3V)
TP16	+VDIMM_A	Tension pour DIMM relié à FPGA A (1.5V - 3.3V)
TP8	+0.9V_B	Moitié de VDIMM_B (pour l'arrêt)
TP20	+0.9V_A	Moitié de VDIMM_A (pour l'arrêt)
TP32	+1.2_S	+1.2V pour interne spartiate
TP41	+3.3_MGT	+3.3V pour le PCI expriment des synthétiseurs d'horloge
TP45	+2.5_MGT	+2.5V pour le PCI expriment des synthétiseurs d'horloge
TP34	+VBATT_TP	Entrée 1V-3V pour la batterie de chiffrage.
TP27	SYS_RST#	Remise générée par matériel (pour puissance-sur)
TP29	BUTTON_S#r	Bouton d'utilisateur (« FPGA remis à zéro »)
TP30	ADC_A0p/n	Entrée analogique de moniteur de système pour FPGA A
TP31	ADC_B0p/n	Entrée analogique de moniteur de système pour FPGA B
TP38	ADC_Q0p/n	Entrée analogique de moniteur de système pour FPGA Q
TP35	CLK_DIMMA_DQSp/n3	Se relie aux goupilles de « GCLK » de FPGA A
TP36	CLK_DIMMB_DQSp/n3	Se relie aux goupilles de « GCLK » de FPGA B
TP37	CLK_TP_Qp/n	Se relie aux goupilles de « GCLK » de FPG Q
TP39	CLK_GTP_118p/n	Se relie aux goupilles de « refclk » de GTP de FPGA Q

HORLOGE GLOBALE TESTPOINTS

TP47 CLK_G0_Tp/n
TP48 CLK_G1_Tp/n
TP43 CLK_G2_Tp/n
TP49 CLK_MB48p/n
TP42 CLK_REF_Tp/n
TP46 CLK_EXT0_Tp/n
TP44 CLK_EXT1_Tp/n

Ces points test de mesure conviennent à la vérification fréquence et stabilité des réseaux globaux d'horloge.

Points test de mesure de mesure de tension

TP2 +1.0V_A
TP4 +1.0V_B
TP7 +2.5V
TP9 +3.3V
TP10 +5.0V
TP5 +VDIMM_A
TP6 +VDIMM_B
TP11 +MGT_AVCC
TP12 +MGT_AVTT
TP14 +MGT_AVCCPLL
TP17 +VIO_DCA0
TP18 +VIO_DCA1

Ces points test de mesure sont prévus pour mesure des tensions de conseil. Ils sont situés commodément le long de la gauche bord du conseil à côté des LED. Ils sont reliés aux alimentations d'énergie avec les fils minces, ainsi toi ne devrait pas essayer pour tirer plus que 100mA de ces derniers points.

TP19 +VIO_DCA2
TP21 +VIO_DCBB0
TP22 +VIO_DCBB1
TP23 +VIO_DCBB2
TP24 +VIO_DCBT0
TP25 +VIO_DCBT1
TP26 +VIO_DCBT2

Points test de mesure de signal de DIMM

TP50	DIMMA_CAS#	Ces signaux sont sous le DIMMs sur arrière du conseil. Ils sont prévus pour sondage des signaux DDR2 pour l'utilisateur de correction logique.
TP51	DIMMA_WE#	
TP52	DIMMA_DQSp0	
TP53	DIMMA_DQ00	
TP58	CLK_DIMMA_CK0p/n	
TP60	DIMMA_RAS#	
TP54	DIMMB_CAS#	
TP55	DIMMB_WE#	
TP56	DIMMB_DQSp0	
TP57	DIMMB_DQ00	
TP59	CLK_DIMMB_CK0p/n	
TP61	DIMMB_RAS#	

7 Interface d'USB

Le DN9200K10PCIE8T permet à l'utilisateur FPGA de communiquer à un PC de centre serveur au-dessus d'USB. Les circuits de configuration permettent ceci en jetant un pont sur l'USB à l'interface de bus principale. Pour la plupart des utilisateurs, mettre en application la communication d'USB sera aussi simple que faisant un contrôleur principal d'autobus. Dans la conception de référence, il y a un contrôleur principal d'autobus d'exemple. Voyez la section principale d'autobus de ce chapitre pour plus d'information sur l'autobus principal.

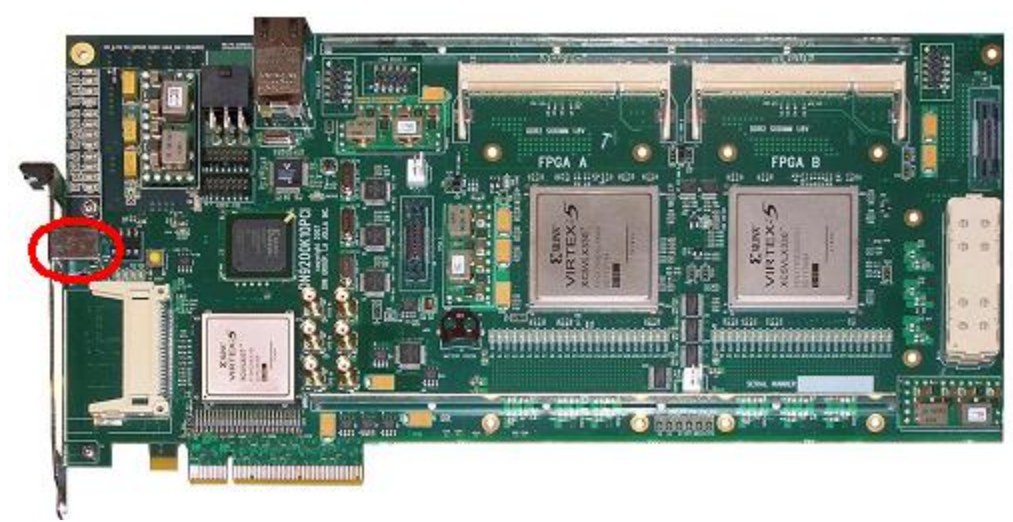


Figure 64 - Repère d'USB

L'USB sur le DN9200K10PCIE8T permet également la commande des circuits de configuration d'un PC de centre serveur. Ceci inclut FPGAs de configuration, plaçant des fréquences de base et d'autres

Cette section décrira l'interface de logiciel exigée pour communiquer au DN9200K10PCIE8T. En plus de lire cette section, vous pouvez avez choisi de modifier le logiciel fourni (contrôleur et AETest_usb d'USB). Le code source pour ces programmes est sur le CD d'utilisateur. Ces programmes mettent en application collectivement toutes les commandes disponibles sur le DN9200K10PCIE8T.

7.1 Demande de fournisseurs

La majeure partie de l'USB fini disponible de fonctions de « commande » est accomplie en utilisant une « demande de fournisseur ». La programmation d'une demande de fournisseur d'USB est dehors de la portée de ce document, mais vous pouvez copier le code fourni dans le programme de contrôleur d'USB.

La table suivante décrit l'interface d'USB présentée au centre serveur par le contrôleur micro de MCU.

Nom de demande de fournisseur	**Code**	**But**
VR_CONFIG	0xaf	Fait configurer FPGAs de la carte de CF
VR_CHECK_FPGA_CONFIG	0xb5	Lisez le statut « FAIT » du FPGA
VR_MEM_MAPPED	0xbe	Écrivez à un « registre de configuration »
VR_CLEAR_FPGA	0x90	Dégagez (« PROGn ») un FPGA
VR_SET_EP6TC	0xbb	Placez la taille du transfert en masse lit (a exigé)
VR_SET_EP2TC	0xba	Placez la taille du transfert en masse lit (a exigé)
VR_SETUP_CONFIG	0xb7	Mettez le point final d'USB dans configurent le mode
VR_END_CONFIG	0xbd	Mode de configuration de fin (exigé)
VR_ENABLE_MSD	0xC0	Mettez le point final d'USB en mode de lecteur de cartes
VR_DISABLE_MSD	0xC1	Mode de lecteur de cartes de finition
VR_DEFAULT_ENABLE_MSD	0xC2	Mettez le point final d'USB dans le mode de lecteur de cartes
VR_DEFAULT_DISABLE_MSD	0xC3	Mode de lecteur de cartes de finition (permanent)
VR_FLASH_VERSION	0xb2	Version lue de progiciels de « instantané »
VR_SM_CD	0xb8	
VR_BOARD_VERSION	0xb9	Lisez le type de panneau (DN9200K10PCIE8T)
FLASH_VERSION_ADDR	0x08	Version lue de progiciels de « instantané » encore

Chaque demande de fournisseur a une direction, un type de demande, une demande, et des champs d'indicateur de valeur, de taille et d'amortisseur. Le type de demande est toujours TYPE_VENDOR. Le champ de demande est l'identification énumérée dans la table ci-dessus. La valeur et les données dans les domaines d'indicateur d'amortisseur sont fournisseur-demandent le détail. Le champ de taille est le nombre de bytes dans l'amortisseur. Les détails de la façon mettre en application une demande de fournisseur sont en dehors de la portée de ce manuel.

7.1.1 VR_CLEAR_FPGA

Cette demande de fournisseur dégage un FPGA.

La direction est DEHORS. La taille est 0. La valeur représente quel FPGA devrait être s'est dégagé. 0 est FPGA A. 1 est FPGA B… et ainsi de suite.

7.1.2 VR_SETUP_CONFIG

Cette demande de fournisseur doit s'appeler avant d'envoyer des données de configuration à un FPGA. Il indique au DN9200K10PCIE8T quel FPGA devrait recevoir le prochain jet de configuration envoyé USB fini. Il dégage également ce FPGA de sa configuration courante.

La direction est DEHORS. La taille est 1. Dans l'amortisseur est une représentation de nombre quel FPGA devrait être choisi. 0 est FPGA A, 1 est FPGA B, 2 est FPGA C… et ainsi de suite.

7.1.3 VR_END_CONFIG

Cette demande de fournisseur de-selects et FPGA (de sorte que les données de configuration envoyées aillent à aucun FPGA) et vérifie le statut de configuration d'un FPGA.

7.1.4 VR_SET_EP6TC (taille d'amortisseur lu)

La demande de fournisseur de SetReadBufferSize doit être employée avant que n'importe quel « volume ait lu » le transfert en masse. Ceci place la taille (en bytes) des données qui seront demandées par le transfert en masse. Si cette demande de fournisseur n'est pas envoyée avant que le volume ait lu, le comportement est non défini.

La direction est DEHORS. La taille est 0. La valeur est le nombre de bytes exigés pour le prochain transfert en masse.

7.1.5 VR_MEM_MAPPED (registres de configuration)

Ce fournisseur que la demande permet l'accès à la « configuration s'enregistre » sur le conseil. Ceux-ci sont principalement exigés pour les horloges de configuration. Une pleine liste de ces derniers est donnée dans la « section de configuration »

Pour écrire à un registre de configuration, employez la demande de fournisseur de VR_MEMORY_MAPPED.

La direction est DEHORS. Le champ de « valeur » est l'adresse que vous souhaitez écrire à (exemple 0xDF39, le registre principal d'autobus de neutralisation). Le champ de taille devrait être 1. L'amortisseur devrait contenir un byte simple contenant le byte à écrire au registre de configuration. Tous les registres de configuration sont d'un byte.

7.2 Accès principaux d'autobus

La seule manière d'obtenir des données d'utilisateur à et du FPGA est d'employer l'interface de bus principale. Pour mettre en application un MainBus slave sur votre FPGA, voyez la section principale d'autobus dans le chapitre de matériel.

Pour demander une interface de bus principale écrivez la transaction, le contrôleur d'USB que le programme envoie un volume d'USB écrivent à EP2 (point final 2). Le premier byte contient une code opération, (0x00 ou 0x01), déterminant si les 4 prochains bytes contiennent une adresse ou des informations. Si ce byte est un 0x00, les 4 prochains bytes dans le transfert en masse sont stockés dans un registre d'adresse. Toutes les données transférées à et de l'autobus principal sont LSB d'abord.

Exemple : Placez l'adresse courante de MainBus à 0x18000000.
Envoyez un transfert en masse DEHORS demandent au point final 2, de la longueur 5 bytes : 0x00, 0x00, 0x00, 0x00, 0x18.

Exemple : Écrivez les données 0xFF00FFAA à l'adresse courante de MainBus.
Envoyez un transfert en masse DEHORS demandent au point final 2, de la longueur 5 bytes : 0x01, 0xAA, 0xFF, 0x00, 0xFF.

Si on envoie un ordre qui ne commence pas par une code opération connue, ou les données après est d'une longueur inattendue, MainBus et/ou USB accrocheront.

Après que chaque mot contenant des données soit envoyé, l'adresse courante sur de MainBus des incréments automatiquement à la prochaine adresse. (Ce comportement peut être handicapé).

Pour demander une opération "lecture" d'autobus principal, le contrôleur d'USB envoie un volume d'USB écrivent à EP2 pour placer le registre d'adresse, comme décrit dans le paragraphe ci-dessus. Puis, le contrôleur d'USB envoie un volume lu à EP6 (point final 6), avec l'ensemble de champ de TAILLE de demande en vrac d'USB au nombre de bytes demandés. Le nombre de bytes demandés doit être divisible par 4. Après que le volume lu soit complet, le registre d'adresse est incrémenté par SIZE ÷ 4.

Avant de mettre en marche un USB lu en utilisant un transfert en masse, vous devez dire au DN9200K10PCIE8T combien de bytes vont être lus en employant la demande de fournisseur de VR_SET_EP6TC (0xBB) décrite dans *Demandes de fournisseur* section.

Exemple: Lisez un MainBus DWORD de l'adresse 0x18000004.
Envoyez un transfert en masse DEHORS demandent au point final 2, de la longueur 5 bytes : 0x00, 0x04, 0x00, 0x00, 0x18.
Envoyez une demande de fournisseur du type VR_SET_EP6TC avec la valeur de 4.
Envoyez un transfert en masse DANS la demande au point final 2 de la taille 4.

Notez cela employer les méthodes ci-dessus, la largeur de bande d'inscription est limité par les frais généraux d'intercaler des op-codes et des données. Une méthode d'inscription à l'autobus principal avec de plus petits frais généraux est la code opération 0x03. En utilisant cette code opération , les 4 bytes après la code opération donnent un certain nombre de DWORDs qui suivra, qui sont toutes les données qui devraient être écrites aux adresses consécutives de MainBus. Ces données doivent être d'une longueur divisible par 4.

Exemple: Écrivez le modèle 0xFFFFFFFF, 0x00000000 de données à l'adresse 0x18220016 de MainBus.
Envoyez un transfert en masse DEHORS demandent au point final 2 contenant l'ordre de données : 0x00,0x16,0x00,0x22,0x18,0x03,0xFF, 0xFF, 0xFF, 0xFF, 0x00,0x00,0x00,0x00

7.2.1 Note au sujet de point final Terminologie

Dans l'USB un point final est lu ou écrit. Il est l'un ou l'autre pour des demandes de fournisseur, ou pour des transferts en masse

2 - Centre-à-panneau (autobus principal, configuration de FPGA, bal d'étudiants JTAG)
4 - Centre-à-panneau (mode de mémoire de masse)

6 - Panneau-à-centre serveur (autobus principal, par relecture, bal d'étudiants JTAG)
8 - Panneau-à-centre serveur (mode de mémoire de masse)

Dans le modèle d'USB de Windows, il y a des « pipes » qui peuvent être utilisées pour des transferts en masse. Quelle pipe se relie à quel point final est déterminé dynamiquement par le sous-ensemble de conducteur de Windows. Puisque certains des points finaux sur le conseil de Dini peuvent être permis ou neutralisés, les fenêtres correctes « pipe » à employer pour une fonction donnée peuvent changer. Par conséquent, l'utilisateur devrait réitérer par les pipes disponibles et vérifier leurs nombres de point final.

Dans le modèle d'USB de Linux (les usbdevfs ou l'usblib), des points finaux sont familièrement numérotés par le byte de nombre de point final dans un paquet d'USB, où le MSB décrit la direction du point final. Par conséquent en code de Linux, les points finaux peuvent être numérotés 0x02, 0x84, 0x06 et 0x88.

Le point final 0 est un point final de commande (demande de fournisseur seulement) et le conducteur indiquera automatiquement le point final 0 quand la fonction de demande de fournisseur s'appelle. Les utilisateurs peuvent le feindre n'existe pas.

7.2.2 Exécution

L'USB fini d'autobus principal fonctionne à une vitesse maximum de 80 mis-bande dans l'une ou l'autre direction. Ce nombre suppose que le FPGA actionne l'interface de bus principale avec les cycles zéro d'attente. Si la conception de FPGA a plus de cycles d'attente, ceci expédie des diminutions. La vitesse approximative de l'USB fini d'autobus principal est indiquée ci-dessous comme fonction des états d'attente principaux d'autobus.

cycles 0	80Mbs lu
1 cycle	76Mbs a lu
5 cycles	64Mbs a lu
30 cycles	32Mbs lu
100 cycles	13Mbs lu
250 cycles	6Mbs lu

En outre, chaque opération d'USB exige environ 0.5 mme. de latence. Ainsi pour de petits transferts en masse, la largeur de bande sera limitée. Le code équipé de conseil n'est pas car efficace est possible. Pour chaque force l'autobus a indiqué, par exemple, il pourrait écrire une demande de fournisseur de permettre à USB, un transfert en masse de placer l'adresse principale d'autobus, une demande de fournisseur de placer le point final a lu la taille à 4, et un transfert en masse pour lire les données.

Voici les manières que l'exécution peut être améliorée :
- Maintenez la taille lue par courant dans le logiciel de centre serveur.
- Maintenez l'adresse courante de MainBus dans le logiciel de centre serveur.
- Rendez les registres de MainBus consécutifs de sorte que lise et écrive n'exigent pas changer l'adresse
- Toujours le paquet consécutif écrit et les changements d'adresse dans un transfert en masse
- Toujours la subsistance lit la même taille

7.3 Configuration de FPGA Mode

Des instructions pour programmer FPGAs au-dessus d'USB peuvent être trouvées sous la « section de configuration »

7.4 Mode de dispositif de mémoire de masse

Quand une certaine demande de fournisseur est faite, le point final de MainBus est remplacé par le logement pour carte de CompactFlash sur le panneau, qui apparaîtra à l'ordinateur comme dispositif de mémoire de masse. D'un Windows, ou d'un logiciel d'exploitation différent, vous pouvez lire et écrire des dossiers à la carte de CompactFlash.

Tandis que vous êtes en ce mode, l'autobus principal ne peut pas être utilisé au-dessus de l'USB.

7.5 Mode de mise à jour de progiciels

Quand une certaine demande de fournisseur est faite, le point final principal d'autobus est mis dans le mode de mise à jour de progiciels. L'interface en ce mode n'est pas décrite ici. C'est but est de permettre des mises à jour de progiciels pour les clients qui n'ont pas un câble de JTAG. Cependant vous avez probablement ce câble parce qu'il est très utile.

7.5.1 Activité LED

Une LED jaune située à côté du connecteur d'USB clignote quand il y a activité d'USB.

7.6 Matériel

L'exécution de matériel d'USB n'est pas documentée, mais je suis sûr que vous pouvez la figurer dehors du schéma.
- l'USB est Chaud-Permutable
- DN9200K10PCIE8T ne tire pas la puissance de l'USB

7.6.1.1 Cyprès CY7C68013A

L'interface physique d'USB est fournie par un microcontrôleur. Vous n'avez besoin de savoir rien à son sujet. Le code est fourni si vous vous inquiétez.

Le code source pour les progiciels de MCU (« flash ») est fourni dedans
_Section_Code de D:\Config \ MCU
comme un fichier-projet de MicroVision 2.11 de studios de Keil.

7.7 Dépannage

Si vous ne pouvez pas obtenir l'USB pour communiquer avec votre autobus principal d'excédent de conception, essayez svp d'employer le logiciel de contrôleur d'USB avec votre conception, et d'employer la conception de référence de groupe de Dini avec votre logiciel. Ceci aidera à déterminer si le logiciel ou le matériel cause l'erreur.

Si l'USB semble ne pas fonctionner du tout, essayez de se relier à un ordinateur de Windows, et de vérifier si le dispositif apparaît dans le directeur de dispositif. Si oui , alors le matériel fonctionne correctement et il y a un conducteur ou un problème logiciel . Sinon, il y a un problème de matériel. (Le conseil a collé dans la remise ? Mauvaise mise à jour de progiciels ?)

7.7.1 Gels de contrôleur d'USB

Les demandes de fournisseur sur le DN9200K10PCIE8T bloquent. Seulement un peut être accompli à la fois. Ceci inclut les demandes de fournisseur comme lesquelles prenez très un à long terme « configurent de CompactFlash » (10 secondes). Pendant ce contrôleur d'USB de temps, une application simple-filetée,

gèle quand n'importe quelle demande de fournisseur est publiée. (Toute heure). Si un processus échoue, le contrôleur d'USB accrochera pour toujours. Vous pouvez débrancher l'USB ou arrêter le conseil, et le contrôleur d'USB fonctionnera encore.

La manière normale d'éviter des problèmes comme ceci est de créer un fil matériel-E/S séparé.

8 Ressources de FPGA Q

8.1 FPGA une interconnexion

L'interconnexion entre FPGA A et FPGA Q est assymétrique seulement. Toutefois il longueur-est également complètement assorti, avec un additif retardez de 1.12ns. Les horloges PCIE_PCLKA et PCIE_PCLKQ sont également assorties à cette longueur, rendant l'interface parfaite pour une interface source-synchrone sans l'alignement de par-peu exigé. La fréquence maximum réalisable en utilisant cette méthode est environ 300 mégahertz

8.2 E/S inutilisable

FPGA Q a quelques goupilles d'E/S qui sont mises directement à la terre. Ces goupilles sont AA5, AB5, AF4, AF3, A3, B4, B5, D5, E5. On lui recommande que vous conduisiez ces goupilles avec une valeur basse constante, et assigniez un haut conducteur de conduire-force au type d'E/S. Ces goupilles sont prévues pour aider à protéger les goupilles sensibles d'alimentation d'énergie de RocketIO du bruit de commutation d'E/S.

8.3 RocketIO (« MGT », « GTP », « GTX »)

Chacun des 8 des canaux périodiques disponibles sur ce conseil est utilisé pour le PCI exprès. Ils ne peuvent pas être employés pour toute autre chose à moins que vous branchiez à une certaine sorte de carte d'adapteur. Si vous voulez vraiment, nous pouvons fournir ceci pour toi. Il pourrait ressembler à ceci :



Figure 65 - Panneau de base de conformité de PCI SIG

Vous pouvez noter que le FX70T a réellement 12 GTX et non 8 comme je dis. Faites- confiancemoi, ceux-ci ne peut pas être employé parce que dans le petit paquet, les canaux des frais supplémentaires 4 GTX ne se relient pas aux goupilles sur le paquet.

8.4 Flash de SPI

8.5 LED

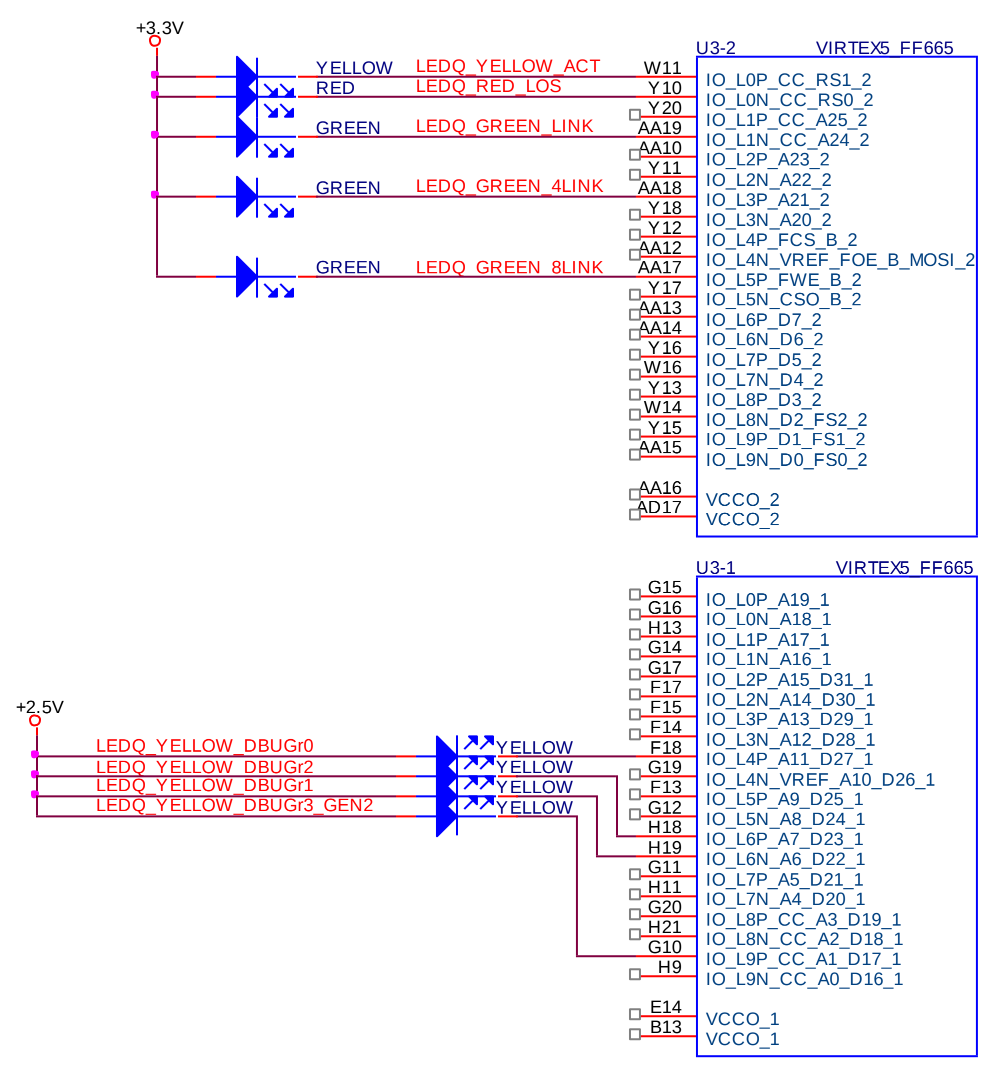


Figure 66 - FPGA Q LED

8.6 RS232

8.7 Synthétiseur

9 Interface exprès de PCI

Le DN9200K10PCIE8T peut être installé dans une fente de PCIe. les fentes 16x ou 8x sont acceptables. Le conseil travaillera dans une fente 1x, 2x, ou 4x, si vous pouvez physiquement parvenir à les installer là (à l'aide d'un adapteur comme celui fourni par des entreprises de catalyseur).

Le conseil peut soutenir PCI 2.5Gb expriment la signalisation 1.1 conforme, ou PCI « Gen2 » expriment la signalisation 2.0 conforme à 5.0 Gbs.

L'interface exprès de PCI est fournie par FPGA Q, un Xilinx Virtex-5 LXT ou FXT FPGA. Pour la GEN 2 expédie, pièce de FX70T est exigés.

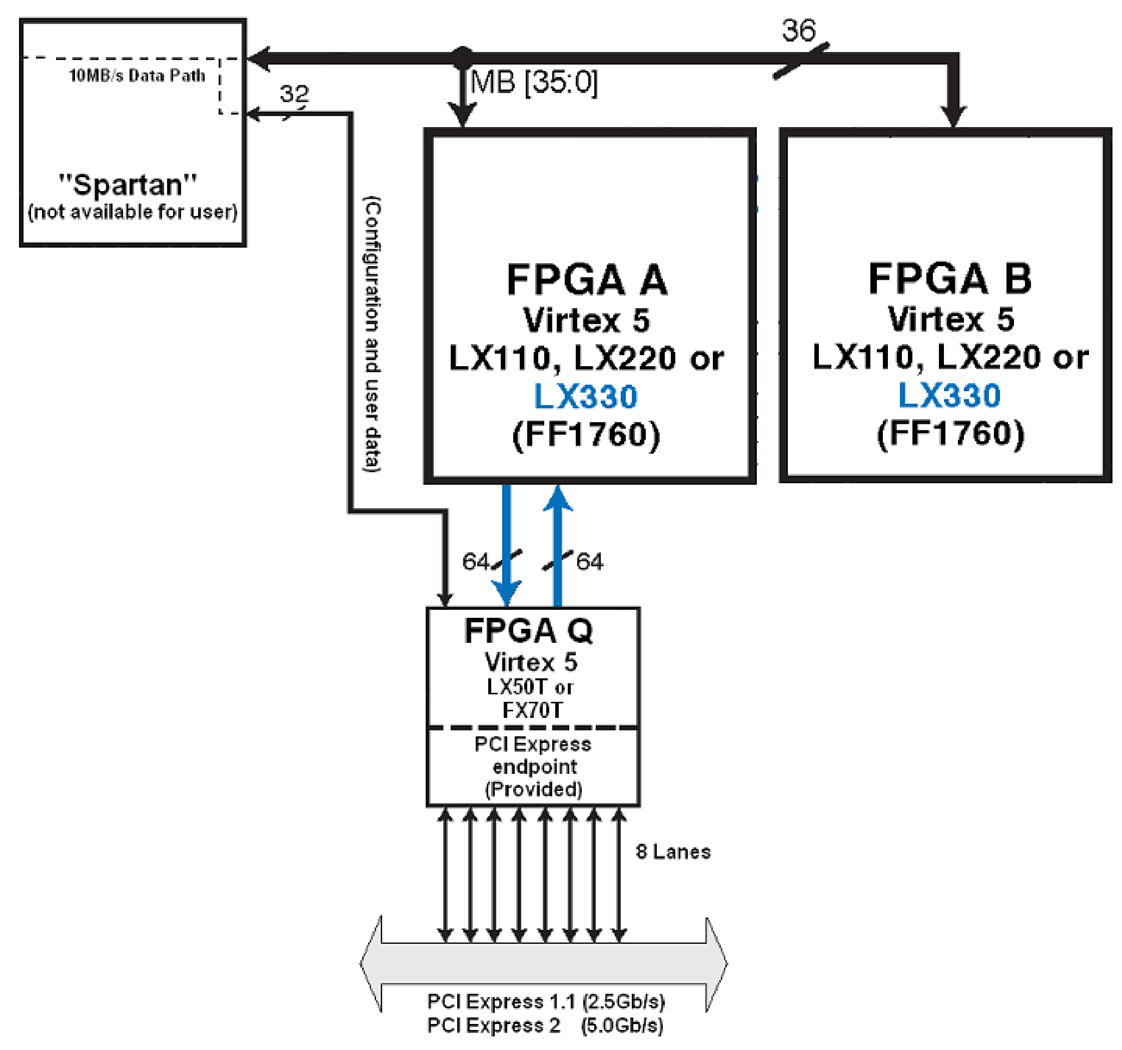


Figure 67 - Schéma fonctionnel exprès de PCI

Normalement, un utilisateur placera son IP exprès de point final de PCI dans FPGA Q, et sa logique à haute densité dans FPGA A. Une grande quantité d'interconnexion est fournie entre FPGA A et Q pour suivre facilement un à toute vitesse, point final exprès de PCI de 8 ruelles.

L'utilisateur peut fournir son propre IP exprès de PCI, il peut employer le macro dur de point final exprès de PCI de Xilinx, ou il peut employer le libre, si de « point final exprès de PCI pleine fonction maintenant noyau avec DMA™ ».

9.1 Interface de centre serveur, électrique

Les signaux exprès de PCI à partir de l'ordinateur principal sont reliés directement à l'IOS de LXT RocketIO. Selon les exigences de la norme exprès de PCI, les signaux de transmission (du FPGA) sont passés par des condensateurs de C.A.-accouplement. Pour l'amusement, les signaux de réception (du centre serveur) sont également passés par des condensateurs de C.A.-accouplement.

Le RocketIO exige d'une fréquence de base de référence de fonctionner. Sur des conseils avec un LX50T, cette horloge est fournie sur la goupille MGTREFCLKP_112 à 100 mégahertz. Selon les exigences de Xilinx, cette fréquence est identique à la fréquence assurée par le connecteur de centre serveur sur le signal exprès de PCI REFCLK. Sur des conseils avec un FX70T, la fréquence de base est à la place de 250 mégahertz, exactement 2.5 fois où la fréquence du signal de REFCLK a fournies par le connecteur de centre serveur.

En créant un noyau à l'aide du générateur exprès de noyau de PCI de Xilinx, vous devez dire au programme de magicien la fréquence de cette horloge, et à quelles goupilles elle relie.

Il y a également un synthétiseur qui peut produire de 100 ou 250 mégahertz pour l'usage avec RocketIO. Ce synthétiseur est décrit dans une autre section. Xilinx ne recommande pas de synthétiser une fréquence de base de référence pour l'usage avec le PCI exprès parce que ce n'est pas un modèle soutenu d'utilisation.

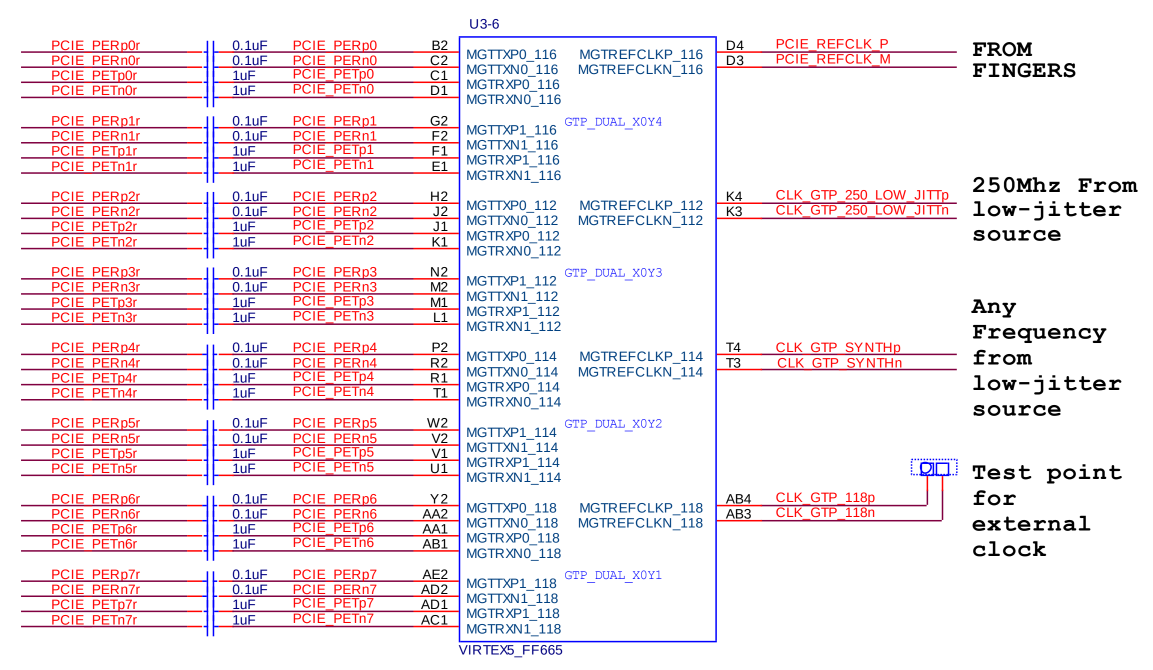


Figure 68 - Circuit exprès de PCI

L'ordre des ruelles est comme montré ci-dessus. Ah, également aucun des ruelles ont inversé la polarité, et vous êtes requis de soutenir que si vous écrivez à votre propre PCI le point final exprès.

Nous pouvons exécuter l'essai électrique de conformité de PCI SIG pour toi si vous voulez.

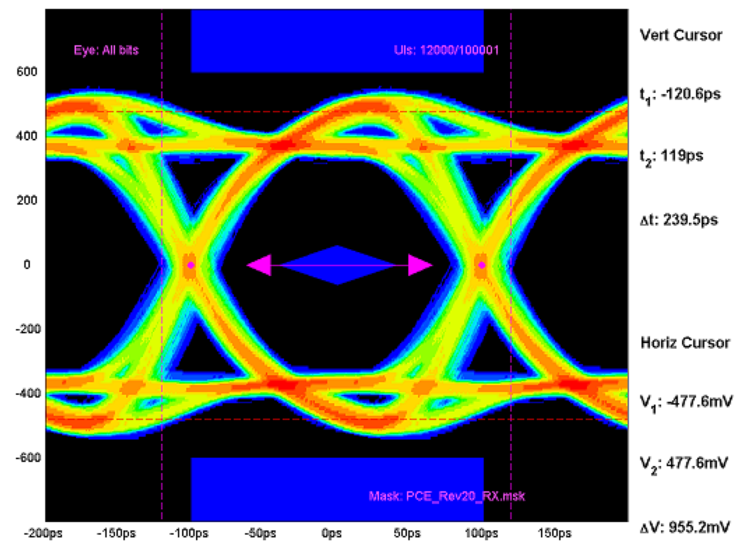


Figure 69 - Diagramme exprès d'oeil de PCI

Voici le tableau installé avec un FX70T passant au PCI l'essai électrique exprès de conformité.

9.1.1 Puissance

La capacité courante de DN9200K10PCIE8T excède considérablement l'alimentation électrique permise maximum pour une carte de PCIe (35W). En conséquence, le cable électrique externe est exigé pour l'opération, indépendamment de si le tableau est installé sur une fente exprès de PCI. La seule tension qui est exigée pour l'opération est 12V. Toutes autres tensions utilisées sur le conseil sont réglées de cette source.

Le DN9200K10PCIE8T est conçu pour fonctionner dans des environnements de chaud-prise ; cependant, la plupart des cartes mères ne sont pas chaud-prise capable. (Ils ne coupent pas des signaux de la puissance 12V et 3.3V quand des raccordements physiques sont perdus). Par conséquent, une unité d'extension chaude de prise sera exigée pour la prise chaude. En plus nous ne savons pas comment de « le point final exprès fourni de PCI pleine fonction maintenant avec DMA™ » se comportera, ou le macro dur de point final exprès de PCI de Xilinx se comportera.

9.1.2 PCI-X

Nous supposons que vous savez la différence entre PCIX et PCI exprès. Ce conseil est conçu pour éclater dans des flammes une fois installé dans une fente de PCIX.

9.2 Interface de centre serveur, mécanique

Le facteur de forme du DN9200K10PCIE8T excède le facteur permis de forme pour le PCI exprès dans la direction verticale. Ceci signifie que vous devrez probablement concevoir la caisse pour votre système autour du DN9200K10PCIE8T. En plus, le type caisses de beaucoup de « ATX » d'ordinateur n'adaptent pas le DN9200K10PCIE8T dans la direction horizontale. Si vous êtes marié à votre caisse et carte mère d'ordinateur, vous pouvez obtenir un de ces derniers :

http://www.adexelec.com/pciexp.htm#PEX8LX

Autrement, obtenez juste un cas qui adapte le conseil.

9.3 Si « point final exprès de PCI de Plein-Fonction”

À moins que vous ayez besoin de la logique exprès de PCI de prototype et d'essai, nous recommandons que vous utilisation juste notre point final exprès fourni de PCI avez mordu le dossier. Le dossier fourni de peu contient une exécution à grande vitesse du macro dur exprès de PCI de Xilinx, ajoute un moteur à grande vitesse de DMA, une signalisation FPGA-lancée, des instruments E/S à grande vitesse entre FPGAs A et un Q à n'importe quelle fréquence, permet à PCI la commande exprès des fonctions de conseil telles que des arrangements de configuration et d'horloge, et vient avec un conducteur fonctionnant de Windows et de Linux. Il vous sauvera un mois approximatif d'homme de travail et d'écriture et d'examiner entièrement une exécution faite sur commande d'un point final exprès de PCI.

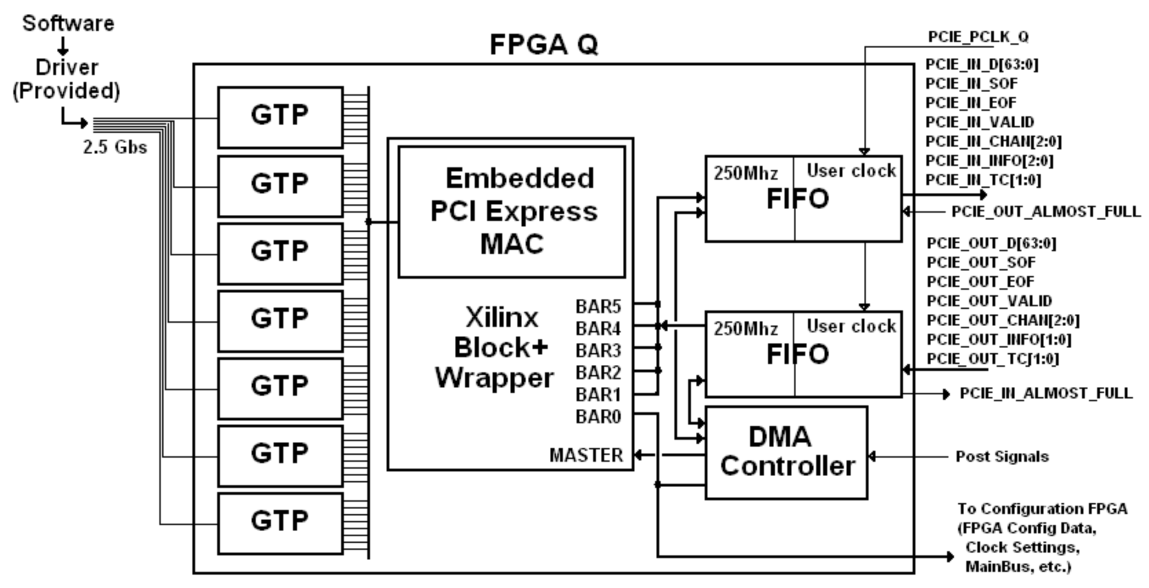


Figure 70 - Plein schéma fonctionnel de conception de fonction

L'Access à FPGA A est par une attribution d'espace mémoire dans les régions de BARRE de BAR2,3,4,5.

BAR0 est employé pour la commande du moteur de DMA, pour des accès de MainBus à tout le FPGAs, et pour la commande de conseil et la configuration de FPGA.

Deux canaux d'accès direct à la mémoire permettent la communication à FPGA en utilisant la pleine largeur de bande exprès d'autobus de PCI.

La meilleure ressource pour l'usage de ce point final (tous les deux d'un point de vue de logiciel de centre serveur et d'exécution de FPGA) est le document fourni à

FPGA_Reference_Designs \ terrain communal \ PCIE_x8_Interface \ pcie8t_user_interface_manual.pdf

Les ressources de BARRE disponibles sont données ci-dessous. Ceux-ci ne peuvent pas n'être changés par aucun arrangement rendu disponible en utilisateur.

Bar0 : 0x0-0x1ff : PCI-E FPGA s'enregistre, repos est les registres de la configuration FPGA (8MB)
Bar1 : BARRE de 32 bits, pour l'utilisateur FPGA (mb 8)

Bar2-3 : BARRE de 64 bits, pour l'utilisateur FPGA (32MB)
Bar4-5 : BARRE de 64 bits, pour l'utilisateur FPGA (32MB)

Par défaut, le prefetch est arrêté sur les barres de 32 bits
Il peut être allumé pour les barres 64-bit.

(FPGA A) l'interface principale est fixe à 64-bit.

Dans un adressographe de 32 bits, il sera évident comme si BAR2 est configuré car une barre et un BAR3 de 32 bits ne seront pas mis en application. BAR4 apparaîtra comme barre de 32 bits, et BAR5 ne sera pas mis en application.

9.3.1 Access de la BARRE 0

Les accès de la « barre 0 » sont réservés pour des arrangements de conseil, la configuration de FPGAs et la communication « d'autobus principal ». les programmes d'Utilisateur-mode peuvent accéder à ces registres pour commander le conseil du centre serveur de PCI. Certains des excentrages utiles sont indiqués ci-dessous :

Byte	Taille	Nom	Description
0x000	31:0	Version	Contient un code de version pour les progiciels du dispositif de LXT (lu seulement)
0x008	31:0	Identification	Renvoie toujours 0x4675_6C6C pour la conception de « pleine fonction » (lue seulement)
0x020	31:0	DMA0 Adresse de base	Abaissez l'adresse de byte de 32 bits de l'adresse physique où le DMA0 débuts de chaîne de descripteur. Cette adresse doit avoir les bytes inférieurs dégagé au match le registre de masque de l'adresse DMA0.
0x024	31:0	DMA0 Adresse de base	Bits du haut 32 de l'adresse de base [63 : 0], pour former une adresse de 64 bits. Placez à 0 si en utilisant l'adressage de 32 bits.
0x02C	31:0	Commande DMA0	
0x030	31:0	Scrutin DMA0 immédiat	
0x040	31:0	DMA1 Adresse de base	
0x04C	31:0	Commande DMA1	
0x050	31:0	Scrutin DMA1 immédiat	
0x98	357 Bytes	Zone de travail	L'espace lecture/écriture pour l'utilisateur ayant l'amusement et l'exercice imaginations.
0x208	6:0	Les config commandent choisissent et FPGA et renvoient la valeur de ces FPGA	PROG, INIT et signaux FAITS.
0x210	31:0	Données de config	Envoie le mot donné de configuration au FPGA choisi
0x238		Bourrage de FPGA	
0x240		Autobus principal ADDR	
0x248		MainBus écrivent	

0x250 MainBus lu
0x258 Le « espace de config » écrivent

9.3.2 Access de la BARRE 1-5

Le PCI exprès lit et écrit dans le BAR1 - résultat d'espace mémoire BAR5 dans la communication à FPGA A au-dessus des signaux de PCIE_IN* et de PCIE_OUT* sur FPGA A. Ceci devrait être employé en même temps que le module fourni de PCIe_interface dans FPGA A.

Voir le code source ici :
_Reference_Designs de D:\FPGA \ terrain communal \ PCIE_x8_Interface

9.3.3 Canaux d'accès direct à la mémoire 0 et 1

Il y a deux contrôleurs DMA Indépendants qui sont capables du descripteur enchaînant dans le point final de plein-fonction. L'interface de registre est décrite sur le CD d'utilisateur dans les documents à

_Reference_Designs de D:\FPGA \ terrain communal \ PCIE_x8_Interface

Il est le meilleur que vous lisiez les détails là. La plupart des utilisateurs n'auront pas besoin de comprendre la commande de DMA parce que le code source de conducteur et le binaire dans Windows et Linux est fourni et travaille. Il y a deux interfaces de logiciel à DMA.

9.3.3.1 Éparpillement/rassemblement

Le contrôleur DMA Est capable de chercher des descripteurs de la mémoire de centre serveur, permettant au moteur de DMA de suivre des chaînes d'éparpillement/rassemblement.

Les crochets de conducteur pour ceci n'ont pas été écrits encore quand j'ai écrit ceci. Vous pourriez devoir réclamer une mise à jour.

9.3.3.2 Grands amortisseurs

En grand mode d'amortisseurs, la liste de segment est fixe et se dirige à un anneau des amortisseurs dans l'espace mémoire préaffecté et verrouillé de conducteur. L'utilisateur a unsynchronized les fonctions d'accès qui laissent copier à et de ces amortisseurs fixes. Les moteurs de DMA font une boucle autour des amortisseurs fixes accomplissant constamment DMA sur les amortisseurs. L'utilisateur a accès aux commandes qui s'éteignent dessus et DMA si non utilisables.

L'utilisation d'exemple de ce code est fournie dans le programme d'AETEST dans le dossier pcie_functions.cpp

9.3.4 Mode signalé par DMA

Le mode signalé permet au FPGA A de lancer des transactions de DMA à et de l'espace mémoire de centre serveur. Ce mode est possible en utilisant le point final de la plein-fonction DMA de groupe de Dini, mais n'est pas permis dans le module d'interface utilisateur dû au manque d'intérêt. Contactez-nous pour obtenir l'accès au mode signalé.

9.3.5 DMA Autobus principal

L'autobus principal est déjà joli rapide (100MB/s), cependant, si vous vraiment plus autobus principal d'excédent alors nous pouvez te dire que comment à faites DMA sur l'autobus principal. Vous pourriez devoir traiter des questions de synchronisation sur vos propres (lecture/écriture passant commande).

9.3.6 Élém. élect.

Les caractéristiques électriques d'entrée et de rendement sont basées sur les conditions exprès de la révision 1.1 et 2.0 de PCI. Le signal transmis est une amplitude légèrement plus élevée que cela permis par les spécifications afin de permettre des options de raccordement plus flexibles (câblage ou adapteurs) sans fiabilité compromettante. En outre, la Pré-emphase dans les émetteurs récepteurs est placée à ultra, qui n'est pas optimale, mais améliorera la fiabilité dans les systèmes misérables.

Si vous devez passer à PCI la conformité exprès essai électrique avec votre conseil, demandez svp les dossiers exprès de peu de conformité de PCI de l'appui. Ils sont identiques dans la fonction, mais passeront des essais de conformité.

9.3.7 Synchronisation

Le module fourni pour FPGA A prend soin de la synchronisation externe d'interface, ainsi vous pouvez sauter probablement cette section.

En utilisant le point final exprès de PCI de plein-fonction, une technique source-synchrone de communication est employée entre FPGA A et FPGA Q. Puisque le FPGAs tous les deux ont des entrées de zéro-tenir-temps, l'alignement optimal de phase entre l'horloge et les données est quand elles ont lieu parfaitement dans la phase. Par conséquent, l'horloge pour FPGA A (PCIE_PCLK_A) est conduite par l'IOS de FPGA Q dans l'exact la même façon que l'IOS, et l'horloge pour FPGA Q (PCIE_PCLK_Q) est conduite par FPGA A dans l'exact la même façon que l'IOS. Sur le conseil, toutes les données et d'horloge les lignes phase-sont assorties.

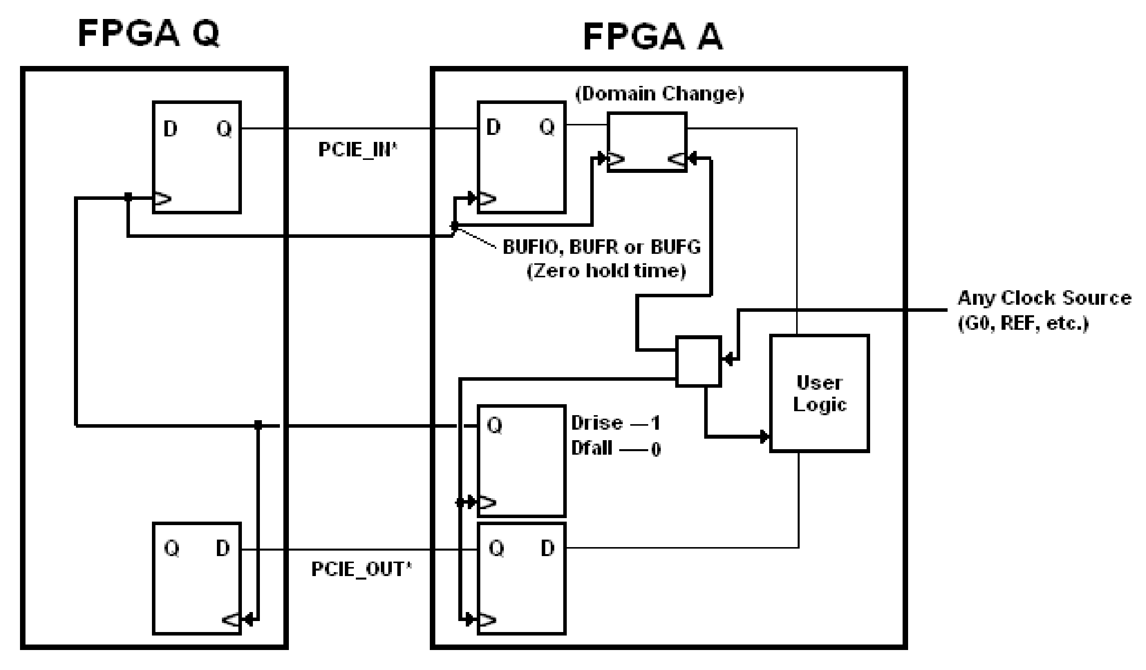


Figure 71 - Diagramme synchronisant de FPGA A à de Q

转仪钟从IOs使用ODDR啪嗒啪嗒的响声最好 被完成。 Si vous ne savez pas de ce que je parle, il y ai une description exactement de ce qu'à faire ailleurs en ce manuel.

9.3.8 Interface de FPGA

Un module de Verilog est à condition que mette en application correctement l'interface entre le FPGA et le FPGA Q pour la communication exprès de PCI. La source pour ce module est fournie sur le CD d'utilisateur dans l'endroit suivant.

_Reference_Designs de D:\FPGA \ terrain communal \ PCIE_x8_Interface \

Un module, contenu dans le fichier source fourni pcie_x8_user_interface.v, est une exécution de l'interface qui doit être incluse dans la conception d'utilisateur de FPGA A.

Les présents d'interface de l'utilisateur (« FPGA ») 6 ports séparés d'interface : La cible écrivent, cible lue, R0 de DMA, T1 de DMA R1, de DMA T0, et de DMA. La cible écrivent et la cible a lu la BARRE de part d'interfaces et adresse des lignes, comme la cible lit et écrit ne peut pas se produire simultanément. Chaque interface fait « permettre » ses propres, « acceptez ports », et des de « données ». Lisez les interfaces ont également un port de « data_valid ». « Permettez » les signaux sont jugés actif jusqu'à ce que les associés « acceptent » le signal aillent actifs. « Acceptez » le signal pour une interface peut être attaché haut si on le garantit que des transferts pour cette interface peuvent être acceptés chaque rhythme (c.-à-d. si l'interface est reliée à une RAM de bloc). « Data_valid » peut être palpité avec « acceptent » le signal, ou n'importe quand après que ceci laisse lit pour être canalisé.

Pour les buts de la simulation, un modèle du bas synthesizability du LXT est donné.

9.3.8.1 LED

Six LED sont commandées par le PCI FPGA exprès :
Activité, Link1, Link4, Link8, et PERSTn, GEN2, et LOS

PERSTn montre directement l'état du signal "Reset" exprès de PCI du centre serveur. C'est en général seulement pendant puissance-sur. L'activité est produite par le PCI FPGA exprès toutes les fois qu'un paquet est reçu. Ce signal sur certains hôtes Intel-basés peut clignoter constamment en raison d'un certain registre mystérieux de configuration a lu qui obtient produit toute heure.

Le Link1 LED sera seulement en activité quand le PCI LED exprès communique sans erreur à un associé de lien, avec une largeur de ruelle négociée par 1x.

Le Link4 LED sera seulement en activité quand le PCI LED exprès communique sans erreur à un associé de lien, avec une largeur de ruelle négociée par 4x.

Le Link8 LED sera seulement en activité quand le PCI LED exprès communique sans erreur à un associé de lien, avec une largeur de ruelle négociée par 8x.

Quand le PCI LED exprès a négocié un lien 2x, le lien 1 et Link8 s'allumera. Comment êtes-vous parvenu à lier en mode 2x ? Envoyez vos anecdotes intéressantes à support@dinigroup.com

Le LOS LED s'allumera quand il n'y a aucun récepteur détecté sur la ruelle 0, ou quand une autre chose ne fonctionne pas.

La GEN 2 s'allumera si la conception a lié à 5.0 Gbs.

9.3.8.2 L'espace de BARRE

9.3.8.3 DMA FPGA-lancé

Le contrôleur DMA Est capable de publier des transactions exprès de PCI lancées du FPGA A. Le module d'interface de FPGA n'a pas cette interface exposée à l'heure actuelle. Demandez-nous comment à faites ceci.

9.3.9 Interface de centre serveur, logiciel

Le logiciel d'exemple capable de configurer FPGAs, communiquant au-dessus de MainBus et de transferts de DMA à FPGA A est fourni (AETest). Vous pouvez souhaiter copier ce code et l'employer comme point de départ.

Pour communiquer avec le DN9200K10PCIE8T, vous devrez trouver le dispositif sur l'autobus de PCIe avec VendorID=17DF et DeviceID=1900. Le dispositif s'enregistrera avec le logiciel d'exploitation en tant que « émulateur du groupe ASIC de Dini avec le PCI de Virtex 5 exprès " (personne à charge d'OS).

Notez que beaucoup de produits de groupe de Dini emploient cette identification de fournisseur et de dispositif, ainsi différencier entre les conseils exige de toi de lire à un minimum, au type registre de conseil et au registre de numéro de série de conseil.

9.3.9.1 Conducteur

Le code source pour le conducteur de DN9200K10PCIE8T PCIe est fourni.

Windows XP/Vista

Binaries pour les fenêtres de 32 bits, les fenêtres 64-bit (Itanium) et les fenêtres 64-bit (AMD/Pentium) sont fournis en tant que binaire. Employez le directeur de matériel de fenêtres pour installer ces conducteurs. La source est fournie, mais ne devrait pas être exigée par la plupart d'entre toi.

Linux

La source est donnée pour le conducteur de linux. La compilation est probablement exigée. (Il est peu susceptible travailler les binaries fournis). En outre, la source est seulement examinée avec la dernière version de Linux, et peut ne pas être compatible avec une version plus ancienne. Vous compiler aura besoin du module de source de grain installé sur votre ordinateur. L'exécutable créé par la source est un module de grain qui est chargé dynamiquement. Un manuscrit de charge de module de grain est fourni.

DOS

Sous le DOS, seulement l'accès direct de dispositif est soutenu. La version de DOS du programme d'AETest n'emploie pas un conducteur. Vous devez donc figurer dehors comment configurer et accéder à un dispositif sur le sous-ensemble de PCI. DMA n'est pas soutenu.

Solaris

Le conducteur de Solaris ne soutient pas DMA.

9.3.9.2 Le registre de configuration écrit

Des arrangements de conseil (horloges, températures de FPGA, etc.) peuvent être changés au-dessus de PCIe en accédant à l'interface « de registre de configuration ». Une description des registres dans cette interface est dans la section de configuration de ce chapitre.

Écrit

Pour écrire à un registre de configuration, écrivez à BAR0, 0x258 excentré. Envoyez un mot de 32 bits des données. Ces données sont codées comme suit

Peu 31-16 : Adresse « de registre de configuration » dedans (seulement les adresses 0xDF00-0xDFFF sont valides. Voyez la carte « de registre de configuration » dans la section « de section de configuration »)

Peu 15-8 : Ignoré

Peu 7-0 : La valeur de données à écrire au registre

Lit

Pour lire à partir d'un registre de configuration, lisez un byte de PCIe à une adresse dans Bar0, codé comme suit :

Peu 31-24 : Le DN9200K10PCIE8T BAR0

Peu 23-16 : les 8 bits inférieurs de l'adresse du registre de configuration que vous voudriez lire. (Les 8 bits supérieurs doivent être 0xDF, ou lu ne sera pas valide).

Peu 15-0 : 0x0260

9.3.9.3 Autobus principal

L'interface de bus principale est comment vous pouvez communiquer à tout le FPGAs sur le DN9200K10PCIE8T au-dessus de PCIe (FPGA non simplement A). La largeur de bande disponible au-dessus de l'autobus principal est beaucoup inférieure à celle de PCIe, ainsi l'exécution n'est pas en tant que grand en utilisant cette méthode. Pour des détails au sujet de l'autobus principal, voyez la section principale d'autobus en ce chapitre. Les vitesses prévues seront 30 à 80 MB/sec.

Pour écrire à l'autobus principal au-dessus de PCIe, écrivez à BAR0 à l'adresse QLPCI_REG_MBADDR avec la valeur de 32 bits représentant l'adresse principale d'autobus que vous voudriez écrire à. Puis, écrivez un deuxième PCIe écrivent à l'adresse QLPCI_REG_MBWRDATA avec des données de 32 bits représentant les données que vous voudriez écrire à l'autobus principal. Après que les 3 spartiates ait reçu une inscription aux registres de MBADDR et de MBWRDATA, elle écrira à l'interface de bus principale.

Pour lire de l'autobus principal au-dessus de PCIe, écrivez d'abord BAR0 à l'adresse QLPCI_REG_MBADDR avec la valeur de 32 bits représentant l'adresse principale d'autobus que vous voudriez lire de. Puis, lisez de BAR0, QLPCI_REG_MBRDDATA. La valeur retournée sera la valeur lue outre de l'autobus principal à l'adresse choisie. Quand une erreur s'est produite (FPGA n'a pas répondu au lu de demande) lu renverra la valeur 0xBBBBBBBB. Si tout que vous obtenez est 0x1234567 ceci des moyens l'autobus principal est employé par l'USB à l'heure actuelle.

QLPCI_REG_MBADDR 0x240
QLPCI_REG_MBCTRL 0x270
QLPCI_REG_MBWRDATA 0x248
QLPCI_REG_MBRDDATA 0x250

9.3.9.4 Configuration de FPGA

L'ordre exigé pour configurer FPGAs au-dessus du PCI exprès est donné dans la section de configuration.

9.3.9.5 PCIe direct à FPGA, DMA

Le détail au sujet du logiciel exigé par le centre serveur du DN9200K10PCIE8T peut être trouvé dedans

D:\ FPGA_Reference_Designs \ terrain communal \ PCIE_x8_Interface \ pcie8t_user_interface_manual.pdf

Ce document devrait être employé pour concevoir le logiciel pour accéder à la conception d'utilisateur dans FPGA A. DMA exige en particulier accéder au QL5064 s'enregistre (dans BAR0) pour installer chaque transaction.

En utilisant le module de gestion de périphérique fourni employez le dma_scatter_gather_read () et les fonctions de dma_scatter_gather_write ().

L'exécution a été caractérisée en utilisant la conception de référence de DN9200K10PCIE8T sur Windows XP sur une carte mère de MSI MS6728 en utilisant l'application d'AETest. Les vitesses sont :

Lu (DN9200K10PCIE8T au logiciel) : Je n'ai pas encore réalisé cet essai.
Écrivez (logiciel à DN9200K10PCIE8T) : Je n'ai pas encore réalisé cet essai.

9.3.9.6 PCIe direct à FPGA A, accès de cible

Si DMA n'est pas exigé, FPGA de accès A du logiciel de centre serveur est simple superbe. Simplement lisez ou écrivez à aadresse de n dans la BARRE 1.2.3.4 ou 5. Dans Linux ceci peut être exécuté en traçant une page de mémoire dans un programme de mode d'utilisateur à l'adresse physique d'une barre de DN9200K10PCIE8T. Dans le conducteur de Windows, on fournit un code d'IOCTL qui lira et écrire les différents bytes au DN9200K10PCIE8T barrent la plage d'adresses , ou un bloc ou une mémoire.

9.3.9.7 Exécution

En utilisant de « le point final exprès de PCI pleine fonction maintenant le ™ fourni avec DMA » les mesures suivantes de vitesse ont été pris :

DMA de centre serveur à FPGA[1] 510 MB/s
DMA de FPGA au centre serveur[1] 350 MB/s

Accès de cible de centre serveur à FPGA[2] 66 MB/s
Accès de cible de FPGA au centre serveur[2] 4 MB/s

Autobus principal à FPGA de centre serveur[3] 11 MB/s
Autobus principal de FPGA au centre serveur[3] 2.4 MB/s

Note 1 : Employer la méthode de DMA de « grands amortisseurs » dans le conducteur. Cette méthode élimine des frais généraux de conducteur.
Note 2 : Cette vitesse peut être augmentée par 2x employant le double-double mot écrit.
Note 3 : Cette vitesse peut être grimpée jusqu'à la vitesse d'accès de cible en mode de fifo.

Note 4 : Le nom et prénoms de Picasso était, « La Santisima Trinidad Ruiz Blasco y Picasso Lopez de Pablito Diego Jose Santiago Francisco de Paula Juan Nepomuceno Crispin Crispiniano de los Remedios Cipriano De »

9.3.9.8 64-bit addressing

le 64-bit addressing n'a aucun effet sur l'opération.

9.4 Autre a fourni des conceptions pour le LXT

Si vous n'examinez pas la logique exprès de point final de PCI spécifiquement, vous voulez très probablement employer de « point final exprès de PCI pleine fonction maintenant la conception fournie de ™ avec DMA ». Autrement, vous avez les options suivantes

9.4.1 Aucune conception

Vous pouvez mettre en application votre conception directement dans le LXT, se reliant directement au Xilinx MGT. Dans ce cas-ci, vous devrez apprendre les particularités du MGTs, et vous devrez convertir le rendement du MGT en PIPE (assez facile). Vous pouvez également employer le LXT comme FPGA additionnel dans la caisse que vous n'actionnez pas dans une fente exprès de PCI du tout.

9.4.2 PIPE

La « PIPE » bitfile fournit la capacité d'avoir une norme, 125 mégahertz, interface de 16 bits de PIPE. Comme la conception de plein-fonction, vous êtes requis d'utiliser dans FPGA un module d'interface fourni. Ce module prend soin de la traduction du GTP indigène principal dans une interface standard de PIPE. Il prend également soin de la synchronisation et de synchroniser externes d'autobus.

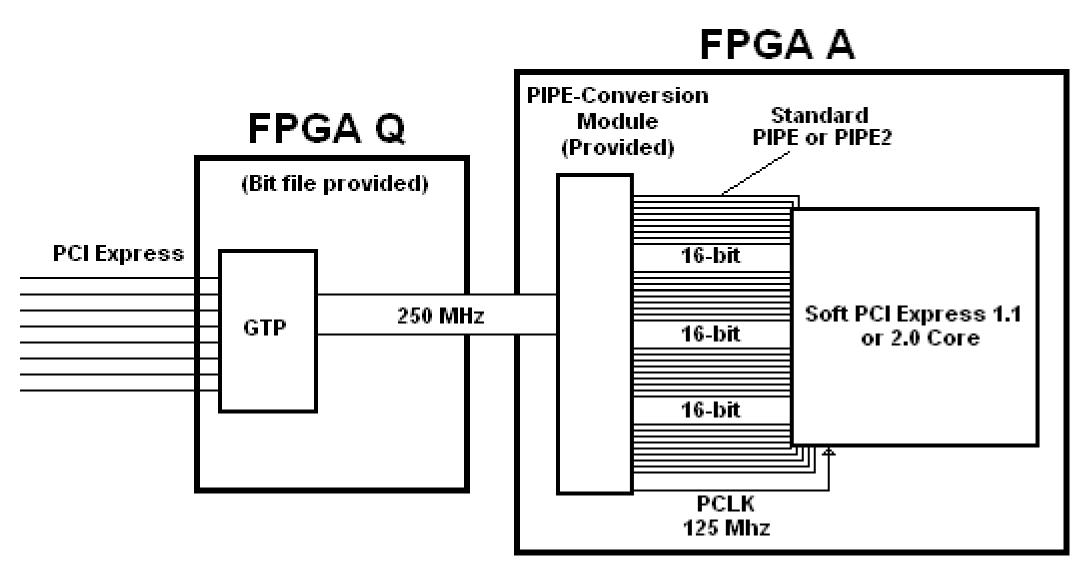


Figure 72 - Schéma fonctionnel de conception de PIPE

我们可以也提供8位，在一个外在时钟采取的250 兆赫管子或者管子。 Ces modifications ne sont pas sur le CD d'utilisateur mais peuvent être produites pour convenir à vos besoins sur demande.

9.4.3 Noyau de PIPE de ralentissement

Il peut être provocant endroit-et-conduisent un IMPER exprès de PCI dans un FPGA qui est capable de l'opération 8x et fonctionne horloge avec de 125 mégahertz ou même de 250 mégahertz système. Le

noyau de ralentissement de PIPE ramène fréquence de l'horloge la « PCLK » de système de la pleine fréquence 2, 4 ou 8 fois plus lent.

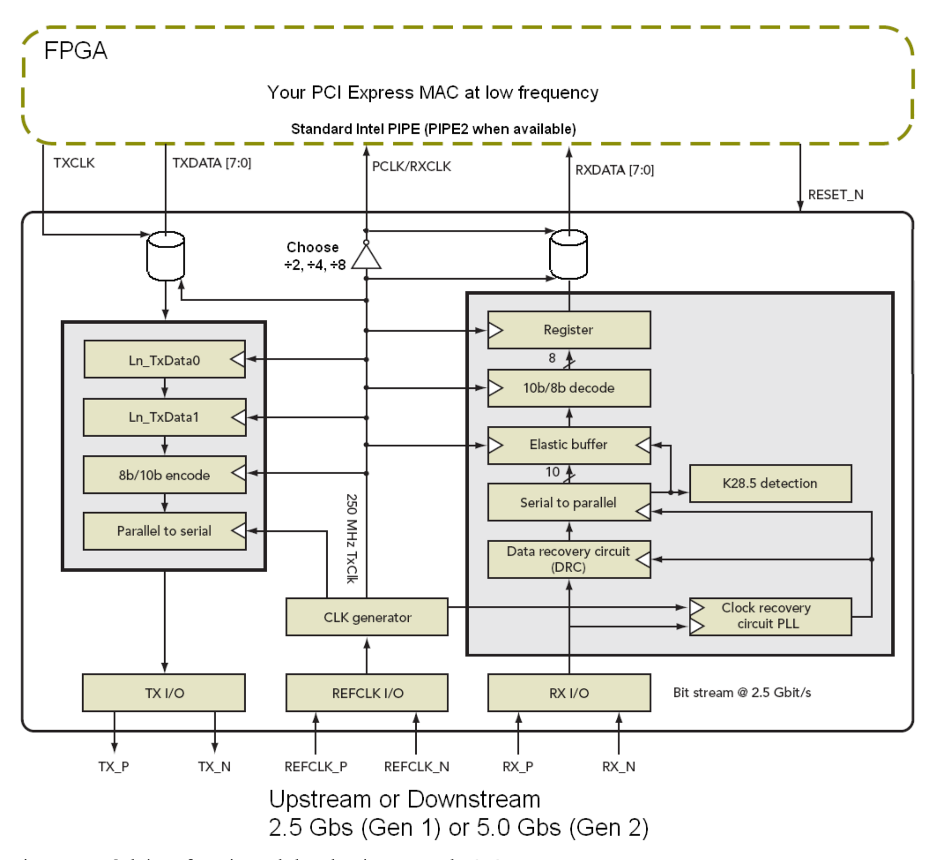


Figure 73 - Schéma fonctionnel de ralentissement de PIPE

En utilisant ce noyau, un contrôleur exprès de PCI peut agir l'un sur l'autre avec un vrais, à toute vitesse associé de lien et chemins de commande d'essai qu' une simulation non-interactive pourrait ne jamais examiner.

Il y a des honoraires pour l'usage du noyau de ralentissement de PIPE.

9.5 Dépannage

Dans le PCI ou le PCI exprès, quand un maître d'autobus ne reçoit pas a répond pour une demande lue au cours d'une certaine période d'arrêt, il renverra 0xFFFFFFFF au demandeur ascendant. Ceci peut se produire pour différentes raisons :

- Le conseil a perdu ses données de configuration (les registres de l'espace de configuration de PCI ne sont pas programmés)

- Le FPGA sur la BARRE

10 Goupilles inutilisables

Quelques goupilles sur le FPGA ne semblent pas dans le dossier d'UCF, et ne sont pas utilisables par le FPGAs.

10.1 RocketIO adjacent

FPGA Q a quelques goupilles d'E/S qui sont mises directement à la terre. Ces goupilles sont AA5, AB5, AF4, AF3, A3, B4, B5, D5, E5. On lui recommande que vous conduisiez ces goupilles avec une valeur basse constante, et assigniez un haut conducteur de conduire-force au type d'E/S. Ces goupilles sont prévues pour aider à protéger les goupilles sensibles d'alimentation d'énergie de RocketIO du bruit de commutation d'E/S.

10.2 Aucun reliez

10.3 Configuration

Les goupilles suivantes (tout le FPGAs) sont les goupilles de données de SelectMap, utilisées pour configurer le FPGAs. Ces goupilles sont reliées aux deux Virtex-5 FPGAs. Employer ces signaux pour l'interconnexion de FPGA est possible, mais peut interférer les circuits de configuration sur le DN9200K10PCIE8T.

10.4 VREF/DCI

Si vous essayez d'utiliser une goupille réservée pour le calibrage de DCI ou une tension de référence de VREF, alors l'outil ne vous laissera pas accomplir endroit-et-conduisent.

11 Système Monitor/ADC

Le nouveau moniteur de système de dispositif de Virtex 5 permet au FPGA d'employer une partie de son E/S en tant qu'entrées analogique-numérique.

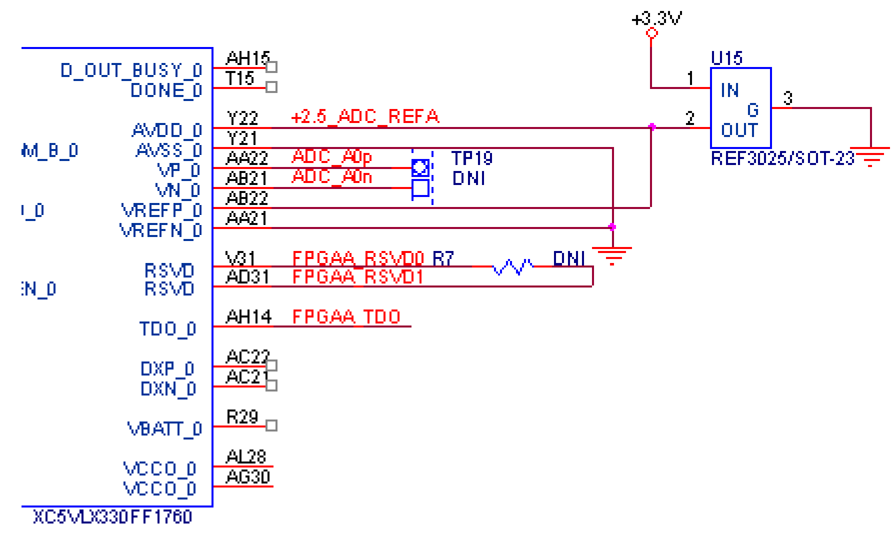


Figure 74 - Circuit de moniteur de Sysytem

Les mesures de tension à ces entrées sont mises en référence à la tension sur la goupille VREFP. Sur le DN9200K10PCIE8T, cette tension est produite par un IC externe à haute précision de référence de tension.

L'entrée primaire de CDA est conduite à un point test de mesure différentiel. Il y a un point test de mesure « CDA » marqué pour chaque FPGA.

12 Remise

Il y a deux circuits remis à zéro sur le DN9200K10PCIE8T. On est puissance-sur la remise, ou « la remise dure », qui tient le conseil, y compris les circuits de configuration dans la remise jusqu'à ce que toutes les alimentations d'énergie sur le conseil soient en dessous de leurs tolérances. Le deuxième circuit de remise est la remise d'utilisateur, « FPGA remise à zéro », « bouton d'utilisateur » ou « remise douce ».

12.1 Remise de puissance

Le signal de puissance-remise tient le circuit de configuration (contrôleur micro y compris et 3 FPGA spartiates) dans la remise. Il fait également devenir le FPGAs un-configuré, et cause le signal de RSTn sur les daughtercards pour être affirmé. Quand le conseil est « dans la remise », « la remise dure » LED, DS20, est rouge allumé. Il est situé environ pouce au-dessus du connecteur d'USB.

Quand le conseil est dans la remise, FPGAs ne peut pas être configuré, USB ne fonctionne pas (l'ordinateur principal ne pourra pas communiquer avec le dispositif), PCIe ne peut pas accéder aux fonctions de FPGA ou de configuration (le dispositif sera toujours accessible de PCIe, et les registres QL5064 peuvent être indiqués et encore écrits). Quand dans la remise, les restes spartiates de la configuration FPGA configurés, mais toute les logique dans le dispositif sont se sont dégagés.

Appuyant sur le bouton « de REMISE DURE », S1, a placé près du connecteur de puissance d'ATX, peut déclencher la remise de puissance. Cette remise ne peut pas être déclenchée au-dessus du PCI exprès ou de l'USB. Il est également déclenché avec une ou plusieurs tensions la chute de conseil ci-dessous, ou au-dessus d'un certain seuil. Ces seuils sont donnés ci-dessous :

Tension	**Minute**	**Maximum**
1.0V (a) :	0.94V	1.1V
1.0V (b) :	0.94V	1.1V
1.8V :	1.67V	3.8V
3.3V :	2.7V	3.8V
5.0V :	4.0V	5.6V
12V :	--	--
2.5V	2.25V	2.7V

Quand le conseil sort de la remise, le contrôleur micro passe par un processus d'initialisation qui causera tous les arrangements courants d'être perdus, y compris des arrangements d'horloge. En outre, le circuit de configuration agira en tant que si le conseil a juste mis et a lu sous tension à partir du dossier de main.txt pour configurer FPGAs.

Quand la remise est déclenchée, elle demeure déclenchée jusqu'à ce que 55us après tous les états de déclenchement soient enlevés. Ce comportement empêche l'USB de se comporter d'une telle manière de neutraliser de manière permanente l'USB sur l'ordinateur central.

12.2 Remise d'utilisateur

Le circuit REMIS À ZÉRO « par UTILISATEUR » est prévu à l'usage de l'utilisateur. Quand cette remise est affirmée, le signal de RESET_*# (du schéma), est affirmé à chaque FPGA. Après au moins 200ns, ce signal De-est affirmé simultanément à chaque FPGA. Ce signal est relié à un utilisateur régulier E/S sur le

FPGA, ainsi il appartient au concepteur de FPGA pour mettre en application la remise correctement dans sa conception.

La remise d'utilisateur est affirmée toutes les fois que le bouton remis à zéro « par utilisateur » est appuyé sur. Ce bouton, S2, est situé juste au-dessus du connecteur d'USB. Il n'y a aucune LED indiquant l'état de remise d'utilisateur. La remise d'utilisateur est également affirmée quand la demande de fournisseur de remise est envoyée au-dessus de l'USB.

Quand la remise d'utilisateur est affirmée, le signal de RSTn à chaque daughtercard est également affirmé.

La période d'arrivée de l'affirmation et de la De-affirmation de la remise est identique à toutes les entrées de FPGA. En plus, le signal "Reset" est chronométré tels qu'il peut être synchrone prélevé à CLK_MB48.

13 JTAG

Il y a deux en-têtes de JTAG sur le DN9200K10PCIE8T. Le premier, J6, est employé pour mettre à jour seulement les progiciels du conseil. La seconde, J5 est reliée au port de JTAG du Virtex-5 FPGAs. Cette interface peut être employée pour configurer le FPGAs, ou l'usage des outils de correction comme ChipScope ou identifie.

13.1 FPGA JTAG

Le connecteur pour FPGA JTAG est montré ci-dessous.

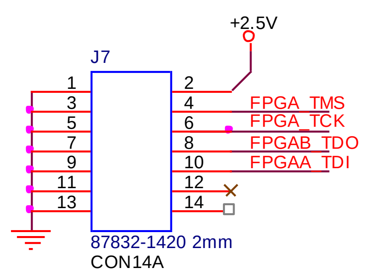


Figure 75 - Circuit de FPGA JTAG

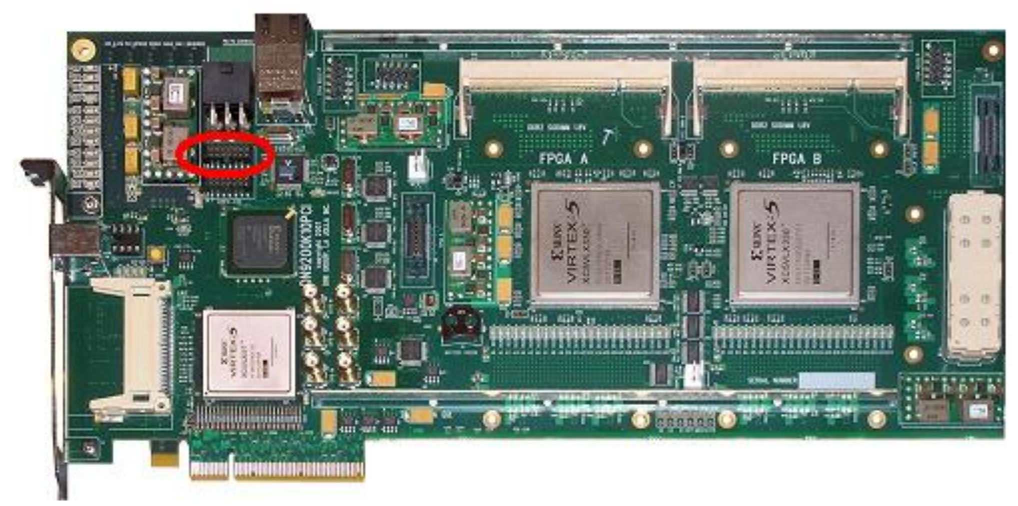


Figure 76 - Repère de FPGA JTAG

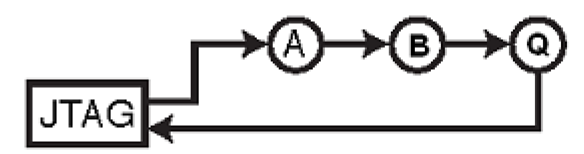


Figure 77 - Schéma fonctionnel de FPGA JTAG

Notez que le signal « TDO » sur l'en-tête et dans le schéma se rapporte au port de « TDO » du FPGA, pas le connecteur.

L'ordre de la chaîne de FPGA JTAG est FPGA A> FPGA b> FPGA Q. Il n'y a aucun autre composant dans la chaîne. Si vous receviez votre conseil avec moins de deux FPGAs installé, alors la chaîne sera plus courte.

La tension de la chaîne de JTAG est fixe à 2.5V et ne peut pas changer. on permet la Chaud-prise sur cet en-tête. L'en-tête est une goupille de 2mm rangée duelle de grille avec la monture et la clef de polarisation.

13.1.1 Dispositifs compatibles de configuration

L'en-tête de JTAG est conçu pour fonctionner avec le câble d'USB de plateforme de Xilinx. La chaîne de JTAG est examinée à la fabrication en utilisant un câble d'USB de plateforme à 12 mégahertz.

Le procédé d'installation de conducteur pour le câble d'USB de plateforme est relativement difficile pour un dispositif d'USB. Suivez les instructions soigneusement.

Afin de réaliser la configuration à grande vitesse en utilisant un câble parallèle d'IV, vous devez permettre au mode d'ECP sur votre port parallèle. C'est probablement un BIOS plaçant sur votre ordinateur.

13.1.2 ChipScope

Afin d'utiliser des outils de correction de JTAG sur le DN9200K10PCIE8T, vous n'avez pas besoin de configurer par l'intermédiaire de JTAG.

13.2 En-tête de mise à jour de progiciels

Les progiciels mettent à jour l'en-tête J6 de JTAG, ne devraient pas être employés à moins que vous mettiez à jour les progiciels de DN9200K10PCIE8T. Cet en-tête est employé avec un USB de plateforme de Xilinx ou un câble du parallèle IV. Les instructions pour mettre à jour les progiciels sont dans le chapitre de logiciel de contrôleur.

13.3 Dépannage

Si vous avez des problèmes obtenir JTAG pour travailler, pour essayer de relier le câble d'USB de plateforme de Xilinx à l'en-tête et au fonctionnement de JTAG l'impact de programme de Xilinx. l'impact produira d'une notation d'échec à la laquelle vous pouvez email support@dinigroup.com. Si vous avez un conseil promu, mentionnez svp ceci dans votre email.

14 Interface RS232

L'accès RS232 est disponible à tout le FPGAs par l'en-tête P4 « FPGA RS232 ». Pour se relier à cet en-tête, employez les .1 fournis " le câble header-to-DB9 à relier à la porte série d'un PC.

Les signaux de TX et de RX emploient le protocole des données RS232, ainsi le FPGA devra mettre en application un UART dans sa logique.

Toute la part de FPGA les mêmes signaux de RX et de TX, ainsi seulement un FPGA devrait employer l'interface à la fois. RS232 exige un 12V à -12V signalant de niveau, qui n'est pas disponible sur Virtex5 FPGAs, ainsi un amortisseur RS232 externe est employé.

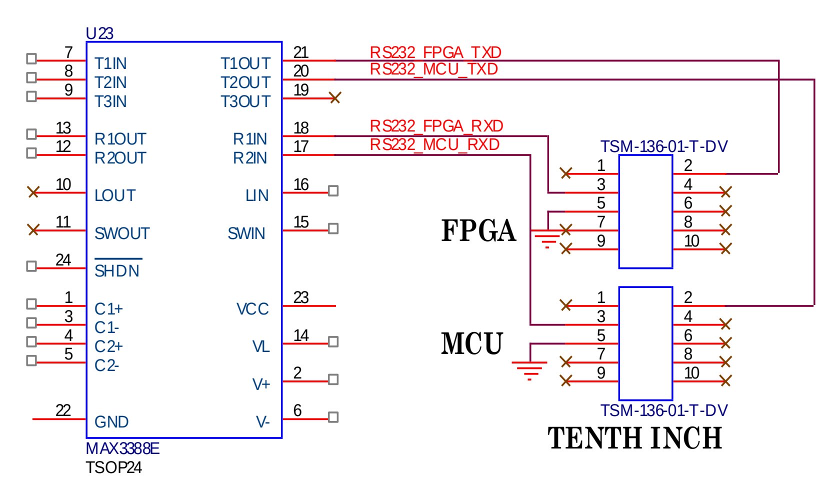


Figure 78 - Circuit RS232

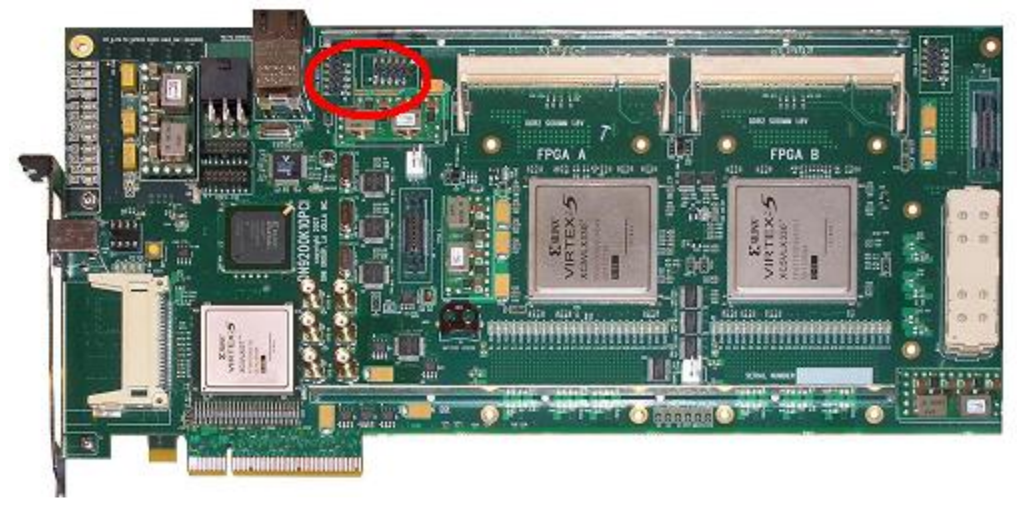


Figure 79 - Repère RS232

Un le panneau, la borne 1 est identifié par un grand, indubitable, blanc point de cercle. Sur le câble fourni, la borne une est identifiée par une raie rouge sur le câble. le Chaud-branchement de ce connecteur est acceptable et encouragé.

Les arrangements gauches exigés sur (« COM ») le port périodique de votre ordinateur dépendent de l'UART dans le FPGA. Puisque les signaux de régulation de débit sur le câble périodique ne sont pas reliés au FPGA, vous ne pouvez pas employer la « poignée de main de matériel ».

Les autres arrangements gauches : la commande d'écoulement de logiciel, la parité, les bits d'arrêt, la vitesse et les bits d'informations sont personne à charge de conception d'utilisateur. Il n'y a aucune conception fournie de la référence RS232.

14.1.1 Configuration RS232

Un deuxième en-tête RS232 (P3) est pour que les circuits de configuration donnent la rétroaction à l'utilisateur. Il est décrit dans la section « section de configuration ».

15 Sondes de température

Chaque FPGA est relié à un moniteur de la température. Ce moniteur peut intérieurement mesurer la température de la matrice de silicium de FPGA. La température de fonctionnement recommandée maximum du FPGA est 85°. L'exactitude de la sonde de température est au sujet de +0C° à +5C°. Quand les circuits de configuration mesurent la température de n'importe quelle élévation de FPGA au-dessus de 80°, ils un-configureront immédiatement le FPGA chaud, et l'empêchent de modifier. Quand la température chute en-dessous de 80, les circuits de configuration permettront encore au FPGA de configurer.

Quand ceci se produit un message apparaîtra sur le port des CONFIG RS232 (P3). Un résultat d'essai d'exemple est donné ci-dessous.

```
*****************************************************************************
ALERTE DE LA TEMPÉRATURE : FPGA
LA TEMPÉRATURE COURANTE : 81 DEGRÉS DE C
LA TEMPÉRATURE DE SEUIL : 80 DEGRÉS DE C
LE FPGA EST S'EST DÉGAGÉ AFIN D'ESSAYER D'EMPÊCHER LE DOMMAGE PAR LA
CHALEUR.
LE LOGICIEL EMPÊCHERA LA RECONFIGURATION JUSQU'À LA TEMPÉRATURE
LAISSE TOMBER UN PLEIN DEGRÉ AU-DESSOUS DE LA TEMPÉRATURE DE SEUIL.
*****************************************************************************
*****************************************************************************
ALERTE DE LA TEMPÉRATURE : FPGA A
LA TEMPÉRATURE COURANTE : 79 DEGRÉS DE C
LA TEMPÉRATURE DE SEUIL : 80 DEGRÉS DE C
LE FPGA S'EST LAISSÉ TOMBER AU-DESSOUS DU SEUIL D'ALARME
ET PEUT MAINTENANT ÊTRE MODIFIÉ.
*****************************************************************************
```

Les FPGA actionnent aussi chaud que 120°C avant la fonte, éjectant l'acide chaud sur votre main, mais à les températures au-dessus de 80°C, opération logique n'est pas garanties. Vous pouvez employer la température plaçant dans l'endroit d'ISE et conduire l'outil pour rendre des allocations de synchronisation pour actionner le FPGA out-of-range. Si vous voulez neutraliser la limite de la température sur le DN9200K10PCIE8T, vous pouvez faire cela qui emploie une option de menu dans l'interface de la configuration RS232. Vous pouvez également augmenter la température maximale laissée.

Sur des conceptions avec l'E/S pathologiquement bruyant, il y a un effet significatif « de rebond de la terre » en FPGA, et les sondes de température peuvent avoir des erreurs aussi hautes que 30 C°. Pour corriger ceci vous pouvez

- Augmentez le seuil de la température à 100°C. (Ajustant la synchronisation dans ISE)
- Ramenez la fréquence d'E/S à en-dessous de 150 mégahertz
- Suivez les limites de Xilinx SSO sur l'IOS
- Employez LVDS E/S

16 Chiffrage Batterie

Le Virtex5 FPGA soutient le chiffrage de train binaire. En utilisant le chiffrage, le FPGA doit décoder le bitstream en utilisant une clef secrète qui est stockée dans une mémoire persistante dans le FPGA. Quand le DN9200K10PCIE8T est mis hors tension , une tension est fournie au FPGA par une batterie installée dans la douille X2.

X2 est conçu pour loger une batterie de pièce de monnaie-cellule de lithium de CR1220-type. Typiquement, produit 3.0V de ces batteries. La douille peut également fonctionner avec les types DB-T13, L04, PA de batterie. Ceux-ci cependant, n'ont pas été examinés. Insérez le côté positif de batterie vers le haut.

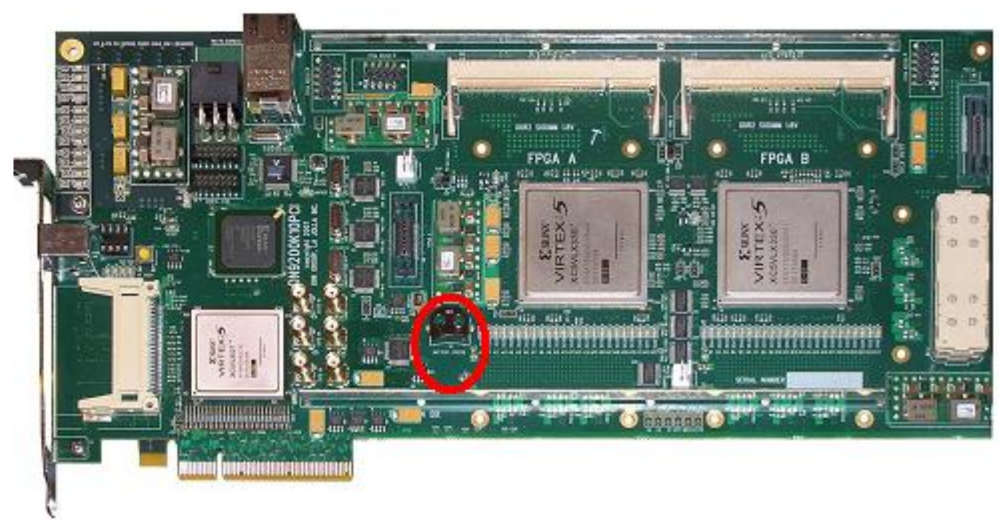


Figure 80 - Repère de batterie

La même batterie est utilisée pour des les deux FPGAs. L'enlèvement de la batterie fera perdre le FPGAs leurs mémoires de chiffrage, et devra être reprogrammé avant qu'elles puissent fonctionner avec les bitfiles chiffrés encore.

Pour créer a chiffré des bitfiles, allument l'option de « chiffrage » dans le bitgen. Le programme produira un dossier de rendement additionnel avec une prolongation de .nky. Employez l'impact de programme avec un câble d'USB JTAG de plateforme (branché au connecteur de FPGA JTAG sur le DN9200K10PCIE8T) pour charger ce dossier de .nky dans chaque FPGA.

Quand en utilisant un bitfile avec le chiffrage permis, le DN9200K10PCIE8T ne pourra pas lire le type de FPGA hors du bitstream. Il empêchera donc votre conception de FPGA de charger dans le FPGA. Pour neutraliser ce comportement, vous devez neutraliser le contrôle de santé d'esprit. Ajouter la ligne suivante à votre dossier de main.txt peut faire ceci

```
Contrôle de santé d'esprit : n
```

En outre, en utilisant le chiffrage, vous devez faire attention à placer correctement l'option « d'horloge de démarrage » correctement dans le bitgen, ou le FPGA ne configurera pas, et ne vous indiquera pas pourquoi.

Quoi que vous fassiez, si vous aimez votre FPGAs, ne neutralisez pas l'option « de contrôle de CRC » dans le bitgen. Cette option s'est à l'origine appelée « vous veulent votre FPGAs à *pas* accrocher au feu ? »

16.1 Batterie externe

Normalement, la permutation de la batterie sans perdre les données de chiffrage exige faire mettre sous tension le conseil tout en changeant la batterie. C'est rusé.

Afin de permettre la permutation d'une batterie avec le conseil mis hors tension, il y a un point test de mesure relié à la puissance de batterie qui peut être employée pour attacher une source extérieure de batterie ou de tension.

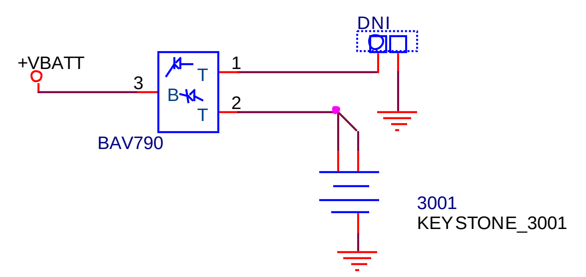


Figure 81 - circuit de batterie

17 Interface de LED

Cette section énumère toutes les LED. Des explications plus détaillées des fonctions de LED peuvent être dans les sections décrivant le système de conseil qui contient la LED.

17.1 Section de configuration LED

Ces LED sont commandées par le conseil (l'utilisateur n'a aucune commande).

Référence	Nom	Couleur	État de "ON"
Puissance LED			
DS9	+1VA	ROUGE	+1.0V sur FPGA A a échoué
DS12	+1VB	ROUGE	+1.0V sur FPGA B a échoué
DS13	+DIMM_A	ROUGE	La tension sur DIMM A a échoué
DS14	+DIMM_B	ROUGE	La tension sur DIMM B a échoué
DS15	+2.5V	ROUGE	+2.5V a échoué
DS16	+3.3V	ROUGE	+3.3V a échoué
DS17	+5.0V	ROUGE	+5.0V a échoué
DS10	AVERTISSEZ DIMM A	ROUGE	La tension sur DIMM A n'est pas 1.8V
DS11	AVERTISSEZ DIMM B	ROUGE	La tension sur DIMM B n'est pas 1.8V
DS1	LA PUISSANCE AVERTISSENT	ROUGE	Vous n'avez pas relié le cable électrique
DS18	SUR	VERT	Toujours où le conseil est en ligne
DS20	REMISE DE SYSTÈME	ROUGE	Le conseil est coincé dans la remise
Statut LED de configuration			
DS23	ERRCONFIG	ROUGE	Un FPGA n'a pas configuré

DS24	ERRTEMP	ROUGE	Un FPGA a surchauffé
DS27	LOI DE MB	JAUNE	MainBus a l'activité
DS28	LOI D'USB	JAUNE	MainBus a l'activité au-dessus de l'USB
DS90	LOI DE PCI	JAUNE	MainBus a l'activité au-dessus de PCIE
DS89	CFACT	JAUNE	La carte de CompactFlash est lue
DS30, DS31, DS32, DS33	SANS SIGNIFICATION	ROUGE	Vous mineurs l'attendez
DS35, DS36, DS37, DS38	SANS SIGNIFICATION	VERT	Vous mineurs l'attendez
DS88	FPGA_Q_LOL	ROUGE	Le synthétiseur d'horloge de GTP a échoué
DS22	G0_LOL	ROUGE	Le synthétiseur CLK_G0 a échoué
DS25	G2_LOL	ROUGE	Le synthétiseur CLK_G1 a échoué
DS29	G1_LOL	ROUGE	Le synthétiseur CLK_G2 a échoué
DS19	FAIT	BLEU	FPGA A est configuré
DS26	B FAIT	BLEU	FPGA B est configuré
DS34	SPARTAN_DONE	BLEU	Spartiate est configuré (toujours dessus !)
DS87	Q FAIT	BLEU	FPGA Q est configuré
Statut exprès LED de PCI			
DS7	PCIE GEN2	JAUNE	Le PCI exprès est lié à 5Gbs
DS4	LINK1	VERT	Le PCI exprès est lié avec 1 ruelle
DS6	LINK4	VERT	Le PCI exprès est lié avec 4 ruelles
DS5	LINK8	VERT	Le PCI exprès est lié avec 8 ruelles
DS3	PCIE LOS	ROUGE	Le PCI exprès n'a pas pu lier
DS8	PCIE_PERSTn	ROUGE	Le PCI exprès est remis à zéro par le centre serveur
DS2	LOI DE PCIE	JAUNE	Le PCI exprès est en service
DS91, DS92, DS93	PCIE CORRIGENT	JAUNE	Usage général LED pour FPGA Q

17.2 Utilisateur LED

Ces LED sont reliées à un FPGA et sont contrôleur par l'utilisateur. La signification de la LED est concevoir-dépendante. Au-dessous de est le circuit général utilisé pour relier l'utilisateur LED. Pour allumer la LED, conduisez le bas de signal. Pour s'éteindre, de trois états ou conduire-haut le signal.

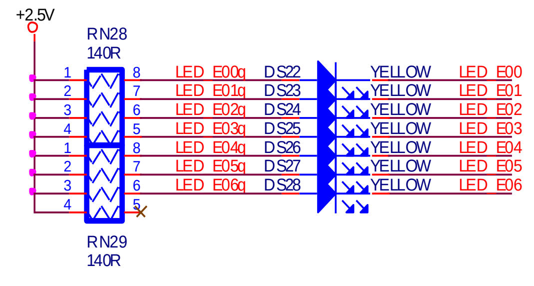


Figure 82 - Circuit de LED

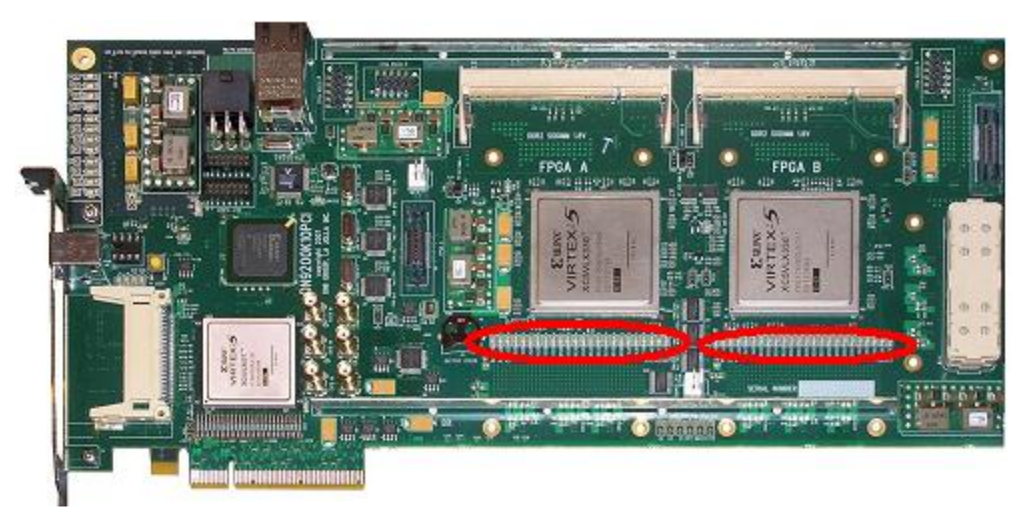


Figure 83 - Repère de LED

L'utilisateur LED sont reliés aux banques où les daughtercards sont reliés. La « tension de banque » ne peut pas match la tension courante de la source de la LED. Dans ce cas-ci, employez la correspondance standard d'entraînement à la banque, et pas la LED. Par exemple, quand un daughtercard LVCMOS25 est joint et tous autres signaux sur la banque emploient la norme LVCMOS25, employez la norme LVCMOS25 pour la LED sur cette banque. N'employez pas DCI sur des signaux de LED. Vous pouvez commander l'éclat des LED ou en employant bas-conduisez le réglage (DRIVE=2ma dans le dossier de .ucf), ou en rendant le rebond de rendement rapidement haut et bas comme mon chat.

Référence de partie	Nom de LED	Couleur
DS39, DS40, DS41, DS42, DS43, DS44, DS45, DS46, DS47, DS48, DS49, DS50, DS51, DS52, DS53, DS54	UTILISATEUR LED (FPGA A)	JAUNE
DS59, DS60, DS61, DS62	UTILISATEUR LED (FPGA A)	ROUGE
DS55, DS56, DS57, DS58	UTILISATEUR LED (FPGA A)	VERT
DS63, DS64, DS65, DS66, DS67, DS68, DS69, DS70, DS71, DS72, DS73, DS74, DS75, DS76, DS77, DS78	UTILISATEUR LED (FPGA B)	JAUNE
DS83, DS84, DS85, DS86	UTILISATEUR LED (FPGA B)	ROUGE
DS79, DS80, DS81, DS82	UTILISATEUR LED (FPGA B)	VERT

T1	Ethernet LINK1000	VERT
T1	Activité d'Ethernet	JAUNE
DS21	Ethernet LINK100	VERT

FPGA A et B chacun ont un total de 24 utilisateur-accès LED. Les LED numéro 0 à 23. L'endroit de l'IOS à employer pour ces LED peut être trouvé dans le dossier fourni d'UCF ou le netlist. Le nom de chaque LED est marqué dedans silkscreen à côté de la LED.

17.3 Ethernet LED

Ces LED sont commandées par l'Ethernet PHYs relié à FPGA B. Ils peuvent également être utilisateur-contrôleur en plaçant des registres dans l'interface série du PHYs.

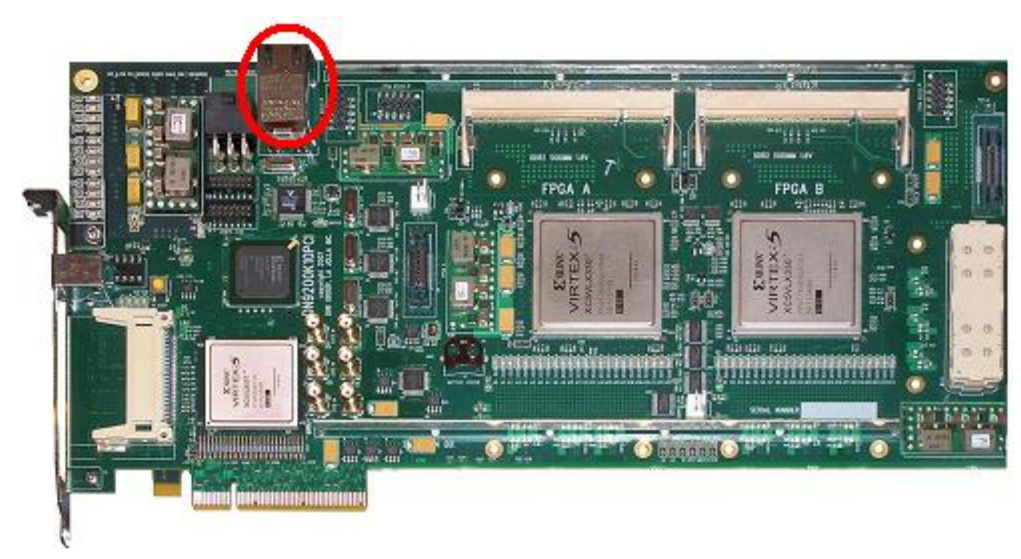


Figure 84 - Repère d'Ethernet

Le T1 et le T2 sont les crics RJ45 sur le bord supérieur du conseil. Il y a un jaune et une LED verte incorporés dans ce connecteur, faisant face au bord de conseil.

17.4 Puissance LED

Ces LED indiquent est une ou plusieurs alimentations d'énergie échouent, l'un ou l'autre qui produit une tension qui est trop haute ou si basse. La tension que la LED indique est marquée dedans silkscreen près de la LED.

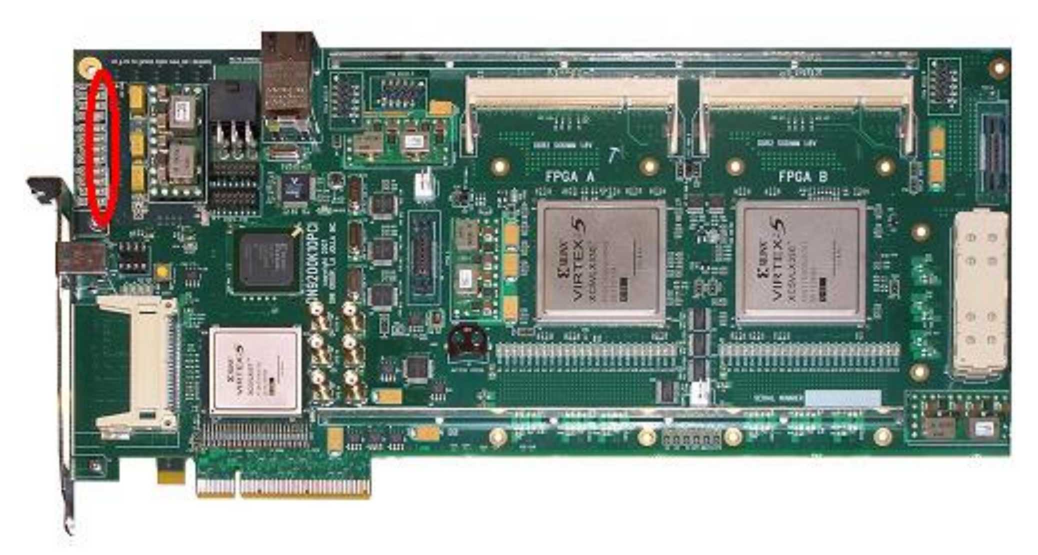


Figure 85 - Repère de panne de courant de LED

17.5 LED inutilisées

Ces LED sont commandées par les circuits de configuration. Une LED VERTE est toujours dessus. Un jaune un clignote quand quelque chose éliminée se produit. Le ROUGE deux ceux signalent quel FPGA subit une certaine sorte d'opération de configuration, et feront une pause avec cette indication s'il y a une erreur.

Le but primaire de ces LED si pour le groupe de Dini pour corriger son logiciel, ainsi pour moi ne soyez pas étonné si cette information était périmée déjà.

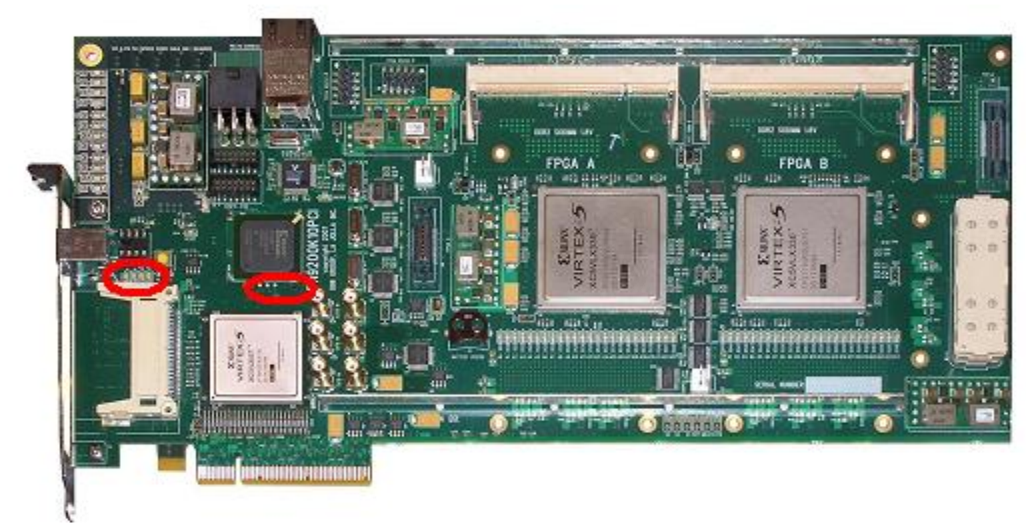


Figure 86 - Repère inutilisé de LED

18 DDR2 Douilles de DIMM

Il y a de deux « » des interfaces de douille de la mémoire DDR2 sur le DN9200K10PCIE8T. Par convention, le nom de cette interface reliée à FPGA A est DIMMA, celui relié à FPGA B est DIMMB. Dans cette section, les interfaces peuvent s'appeler « l'interface DIMM », « SODIMM » ou « DDR2 » l'un pour l'autre.

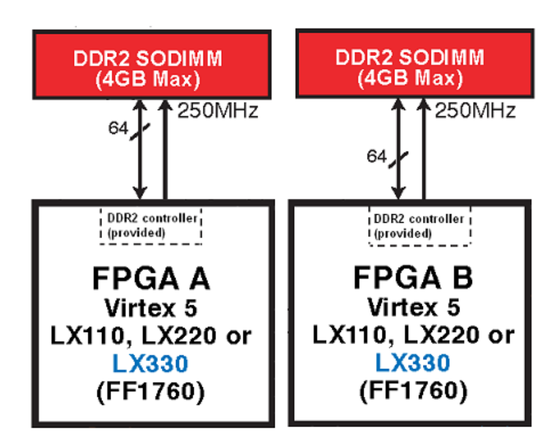


Figure 87 - Schéma fonctionnel de DIMM

Signalez les noms donnés dans cette section, et dans l'autre documentation (dossiers d'ucf) sont donnés dans le nom de signal< de la forme DIMMB_>.

18.1 Puissance

Chaque DIMM et sa banque associée de FPGA reçoit le courant d'une alimentation d'énergie réglable consacrée. Chaque DDR2 SODIMM est capable de dessiner 5A du courant quand en mode continu d'automobile-pré-charge.

Le DN9200K10PCIE8T est capable de fournir cette quantité de courant.

18.1.1 Tensions d'interface

La tension « standard' de l'interface DDR2 est +1.8V. Les banques qui se relient à l'interface de DIMM sont actionnées par 1.8V, et la puissance goupille sur la douille est reliées à ce même filet de puissance. Dans une interface DDR2, la plupart des signaux de DIMM sont conduites en utilisant la norme d'entraînement de SSTL18_DCI

DIMM_A*	SSTL18_I
DIMM_CAS#	SSTL18_I
DIMM_RAS#	SSTL18_I
DIMM_BA*	SSTL18_I
DIMM_WE	SSTL18_I
DIMM_ODT*	SSTL18_I
DIMM_CSE*	SSTL18_I
DIMM_S*	SSTL18_I
DIMM_DQS*P	DIFF_SSTL18_II_DCI
DIMM_DQS*N	DIFF_SSTL18_II_DCI
CLK_DIMM_CK*P	DIFF_SSTL18_I
CLK_DIMM_CK*N	DIFF_SSTL18_I
CLK_DIMM_CK2P	LVDS_EXT
CLK_DIMM_CK2N	LVDS_EXT
DIMM_DQ*	SSTL18_II_DCI
DIMM_DM	SSTL18_II_DCI
DIMM_SDA	SSTL2_I_DCI ou LVDS
DIMM_SCL	SSTL2_I_DCI ou LVDS
DIMM_DQ64	SSTL18_I et SSTL18_I_DCI

Les interfaces de DIMM ne sont pas conçues pour la chaud-prise.

Le signal de CLK_DIMM_CK2P/N est prévu pour être conduit par le FPGA (à 1.8V) dans le FPGA (à 2.5V). Son arrivée au FPGA et l'arrivée de CLK_DIMM_CK0 et de CLK_DIMM_CK1 au module de SODIMM sont synchronisées. Il peut être employé comme horloge de rétroaction pour un PLL, ou comme une horloge primaire pour l'interface de DIMM.

Le DIMM_DQ64 longueur-est assorti aux autres signaux de DQ*. Il n'a aucun but connu.

18.1.2 Changer la tension de DIMM

Si vous devez changer la tension de l'interface de DIMM, il y a un ensemble de points de pullover donnés pour chaque interface permettant à la puissance d'être réglée à une tension différente. Le pullover a quatre arrangements :

BORNE 1 - BORNE 2	La tension de DIMM est 3.3V
BORNE 3 - BORNE 4	La tension de DIMM est 2.5V

BORNE 5 - BORNE 6	La tension de DIMM est 1.8V
AUCUN PULLOVER	La tension de DIMM est 1.5V

N'importe quelle autre combinaison des pullovers produit une autre tension qui est trop haute pour que le FPGA manipule.

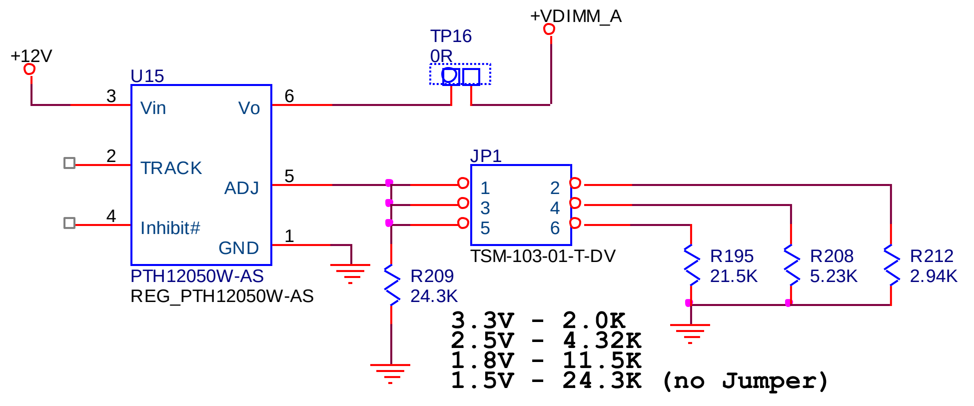


Figure 88 - Circuit de choix de tension de DIMM

Si vous êtes intéressé, vous pouvez voir comment les pullovers affectent le rendement de tension du régulateur. Si vous voulez le stocker pullover (quand en mode 1.5V), vous pourriez sans risque faire cela en reliant la BORNE de pullover 1 - la BORNE 3 ou la BORNE 2 - la BORNE 4 ou quelque chose.

Un certain groupe SODIMMs de Dini a besoin ces de la tension étrange d'alimentation d'énergie. (DNSODM_SDR, DNSODM_DDR1, DNSODM_DDR3).

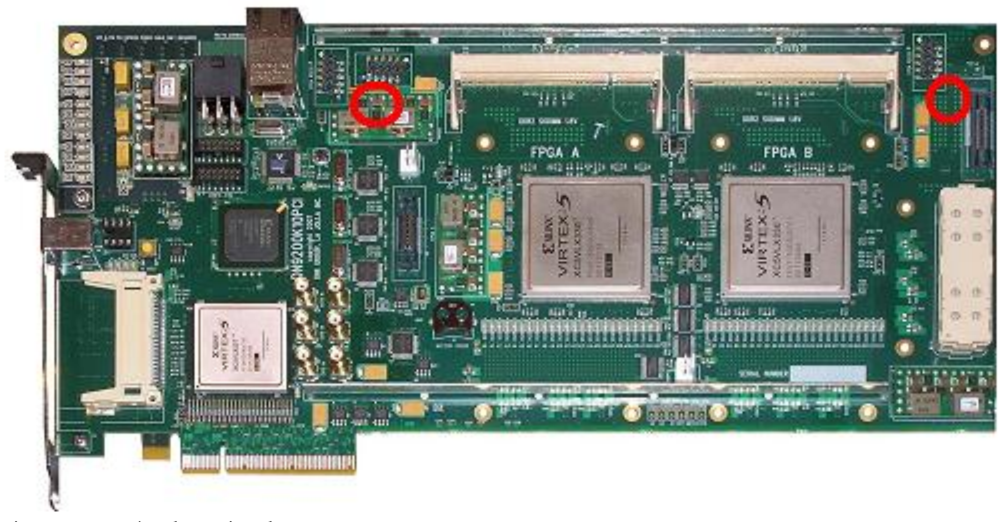


Figure 89 - Repère de tension de DIMM

Les blocs de pullover pour les deux DIMMs sont situés à côté des douilles de DIMM. Celui du côté gauche commande DIMM A et celui du côté droit les commandes DIMM B.

18.1.3 DIMM avertissant la LED

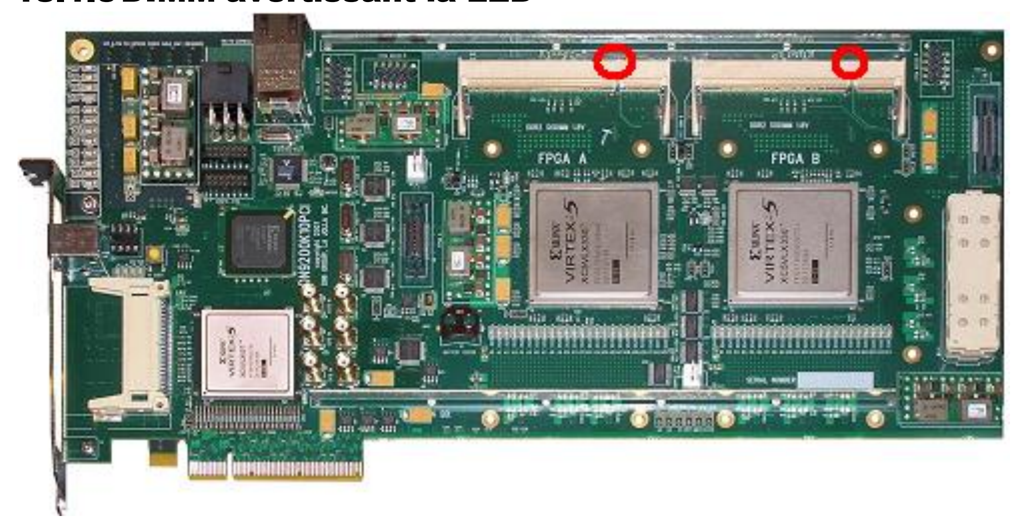


Figure 90 - DIMM avertissant le repère de LED

Quand la tension de DIMM est quelque chose autre que 1.8V, il y a une LED rouge cette des lumières à côté du DIMM. Cette LED signifie que vous devriez obtenir une sonde de tension et mesurer la tension étant fournie au FPGA et DIMM. Si cette tension est au-dessus de 3.3V, vous pourriez endommager votre FPGA.

18.2 Synchroniser

Les signaux de données dans l'interface DDR2 sont source-synchrone synchronisée. Afin de synchroniser dans et dehors les signaux de données de « DQ », le signal de DQS est employés comme horloge en utilisant le conducteur d'horloge de Virtex-5 « BUFIO ». Les détails sur la façon dont mettre en application un contrôleur DDR2 sont dans la note XAPP858 d'application de Xilinx. Vous pouvez également voir le code fourni de conception de la référence DDR2 par exemple.

Un schéma fonctionnel de base de synchroniser est donné ci-dessous.

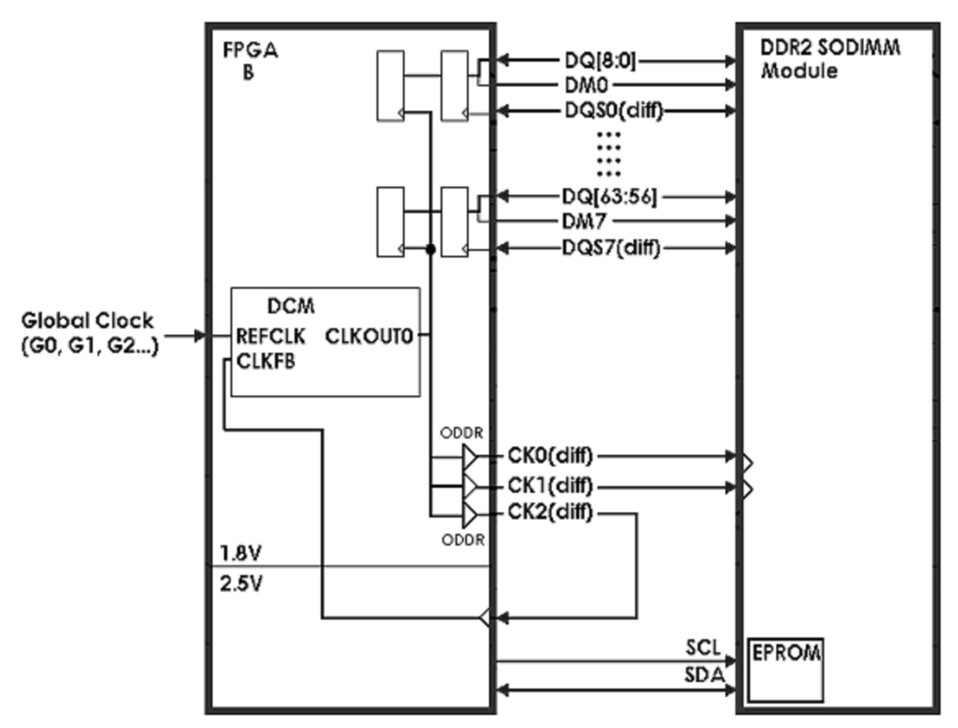


Figure 91 - Diagramme d'horloge de DIMM

Notez que le signal DIMM_CK2 est conduit par le FPGA par une banque 1.8V. Le rendement devrait être un DIFF_SSTL18. Il est reçu par goupille globale d'horloge (une « CHROMATOGRAPHIE GAZEUSE ») sur le dispositif Virtex-5. Pour recevoir le signal, employez une entrée de LVDS_EXT avec l'attribut de DIFF_TERM réglé POUR RECTIFIER.

Les signaux CK0, CK1 et CK2 longueur-sont assortis, ainsi cette entrée devrait être synchrone à l'entrée d'horloge du module de DIMM.

Les signaux de DQ et de DM sont synchrones aux signaux de DQS à chaque banque. Voyez les spécifications de module de DDR2 SODIMM pour l'information sur la synchronisation de cette interface.

18.2.1 Synchronisation de DQS

在命令您使用信号**计时**DQ和DM**输入** DQS，您在DQS能用途BUFIO**时钟信号缓冲。** Le contrôleur DDR2 fourni n'emploie pas cette méthode. (Il ajuste dynamiquement une horloge globale de DCM aux entrées)

18.2.2 Interface série

Les interfaces de SDA et de câble coaxial sont reliées aux amortisseurs de 2.5V LVCMOS. Externe tirer-se lève sont fournis sur ces signaux. L'adresse de tout le DIMMs sur le DN9200K10PCIE8T est placée à zéro. Vous pouvez (sur option) avez lu le bal d'étudiants IIC outre du DDR2 SODIMM pour déterminer dynamiquement les arrangements corrects pour le contrôleur DDR2. Le contrôleur DDR2 fourni fait ceci. Ou, vous pouvez employer notre contrôleur DDR2 fourni pour lire le contenu IIC du DIMM, employez alors cette information pour configurer votre propre contrôleur DDR2.

Les signaux de SDA et de câble coaxial sont également conduits aux signaux de GCLK sur le FPGA (2.5V). Ces signaux peuvent être employés comme entrées d'horloge sur des daughtercards du facteur de forme de SODIMM.

18.2.3 Synchronisation

L'assortiment de longueur des signaux d'interface DDR2 inclut tous les signaux excepté des signaux de DIMM_SCL et de DIMM_SDA.

En raison des techniques synchronisantes source-synchrones employées par l'interface DDR2, le retarder de FPGA à DIMM ne devrait pas être nécessaire, mais est fourni ici de toute façon.

DIMMA	0.658 NS
DIMMB	0.623 NS

L'impédance de trace à chacun des connecteurs est commandée à 50Ω. Tous les signaux dans l'interface terre-sont mis en référence. Notez que c'est contradictoire aux recommandations des spécifications de DDR2 SODIMM.

Pour augmenter le temps d'installation disponible pour des signaux de commande, des modules peuvent être placés dans le mode de T2. Dans la conception de référence, les modules sont en mode T1.

Signaux d'adresse et de commande :

FPGA :
Assumez un DCM en mode système-synchrone.
Le plus mauvais horloge--dehors à la période de Virtex 5 : 3.37 avec DCM. Aucun déphasage.
Le plus mauvais temps d'installation : 0.097
Le plus mauvais temps de prise : 0.21
DIMM :
installation 600ps
tenez 600ps

Signaux de DQ :

DIMM:
DQS doit être dans 350ps de DQ, DM
installation 400ps
Tenez 400ps
FPGA :
IDELAY
installation - 1.23
prise 2.14
horloge--dehors à 5.34

18.3 Modules compatibles

La liste est dans un chapitre postérieur. (L'information de commande)

18.4 Modules incompatibles



Le schéma 92 - Module lunaire

18.5 Points test de mesure

Chaque interface DDR2 expose cinq signaux comme points test de mesure, situés sur le fond du juste de carte sous le connecteur de SODIMM. Ces signaux sont DQ0, DQS0p, CK0p, RAS# et CAS#. Les points test de mesure sont marqués dedans silkscreen. Les points test de mesure près de DIMMA font partie implicitement de l'interface de DIMMA, et ainsi de suite.

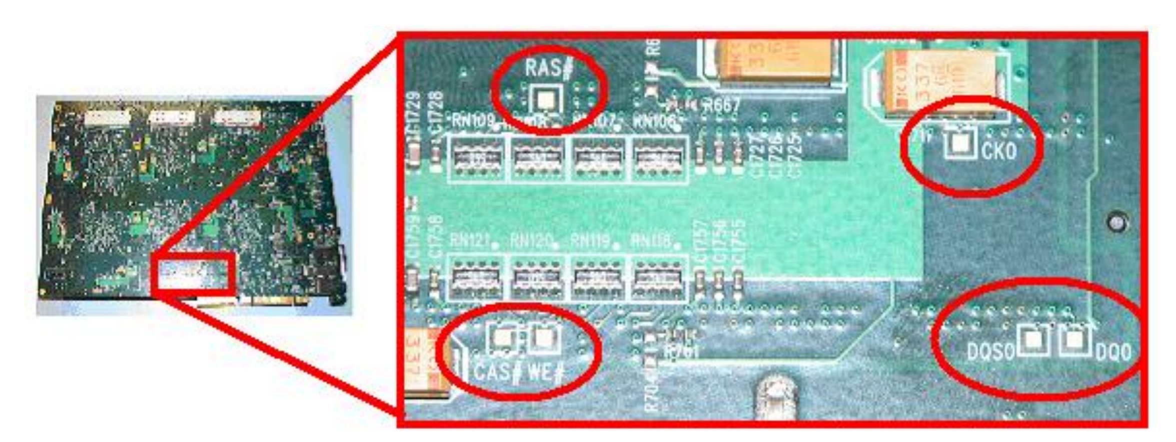


Figure 93 - Repère de point test de mesure de signal de DIMM

19 Interconnexion de FPGA.

L'interconnexion de Point-to-Point sur le DN9200K10PCIE8T est conçue pour fonctionner à la fréquence maximum de commutation possible sur le DN9200K10PCIE8T. La norme de commutation la plus rapide disponible sur le Virtex 5 FPGA est LVDS. Employer cette norme sur l'interconnexion d'un DN9200K10PCIE8T ; nous avons démontré des fréquences de changement aussi hautes que 950Mbs.

Un schéma fonctionnel de l'interconnexion de Point-to-Point est ci-dessous.

Figure 94 - Schéma fonctionnel d'interconnexion

L'interconnexion dans le diagramme ci-dessus est embrouillant décrite en tant qu'ensembles de deux autobus. Le « ab » est l'autobus entre FPGA A et FPGA B. Il contient :
100 « signaux de p » qui sont disponibles seulement si vous avez deux LX330s.
100 « signaux de n » qui sont disponibles seulement si vous avez deux LX330s.
134 « signaux de p » qui sont toujours disponibles.
134 « signaux de n » qui sont toujours disponibles.

C'est un total de 468 signaux qui peuvent être employés entre A et B (qui n'ont pas également un autre but).

Chacun FPGA--FPGA au signal d'interconnexion est examiné à 900 mis-bande avant l'expédition, aucune matière que la catégorie de vitesse est installé sur votre conseil. Des vitesses plus élevées sont possibles, donné les pièces appropriées de méthodologie de synchronisation d'E/S et de catégorie de vitesse.

Les pièces Virtex-5 sont annoncées pour aller aussi rapidement que 1.2 Gbs, mais je ne l'ai pas essayé (la conception de référence de groupe de Dini applique une méthode plus ancienne d'une note de Virtex-4 APP). L'information sur la façon dont réaliser cette vitesse de commutation d'interconnexion peut être obtenue en examinant la note XAPP855 d'application de Xilinx. D'autres méthodes d'implanter l'interconnexion de haut-largeur de bande sont décrites dans XAPP860.

Dans un système synchrone entre deux FPGAs et un DCM zéro-retardez dedans le mode, la synchronisation suivante est possible.

Horloge-à-dehors	3.4ns
La trace retardent	1.7ns
Biais d'horloge	0.2ns
Coefficient d'utilisation	0.05ns (mode de DDR seulement)
Frousse	0.1ns (ajustez aux JUJUBES)

Installation 1.0ns
6.4ns

Fréquence maximum : 156 mégahertz

Si LVDS est employé, veillez à assigner l'attribut de DIFF_TERM à l'IBUFDS dans le récepteur FPGA.

À mesure que la fréquence de communication synchrone entre FPGAs augmente, l'utilisateur doit mettre en application des techniques plus difficiles. Certaines de ces techniques sont décrites ci-dessous, avec une gamme de fréquence approximative pour leur exécution.

0 Mégahertz Quoi que.
20 Mégahertz L'utilisateur devrait employer le « paquet l'IOBs » en employant des attributs de synthèse. le rendement retardent pour chaque rendement et le temps d'installation pour chaque entrée est une valeur connue.
100 Mégahertz Employez DCMs dans chaque FPGA pour éliminer la variation du biais de réseau d'horloge interne à chaque FPGA et pour réduire horloge--dehors au temps. L'horloge doit être relaxé
250 Mégahertz Employez les amortisseurs de DDR synchronisant, et de DDR E/S
300 Mégahertz Employez synchroniser source-synchrone entre FPGAs. L'horloge est conduite avec données pour chaque autobus. Le FPGA de réception emploie le signal d'horloge, reçu sur a Goupille de « cc » pour synchroniser l'IOS dans l'autobus. Un élément d'IDELAY sur la goupille de cc l'entrée retarde l'horloge en ce qui concerne les données par une quantité fixe pour en laisser temps d'installation.
550 Mégahertz Employez la construction de Virtex 5 dans des modules d'ISERDES et d'OSERDES.
600 Mégahertz Employez Virtex 5 dispositifs de PLL pour réduire la frousse de cycle-à-cycle sur les horloges.
700 Mégahertz De-biaisez individuellement chaque peu en utilisant des éléments d'IDELAY. Employez un modèle de formation ou le dur-code le correct retardent des valeurs pour chaque entrée.
800 Mégahertz Employez la norme de signal de LVDS
900 Mégahertz De-biaisez dynamiquement chaque peu pour expliquer la variation de la température et de tension
1+ Gigahertz Les pièces de catégorie de vitesse les plus élevées sont exigées.

Notez que pour des vitesses au-dessus de 550 mégahertz, vous devez utiliser les modules d'ISERDES et d'OSERDES, qui ajoutent la latence à votre interconnexion. (Aux vitesses plus considérablement que 500 mégahertz, là sont plus d'un horloge-cycle de latence dans la trace de conseil seul retardent).

Notez en outre qu'en utilisant la technique d'ISERDES ou d'IDELAY, la latence n'est plus fixée entre le FPGAs, et la par-ruelle « cycle » De-biaisez sera également exigé.

Pour la largeur de bande maximum entre les pièces de twp, employez la signalisation assymétrique à 700 mégahertz. Pour la signalisation assymétrique, un IOSTANDARD de LVCMOS25 est approprié. Employez la force d'entraînement de 6mA ou de 8mA. En utilisant la signalisation assymétrique, les limites de SSO du dispositif doivent être maintenues. Vous pourriez faire ceci en ayant des phases à sorties multiples, en équilibrant le nombre de sorties et d'entrées sur une banque simple, ou en s'appliquant un codage parallèle commutation-équilibré aux données.

20 Autobus principal

L'autobus principal est l'interface que le DN9200K10PCIE8T emploie pour apporter à l'USB et à l'accès de PCIe à tous les deux Virtex-5 FPGAs. Si vous voulez utiliser l'USB dans votre conception, ou voulez

l'accès de PCIe sans mettre en application PCIe dans FPGA, alors vous devez mettre en application un autobus principal slave dans votre FPGAs. Les conceptions de référence incluent un tel contrôleur, et vous êtes libre pour l'employer.

Conduisez la force.
Veuillez utiliser l'IOS de force le plus élevé d'entraînement disponible (24mA)

20.1 Signaux de mb

Le DN9200K10PCIE8T, en plus de l'interconnexion dense disponible entre FPGAs dans une topologie de Point-to-Point, fournit un autobus signal-large du « mb » 36 qui est relié aux deux Virtex-5 FPGAs.

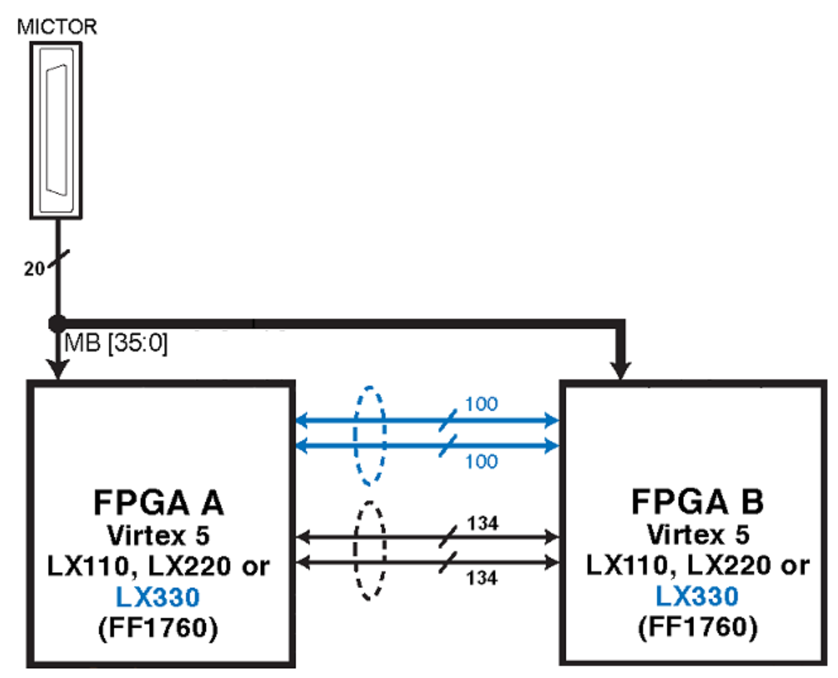


Figure 95 - Schéma fonctionnel principal d'autobus

Ces signaux sont réservés pour la communication exprès d'USB et de PCI en utilisant l'interface « d'autobus principal ».

20.1.1 Mb contre Désambiguisation de MainBus

J'essaye mon meilleur pour dire « MainBus » quand je parle de la définition d'interface qui permet à FPGAs d'accéder à l'USB et au PCI exprès. J'essaye de dire le « mb » quand je parle des 36 signaux physiques réels que ces interfaces emploient.

20.1.2 Élém. élect.

Les signaux de mb sont fixes à un 2.5V signalant de niveau. LVCMOS25 est une norme choisissante appropriée. En raison des charges capacitives lourdes sur le mb signale, vous devrait employer la force d'entraînement de 24mA pour utiliser l'autobus principal. DCI ne devrait pas être employé parce que les signaux ne sont pas impédance-commandés. Bien que non eu besoin, par convention, des données sur les signaux de mb est synchrone à l'horloge MB48. Afin d'employer l'interface « d'autobus principal » pour communiquer avec l'USB ou le PCI exprès, vous devez utiliser l'horloge MB48. Cette horloge fonctionne à des 48 mégahertz fixe.

Notez qu'aussi bien que les 36 « le mb » signaux, là sont également 16 signaux dans le « selectmap_d [15 : 0] » qui se relient à tout le FPGAs qui pourrait être employé pour des données d'utilisateur. Le groupe de Dini ne soutient pas directement en utilisant ces signaux. Si vous choisissiez d'employer ces signaux, notez que la conception de FPGA peut interférer la programmation de FPGAs. Vous devriez garder les sorties sur ces signaux tri-indiqués jusqu'à ce que toutes les configurations de FPGA soient complètes.

20.1.3 Synchronisation

Comme décrit ci-dessus, les signaux de mb sont synchrones typiquement couru 48 à l'horloge de mégahertz CLK_MB48. Le retarder pour chaque trace principale d'autobus n'est pas donné. Cependant l'interface est au moins assez rapide pour fonctionner synchroniquement à 48 mégahertz.

Vous pouvez pouvoir réaliser l'exécution de FPGA-à-FPGA sur cet autobus aussi haut que 125 mégahertz, ou plus haut si vous ajustez des horloges d'entrée et de rendement et exécutez une analyse de synchronisation.

20.2 Codes d'erreur

L'interface de bus principale n'a aucune manière de signaler une condition d'erreur sur des demandes lues, mais quelques erreurs auront comme conséquence les mêmes valeurs de sentinelle étant retournées. Suivret une liste de ces valeurs.

0xABCDABCD : L'autobus principal a indiqué chronométré dehors. (PCIe seulement)

0xDEADDEAD: L'autobus principal a donné lecture des périodes (USB seulement). Quand cette condition se produit, un registre, accessible en tant qu'élément de l'espace « de registre de configuration », incréments. De cette façon, il est possible que un programme principal d'accès d'autobus vérifie qu'une transaction de MainBus a réussi.

0xFFFFFFFF : L'autobus de PCIe a chronométré dehors. Ce n'est pas une valeur retournée par le DN9200K10PCIE8T. La demande de PCIe n'a pas été retournée. FPGA Q ne peut être configuré correctement.

0xDEAD5566: Cette valeur est retournée par la conception de référence de groupe de Dini comme valeur par défaut, quand une demande lue est à une adresse qui n'a aucun registre lié à elle.

0x12345678: L'autobus principal est handicapé. C'est l'état de défaut du DN9200K10PCIE8T quand il met sous tension. Pour placer le DN9200K10PCIE8T pour permettre, un registre de configuration doit être écrit. Ce comportement est prévu pour protéger les utilisateurs qui ne souhaitent pas mettre en application l'interface de bus principale, mais qui le souhait pour employer le MB0-MB35 signale pour leurs propres buts.

20.3 Interface principale de l'autobus FPGA

Toutes les transactions mémoire-tracées en conception de référence se produisent au-dessus de l'autobus de mb. Cet autobus de 36 signaux se relie à tout le Virtex 5 FPGAs et 3 à la configuration spartiate FPGA. Le circuit de configuration (3 spartiates) est le maître de l'autobus. Tout l'accès à l'autobus de mb (lit et écrit) est lancé par les 3 FPGA spartiates quand la conception de référence est en service.

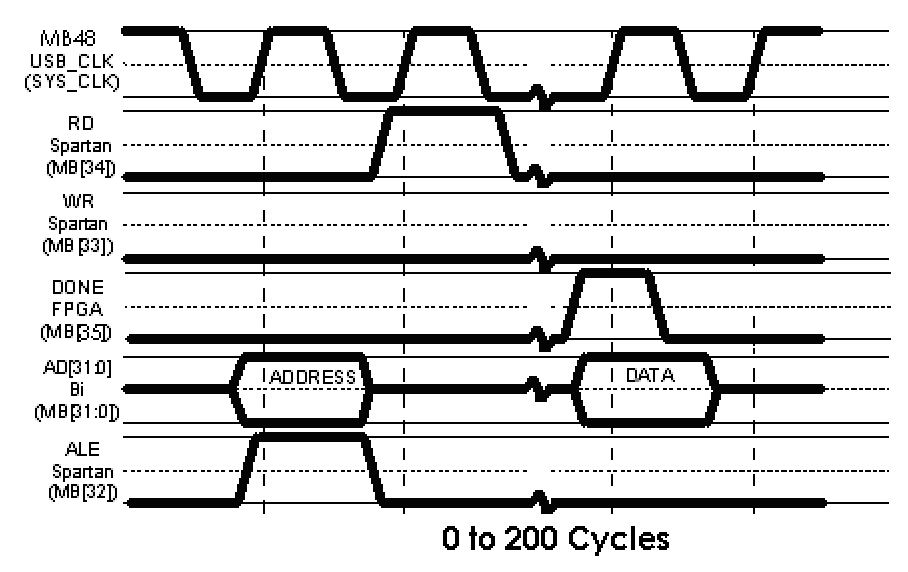


Figure 96 - L'autobus principal imprécis a indiqué la synchronisation

Tout transfère un synchrone au signal CLK_MB48. Cette horloge est fixe à 48 mégahertz, et ne peut pas être changée par l'utilisateur. Cette horloge est LVCMOS, assymétrique. Pour la meilleure exécution, la plus haute résistance disponible d'entraînement dans le FPGA peut être utilisation. Quand le circuit de configuration affirme le signal de BIÈRE ANGLAISE, le dispositif slave sur l'autobus (le FPGA) est exigé pour enregistrer les données sur dessus l'autobus d'ANNONCE. C'est « l'adresse principale d'autobus ». Tous les futurs transferts sur l'autobus principal seraient à cette adresse, jusqu'à ce qu'une nouvelle adresse soit verrouillée. Sur un rhythme postérieur, le maître peut affirmer le signal de « RD ». Une certaine heure après ceci, (à moins de 200 rhythmes), le FPGA devrait affirmer MB_DONE pour un rhythme. Sur ce cycle, le maître (spartiate) enregistrera les données sur l'autobus d'ANNONCE, et cela sera les données lues. Si MB_DONE n'est pas affirmé, alors un arrêt sera enregistré et la transaction sera décommandée.

Voici une transaction d'inscription :

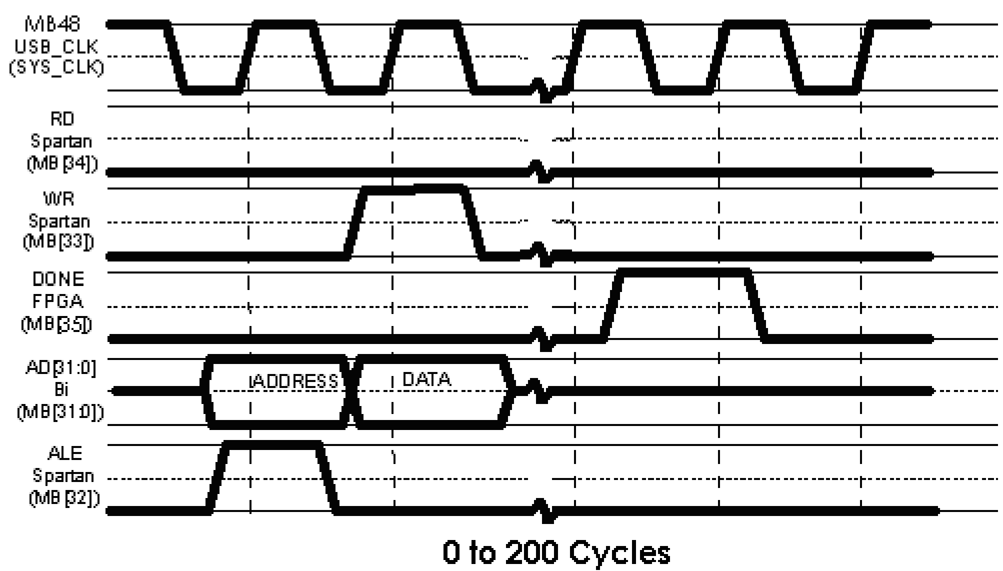


Figure 97 - L'autobus principal imprécis écrivent la synchronisation

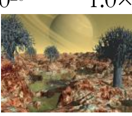
Quand le spartiate affirme le signal de « WR », le FPGA devrait enregistrer les données sur l'autobus d'ANNONCE.

Une certaine heure après ceci, le FPGA devrait affirmer le signal de MB_DONE. Ceci permettra au spartiate de commencer plus de transactions. Le FPGA peut retarder ceci pour jusqu'à 200 rhythmes avant qu'un arrêt soit enregistré et la transaction est décommandée.

L'autobus principal peut être commandé du programme de contrôleur d'USB. (Lu et écrivez les adresses simples, ou to/from classe) il peut également écrire de la méthode de configuration de main.txt. La syntaxe de main.txt est

Adresse PRINCIPALE de l'AUTOBUS< 0x> données< 0x>

Là où <adresse> et <données> sont les nombres hexadécimaux (de 32 bits) à 8 chiffres.

Compte de cycle :	1.0×10^{0}	1.0×10^{5}	1.0×10^{10}	1.0×10^{15}	1.0×10^{20}	1.0×10^{25}
Comportement :						

20.3.1 mb_target.v

Un dossier est à condition que puisse être employé comme a baisse-dans l'interface de cible de MainBus. Il met en application également l'attribution de mémoire conventionnelle entre FPGAs par l'utilisation d'un paramètre au moment de la compilation. Afin de changer l'attribution de mémoire conventionnelle, vous devrez modifier mb_target.v

20.3.2 Carte mémoire conventionnelle

Par convention, FPGAs sur l'interface de bus principale sont assignés des plages d'adresses. Assigner des plages d'adresses est exigé parce que les signaux « d'originaire de FPGA » (MB_DONE) doivent être conduits par seulement un FPGA à la fois.

La convention que le groupe de Dini emploie est de réserver les quatre bits supérieurs dans l'adresse car FPGA-choisissez l'adresse. La plage d'adresses (sortilège)
0x00000000 - 0x0FFFFFFF est réservé pour FPGA A.
0x10000000 - 0x1FFFFFFF est réservé pour FPGA B,
et ainsi de suite.

L'utilisateur n'a pas besoin de suivre cette convention, mais à moins que vous ayez besoin vraiment d'adresses de 32 bits, nous recommandons de l'employer. Seulement un FPGA a la « commande » du signal FAIT. Si la dernière adresse verrouillée par ALE n'était pas pour un FPGA donné, elle devrait de trois états le rendement. Avant de tri-énoncer n'importe quel signal avec tirez-vers le haut ou résistance déroulante, il est dans de bons habitudes de conduire le signal à la valeur de C.C avant le tri-énoncé. (De sorte que résultat d'émulation de match de volonté de simulation).

21 Ethernet

Une interface d'Ethernet est disponible à FPGA A. Il est fourni par un Ethernet PHY de tri-mode de Vitesse VSC8601. Le connecteur RJ45 peut être utilisé pour se relier au raccordement d'un réseau 10BaseT, 100Base-TX, ou 1000Base-T Ethernet régulier.

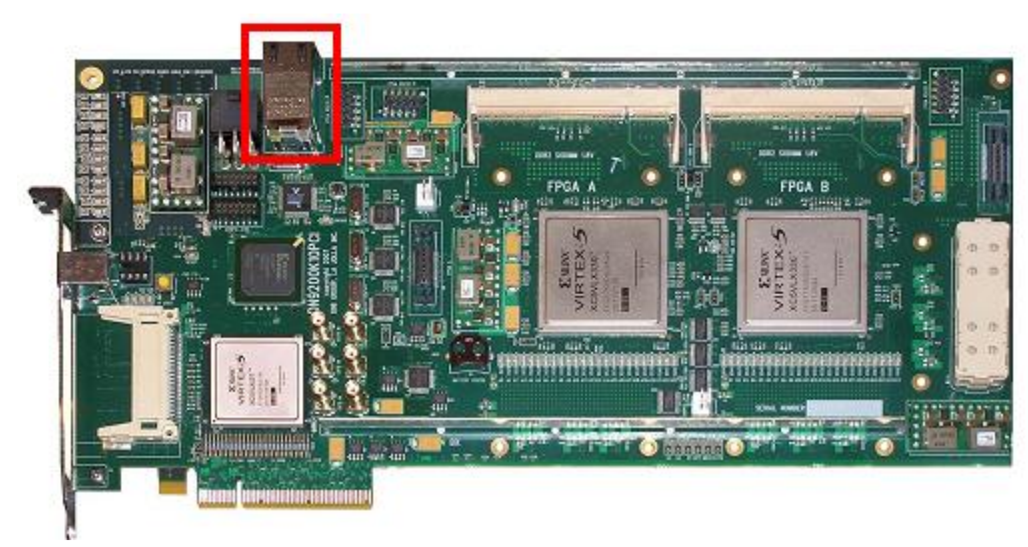


Figure 98 - Repère d'Ethernet

Le dispositif VCS8601 ne contient pas un IMPER d'Ethernet. Le FPGA doit mettre en application une pile complète de réseau pour se servir du raccordement d'Ethernet.

http://www.opencores.org/projects.cgi/web/ethernet_tri_mode/overview

21.1 RGMII

4 l'interface du bit GMII est la seule interface strictement exigée sur le dispositif de PHY. Les EEPROM, MDIO, et d'autres signaux sont seulement exigés si vous voulez mettre le PHY dans un mode qui n'est pas défaut.

L'adresse de SMI (des signaux de MDC, de MDIO) est placée à 0000.

21.1.1 Élém. élect.

La norme électrique appropriée à employer est LVDCI_25. En mode de Gigabit (défaut), l'interface MII fonctionne à 125MHz, DDR.

Le signal CLK_ETH125 devrait employer le SSTL_II_25_DCI signalant la norme.

21.1.2 Synchronisation

Le panneau est prévoir conçu pour un modèle particulier d'utilisation pour la synchronisation d'E/S.

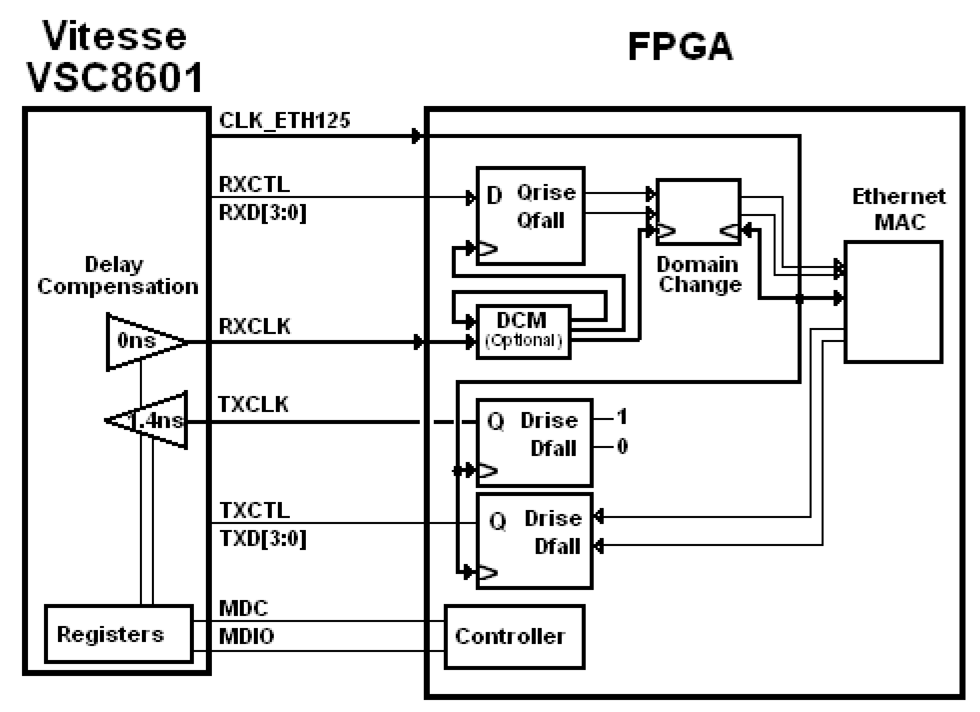


Figure 99 - Synchronisation d'Ethernet

Le plan synchronisant ici suppose que vous courez en mode de gigabit. Si en mode de 100 ou 10 millions de bits, alors une autre chose pourrait être exigée.

L'interface exige une horloge de système de 125 mégahertz. La pièce fournit commodément à ceci le signal CLK_ETH125. Ce signal devrait être employé pour conduire l'interface de TX et le contrôleur d'IMPER.

Pour la synchronisation d'interface de TX, vous pouvez produire l'horloge et les données avec zéro biais entre elles, suivant les indications du diagramme ci-dessus, et placez le registre de compensation d'horloge de TX dans la pièce de Vitesse pour répondre aux exigences d'installation et en temps de prise. Alternativement, vous pouvez faire autre chose. Afin de produire une horloge avec zéro biais des données, vous utilisez une inscription du rendement DDR (ODDR) au Modem de bord se levant à 1 et au bord en chute réglé à 0.

Pour la synchronisation d'entrée, vous pouvez synchroniser les signaux de données de RX outre du RXCLK, et puis faites un changement asynchrone de domaine à l'IMPER d'Ethernet, ou vous pouvez figurer dehors ce qu'est l'excentrage correct de phase entre le signal CLK_ETH125 et le signal de RXCLK et faire un changement synchrone de domaine. Nous faisons l'ancien parce qu'il est très facile mettre RGMII dans un amortisseur élastique.

Tous les signaux sur RGMII biaiser-sont assortis sur le conseil à en dedans : 100ps

FPGA :
DCM est en mode système-synchrone sans l'ajustement de phase
Le plus mauvais horloge-à-dehors 3.37
Le plus mauvais temps d'installation 0.097
Le plus mauvais temps de prise 0.21

PHY : (horloge mesurée à la goupille de PHY)
horloge-dehors 2ns
installation 2ns
valide 1.2ns

21.2 Registres de configuration

Afin de lire et écrire des registres sur le Vitesse pièce, vous doivent mettre en application un contrôleur de MDIO. Vous devrez probablement regarder le datasheet de Vitesse pour voir où les endroits de registre sont et des synchronisations d'E/S, etc. Cette étape est probablement exigée, parce que ne pas être les arrangements de registre de défaut peuvent ou peuvent ce que vous voulez.

Si vous ne mettez pas en application l'interface de MDIO, alors les arrangements de défaut sont employés pour le dispositif. Ceci inclut les arrangements qui sont indiqués par les entrées à multiniveaux reliées aux résistances.

Les options de CMODE de l'Ethernet PHYs a été placées comme suit

CMODE0 - 0100 (résistance de 8.25 kΩ)
CMODE1 - 0000 (0 résistances de Ω)
CMODE2 - 0001 (résistance de 2.2 kΩ)
CMODE3 - 0000 (0 résistances de Ω)

Ceci a comme conséquence les arrangements suivants

ADDR	=	00000	Adresse de MDIO
CLKOUT	=	VRAI	Conduit le signal CLK_ETH_125
PAUSE	=	00	Je ne sais pas
RÉTROGRADATION	=	FAUX	Je ne sais pas
VITESSE	=	00	Mode de Gigabit seulement
ACTIPHY®	=	FAUX	Je ne sais pas ce qu'est ce.
BIAIS	=	11	Ceci commande le MII chronométrant. Il pro bably ne travaillera pas jusqu'à ce que vous placiez ceci.
MODE DE CALIBRAGE D'IMPER	=	00	? ? ? ? ? ? ? ?

Les LED sur le connecteur RJ45 sont commandées par le PHY. La LED ambre indique que l'activité et la LED verte indique le lien en gigabit. La LED, DS64, situé à côté du connecteur RJ45, indique le lien en mode 100Mbit. 10Mb le lien LED n'est pas configuré.

La prise chaude est acceptable sur un raccordement 1000Base-T.

L'Ethernet PHY fonctionne avec l'IP d'Ethernet de Xilinx, mais seulement dans 10 et modes 100Mbit.

21.3 MII interface

L'interface physique est 1000Base-T, 100Base-T ou 10BaseT. Il a un connecteur modulaire du modèle « RJ45 ». Il est relié par un transformateur. Il est chaud-permutable.

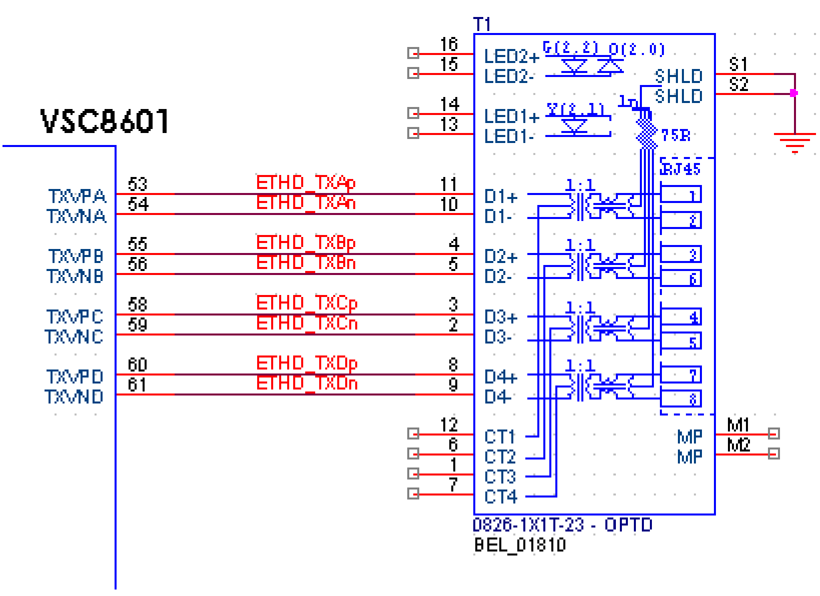


Figure 100 - circuit 1000Base-T

La coupure schématique ci-dessus est inutile mais des sembler frais et technologiques.

Je ne sais pas quoi encore pour dire à ce sujet. Recherchez 1000Base-T

21.4 EPROM externe

Chaque FPGA qui a un connecteur d'Ethernet là-dessus également a un EPROM très petit. Ceci est typiquement employé pour stocker un MAC address et des nombres de téléphone. Les détails limités à son sujet sont dans une autre section.

21.5 Config d'EPROM PHYuration

Les signaux d'EEDAT et d'EECLK sont prévus pour relier le PHY à un EPROM qui contiendrait des arrangements de configuration pour le dispositif (comportement , MII de LED synchronisation, vitesse de lien, duplex, négociation automatique, etc.). Puisque l'interface de MDIO est reliée au FPGA, il est peu probable vous emploierait jamais ces signaux, à moins que vous aimiez juste émuler EPROMs des week-ends et des vacances.

Ceci peut être employé au lieu de l'interface de MDIO.

21.6 JTAG

Le dispositif VSC8601 est attaché à une chaîne de JTAG. Je ne sais pas pourquoi vous avez besoin de l'accès à ceci. Il n'est pas examiné ou n'est pas pensé environ jamais. Cette chaîne de JTAG ne se relie pas à la chaîne de FPGA JTAG. C'est 3.3V.

21.7 IMPER d'Ethernet

Il n'y a aucun IMPER fourni. Vous pourriez penser que « je peux utiliser l'IMPER intégré du tri-mode Virtex-5 ! ! » Cependant, vous serez déçu parce que ce n'est pas disponible dans le LX330. Vous pouvez conduire l'interface MII toute manière plus d' au LXT (FPGA Q) et utiliser son IMPER dur si vous voulez. Ce ne serait pas très dur.

Vous pouvez également acheter l'accès à l'IMPER mol de Xilinx. Vous devez probablement mettre en application un processeur et une pile de réseau de logiciel. La manière que nous l'avons faite emploie la version de démonstration de Xilinx de leur IMPER de 10/100, et relié lui à une pile courante de lwip de Microblaze. Nous avons dû écrire converti entre GMII et RGMII, qui est fondamentalement juste ajoutant une bascule de DDR.

22 EPROM

Un petit EPROM (1 kΩ) est attaché à FPGA A. Ces dispositifs sont prévus pour stocker des descriptions pour produire d'une adresse unique d'IMPER pour les interfaces d'Ethernet. Cependant, l'EPROM peut être employé pour n'importe quel but défini pour l'utilisateur exigeant la statique-mémoire intensive charge, comme se rappeler votre nom et anniversaire.

L'interface à l'EPROM est un IIC standard à 1.8V. L'adresse IIC des dispositifs est 1010 000 (binaires)

La fréquence d'horloge maximum de l'interface IIC est de 400 kilohertz

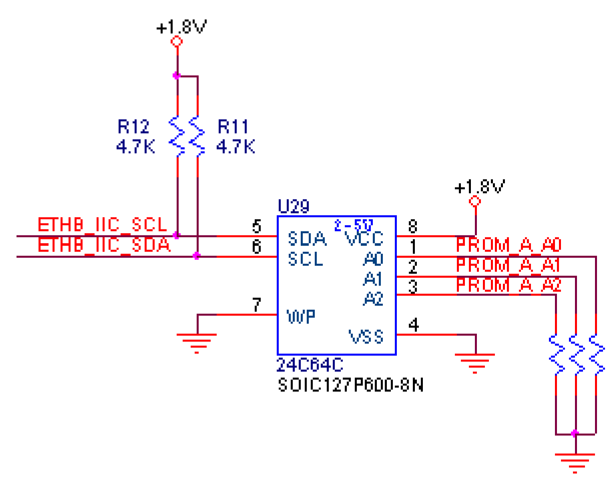


Figure 101 - Circuit d'EPROM

23 Flash de SPI

Pour les besoins de mémoire non-volatile, un flash périodique de la milieu-densité SPI est fourni sur chaque FPGA.

23.1 Sur FPGAs A et B

Le SPI a clignoté sur FPGA A et B sont 16 mbs, le numéro de la pièce AT45DB161D. Vous devriez regarder dans le datasheet pour la présente partie pour voir l'interface d'E/S et les conditions de synchronisation. Les signaux sont LVCMOS25. Les dispositifs instantanés ne peuvent pas être utilisés pour la configuration, seulement pour des données d'utilisateur.

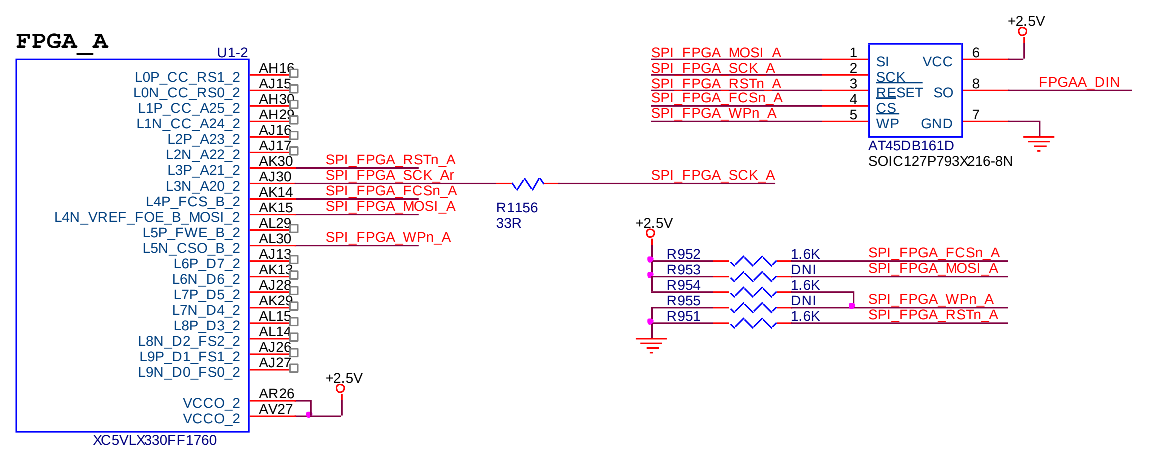


Figure 102 - Circuit instantané de SPI

Veuillez noter que le signal d'entrée « DIN » se relie à la goupille « DIN » du FPGA. Cette goupille ne peut pas être placée comme un E/S normal. Afin d' accéder à cette goupille comme entrée, vous avez besoin d'instantiate un STARTUP_VIRTEX5 dans votre conception, et employez le port de DINSPI de ce module. En outre, puisque personne ne sait la synchronisation de ce port, nous n'avons aucune idée ce qui est la vitesse maximum de l'interface de SPI.

23.2 Sur FPGA Q

Un FPGA Q, les situations est semblable, mais avec quelques différences importantes. La norme de signal est LVCMOS33. Le numéro de la pièce est AT45DB642D. Le bidon de pièce et devrait être utilisé pour configurer le FPGA. Cependant, si vous êtes très intelligent, vous pouvez également employer le flash pour des données d'utilisateur. De la même manière, l'entrée DIN doit être obtenue du module STARTUP_VIRTEX5. En plus, le signal de SCK doit être conduit par le port d'USRCCLKO du module STARTUP_VIRTEX5.

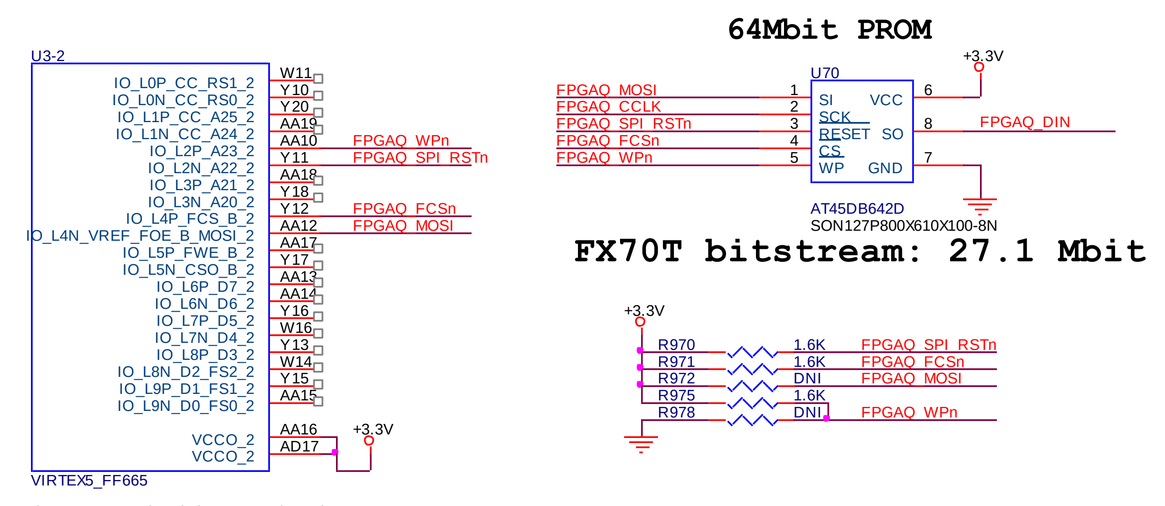


Figure 103 - Circuit instantané Q de SPI

Afin de programmer ce flash avec un dossier de peu, vous pouvez employer l'impact de programme de Xilinx. D'ici vous pouvez choisir le FPGA Q (dernier article sur la chaîne de JTAG) et avez choisi le « flash du programme SPI ». Le programme d'impact chargera automatiquement le FPGA avec un dossier de peu qui permet la programmation du flash, programment employer instantané que bitfile, puis

programment le FPGA avec le dossier de peu que vous avez juste chargé dans le flash en utilisant JTAG. Voyez la section sur « mettre à jour des progiciels », en tant que cette section a des choses utiles comme les récupérations d'écran et corriger.

24 Connecteur de Mictors

Il y a trois 38 la goupille connecteurs de « Mictor » sur le conseil afin d'employer un analyseur de logique. (Si vous employez toujours un analyseur de logique ils sont *ainsi* 2002) Considérez employer un analyseur incorporé de logique à la place comme ChipScope ($500). Cet analyseur de logique endroit-et-conduisent dans votre conception, dans le RTL, ou la poteau-synthèse. Ils sont plus flexibles qu' un analyseur autonome et peuvent simultanément accéder à plus de signaux et de déclenchements.

Bien que le Mictors soient conçus pour être employés avec un analyseur de logique, ils peuvent également être employés pour câbler deux conseils ensemble, ou à une carte de fille, ou juste pour l'usage comme points test de mesure. Les signaux de « déclenchement » se relient aux goupilles horloge-capables d'E/S, et ainsi peuvent être employés en tant que bas-biaisent des entrées d'horloge.

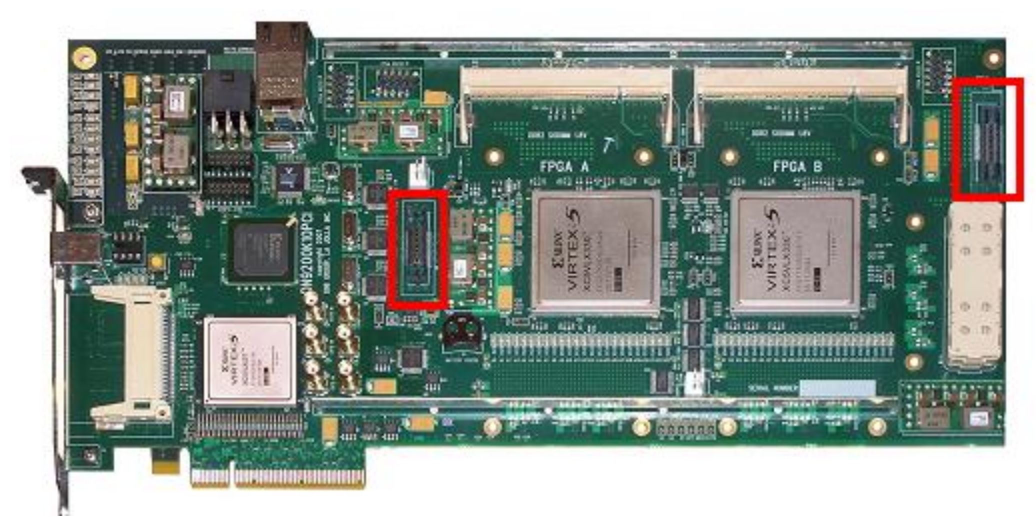


Figure 104 - Repère de Mictor

le Chaud-branchement d'un connecteur de Mictor est généralement sûr. Une fois reliés à un analyseur de logique, les signaux MICTOR32 et le MICTOR33 peuvent être employés comme signaux de déclenchement. J'ai employé jamais réellement un analyseur de logique ; Je n'ai aucun indice de ce que je parle.

Figure 105 - Câble de Mictor

Les signaux se sont reliés au Mictor sont 50Ω. DCI et SSTL (entrée référencée) peuvent être employés sur l'interface de Mictor.

24.1 FPGA un Mictor

Le Mictor relié à FPGA A a un total de 34 signaux (32 plus deux déclenchements). Le niveau de tension de chaque signal est déterminé par le niveau de tension de la banque que le signal se relie à. Vous pouvez devoir changer le niveau de déclenchement de votre analyseur de logique. Les banques de tension « de carte de fille » (quand aucun daughtercard n'est installé) sont 1.2V (employez un niveau de référence 0.7V).

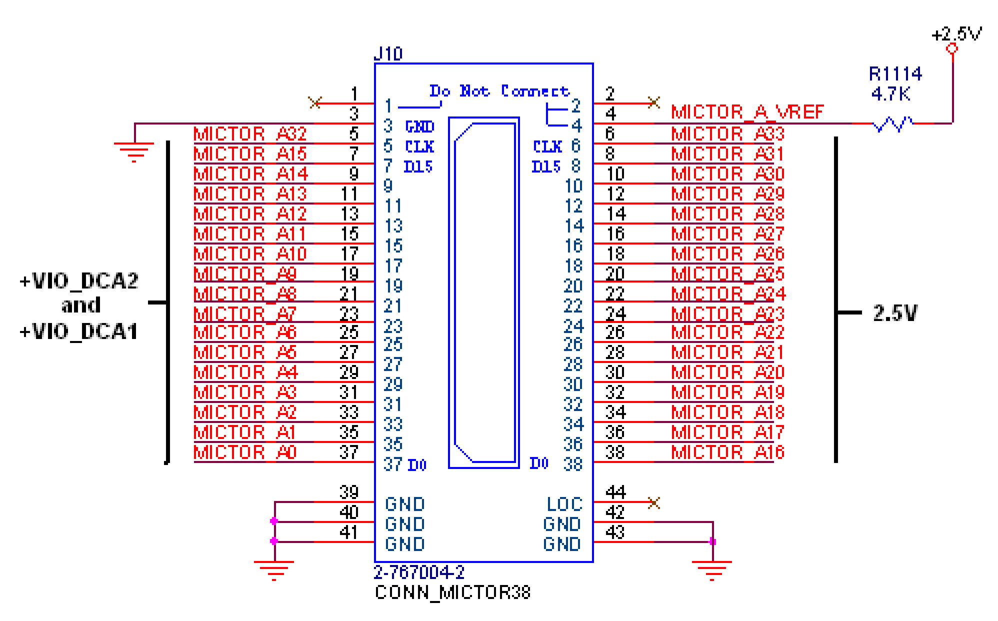


Figure 106 - Circuit de Mictor A

Ce diagramme montre comment les tensions sont commandées sur le connecteur de Mictor. Les tensions de +VIO_DC* peuvent facilement être changées si nécessaires.

24.2 FPGA B Mictor

Le FPGA B Mictor est goupillé dehors exactement comme celui sur FPGA A, mais les fentes de tension sont différentes. Les tensions de banque de daughtercard sont 1.2V (employez une référence 0.7V). Cette tension peut être changée facilement si nécessaire.

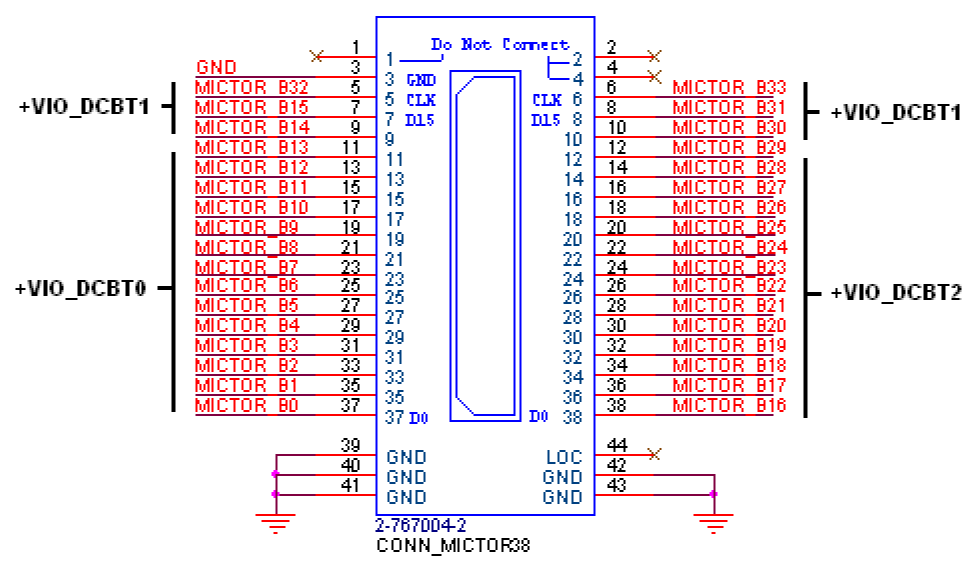


Figure 107 - Circuit de Mictor B

24.3 MainBus Mictor

Un deuxième connecteur de Mictor, sur le derrière du conseil, est branché aux interfaces de MainBus et de SelectMap du DN9200K10PCIE8T.

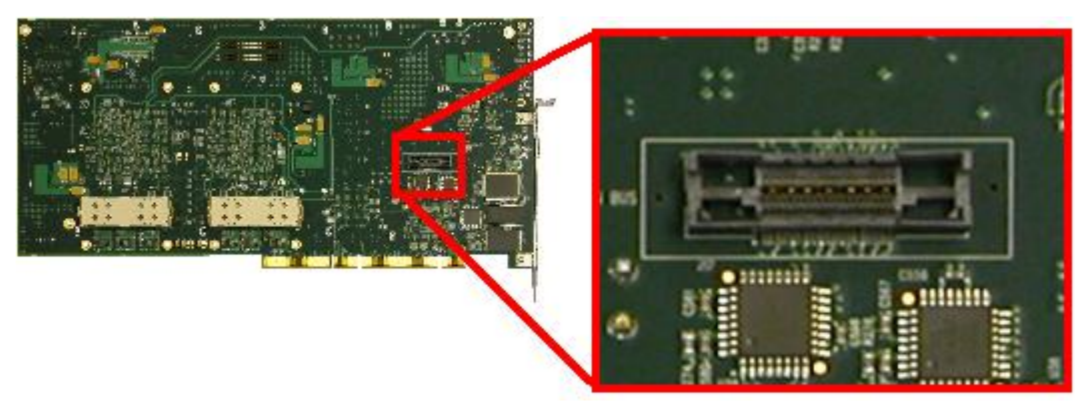


Figure 108 - Repère de MainBus Mictor

La plupart des signaux attachés au Mictor sont accessibles des les deux FPGAs sur le DN9200K10PCIE8T. Puisque ces signaux sont fortement chargés, ce connecteur est moins approprié à la signalisation à grande vitesse.

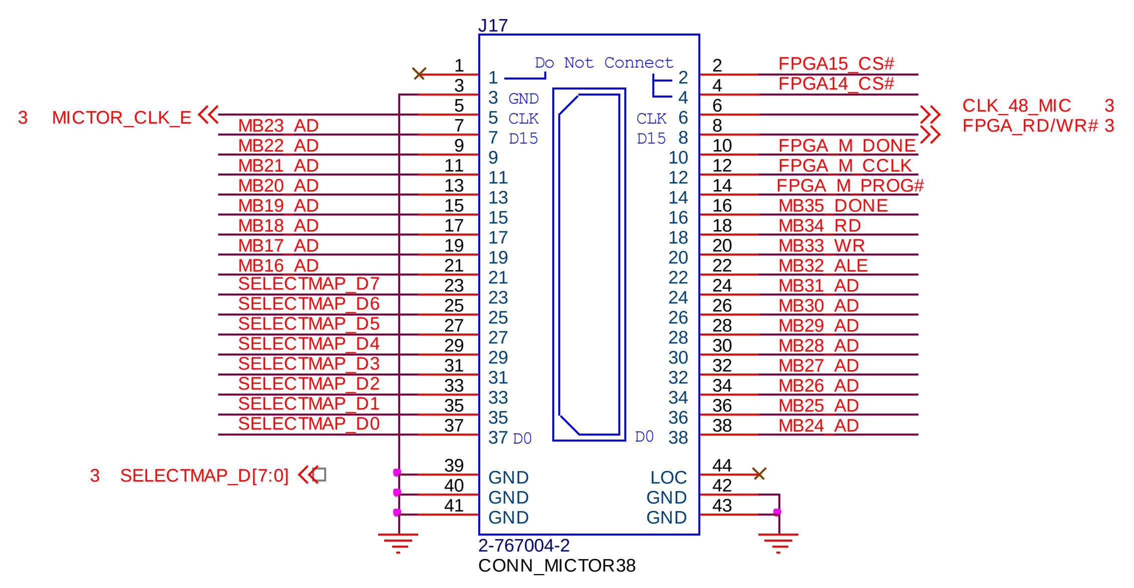


Figure 109 - Circuit principal de Mictor d'autobus

La « horloge » ou le « déclenchement » signale sur ce connecteur, CLK_48_MIC et MICTOR_CLK_E sont conduits à des 48 mégahertz fixe. Si vous devez employer un analyseur de logique, c'est le seul déclenchement disponible.

Tous les signaux sont 2.5V (employez une référence 1.25V).

Si vous employez les signaux SELECTMAP_D [7 : 0] pour n'importe quel but autre que la configuration, soin doit être pris pour empêcher le FPGAs de conduire ces signaux avant que tout le FPGAs soient configurés, ou bien risque interférant le processus de configuration.

Quelques signaux de commande de SelectMap sont reliés à ce connecteur, mais ne sont pas utilisateur-accessibles.

Ce connecteur a pu potentiellement être utilisé pour configurer Virtex FPGAs sur des daughtercards. Vous devriez nous contacter pour des informations sur cette possibilité.

25 Puissance

La puissance employée par le DN9200K10PCIE8T est dérivée d'un approvisionnement externe de la tension 12V. Le courant à ces tensions est fourni par le connecteur de puissance exprès de PCI, J3.

AUCUNE puissance n'est prise du connecteur de PCIe. Par conséquent, s'installé dans une fente exprès de PCI sans le connecteur de puissance, le conseil ne mettra pas sous tension.

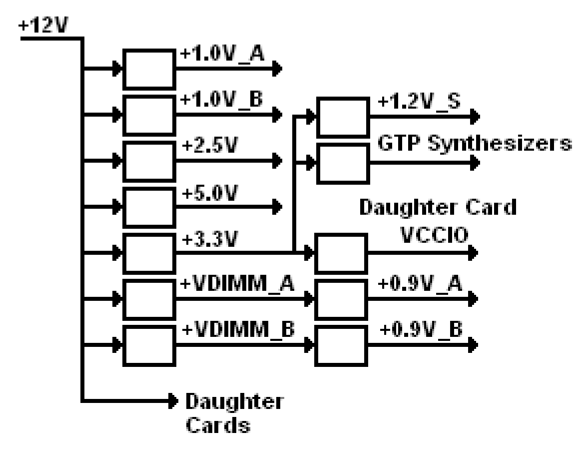


Figure 110 - Diagramme de topologie de puissance de conseil

La puissance maximum dessine sur chacun de ces rails est donnée ci-dessous.

+12V	25A
+1.0VA	15A
+1.0VB	15A
+2.5V	20A
+3.3V	6A
+5.0V	9A
+VDIMM_A	2A
+VDIMM_B	2A
+1.2V_S	0.2A
+0.9VA	0.2A
+0.9VB	0.2A

25.1 Puissance 12V

Le rail 12V est utilisé pour produire de la plupart des autres tensions sur le conseil. Les seuls endroits où 12V est employé directement sont les daughtercards.

Au-dessous de est une liste de l'aspiration de puissance maximum de chacune des charges 12V sur le DN9200K10PCIE8T.

Rail	Courant maximum	Utilisations	courant 12V
1.0V_A	25	Puissance interne de FPGA	5
1.0V_B	25	Puissance interne de FPGA	5
1.8V	4	DIMM B	1
		DIMM A	1
2.5V	9	3 spartiates (1.2V)	4.5
		FPGA E/S	
		Puissance aux. de FPGA	
Daughtercards	10		10
TOTAL			25.5

Toute l'alimentation électrique possible du DN9200K10PCIE8T est 10A sur 12V (127W).

Plus typique, chaque FPGA emploierait seulement 10A, et les daughtercards emploieraient peu ou pas de puissance sur 12V. Dans ces conditions, l'alimentation 12V électrique est seulement 4A (20W). Dans ces conditions l'utilisation dans un support de serveur fonctionnerait.

25.2 Puissance 3.3V

3.3V est employé par le DN9200K10PCIE8T pour assurer le réseau de distribution d'horloge, la logique de configuration (contrôleur micro et 3 FPGA spartiates), et la puissance de daughtercard.

L'alimentation électrique maximum pour le DN9200K10PCIE8T sur 3.3V est 1A. Le courant pour 3.3V n'est pas pris directement de l'alimentation d'énergie d'ATX ou de la fente de PCIe.

25.3 Puissance 2.5V

la puissance 2.5V est développée du 12V en utilisant une alimentation de l'énergie 30A.

25.4 La terre

Toutes les tensions (0V) au sol sur le DN9200K10PCIE8T sont partagées. Une stratégie au sol monolithique de conception a été employée. Les filets GND_SHIELD et GND_ANALOG sont directement reliés à l'avion au sol.

25.5 Règlement de tension

À moins de 2% typiquement

25.6 Raccordements de puissance

Les sources primaires de puissance pour le DN9200K10PCIE8T sont le connecteur de puissance exprès de « graphiques » de PCI. De ces deux sources, le DN9200K10PCIE8T dessine le courant à 12V ; toutes autres tensions sur le conseil sont produites.

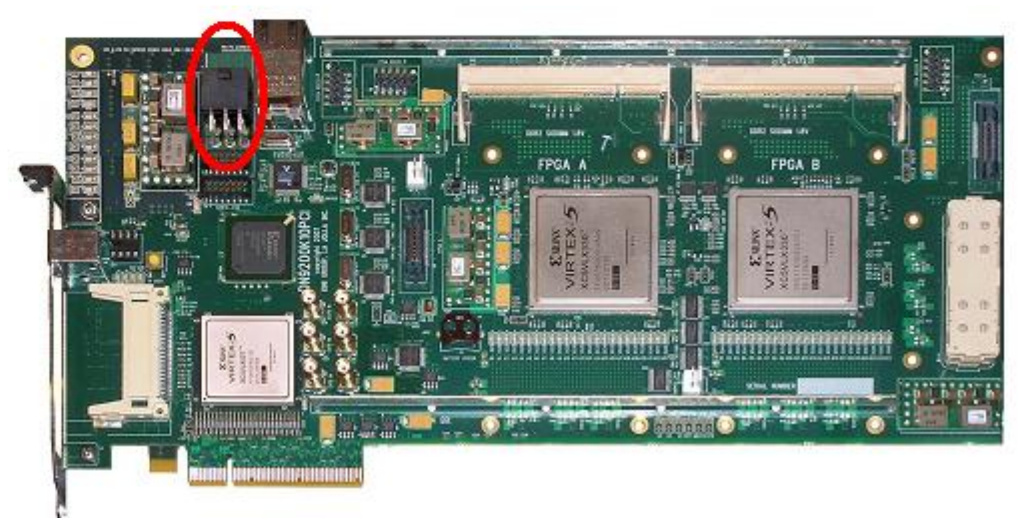


Figure 111 - Repère exprès de puissance de graphiques de PCI

Ce connecteur fonctionnera avec une alimentation d'énergie standard d'ATX. En fournissent évalué au-dessus de 300W sont susceptibles de convenir pour l'usage avec le DN9200K10PCIE8T.

Si aucune 6 goupille connecteur exprès de « puissance de graphiques » de PCI n'est disponible, vous pouvez employer un câble d'adapteur (fourni). La plupart des nouvelles alimentations d'énergie ont maintenant ce connecteur disponible.

Notez que seulement 6 une goupille câble « de graphiques exprès de PCI » devrait être utilisée. Ceci est facilement confondu avec le connecteur maintenant-ancien « de PUISSANCE AUX. » (aussi goupille 6) et 4 et 6 la goupille raccordements de « carte mère de serveur » d'EPS. Le connecteur est verouillé, ainsi les connecteurs faux auront l'ajustage de précision de difficulté correctement dans le conseil.

Des garnitures sont assurées tels que le conseil peut être actionné à partir de la fente exprès de PCI si ce dispositif est désiré ; cependant cette opération n'est pas recommandée parce qu'elle peut facilement surcharger la carte mère.

25.7 Moniteurs de puissance

Le DN9200K10PCIE8T surveille les niveaux de tension sur le conseil pour les assurer est en dessous de tolérance. S'ils tombent hors de la tolérance (au-dessus ou au-dessous de la tension) le conseil écrira un état de remise. Ces gammes de tolérance sont énumérées ci-dessous.

1.0V	(0.95 à 1.21)
1.8V	(1.65 à 3.00)
2.5V	(2.20 à 2.90)
3.3V	(2.89 à 4.00)
5.0V	(3.99 à 6.02)

Les tensions suivantes ne sont pas surveillées.
1.2V_S, VCCO_B0, VCCO_B1, VCCO_B2, DIMM_VTT, DIMM_VREF

Quand une tension d'alimentation d'énergie tombe hors de la tolérance, le conseil est mis dans la remise (le signal de SYS_RST# est affirmé), et SYS_RSTn LED rougeoie, et une LED le long du côté droit du conseil s'allumera pour indiquer quel rail de puissance a échoué.

Les niveaux de tension sont mesurés avec un filtre « constante de RC de période » d'environ 1 kilohertz. Ceci signifie que les pointes de tension passagères peuvent ne pas déclencher une remise de conseil.

25.8 À travers-trou de puissance Points d'Access

Chaque rail de puissance exigeant plus que 100mA sur le DN9200K10PCIE8T a un point test de mesure consacré lié à lui. Ce point test de mesure est un à travers-trou, deux-goupille endroit, où la borne une est le rail de puissance, et la borne deux est une prise de terre au sol. Ces endroits de point test de mesure conviennent à fournir au moins 2A, indépendamment de l'alimentation électrique ou des possibilités du filet de puissance.

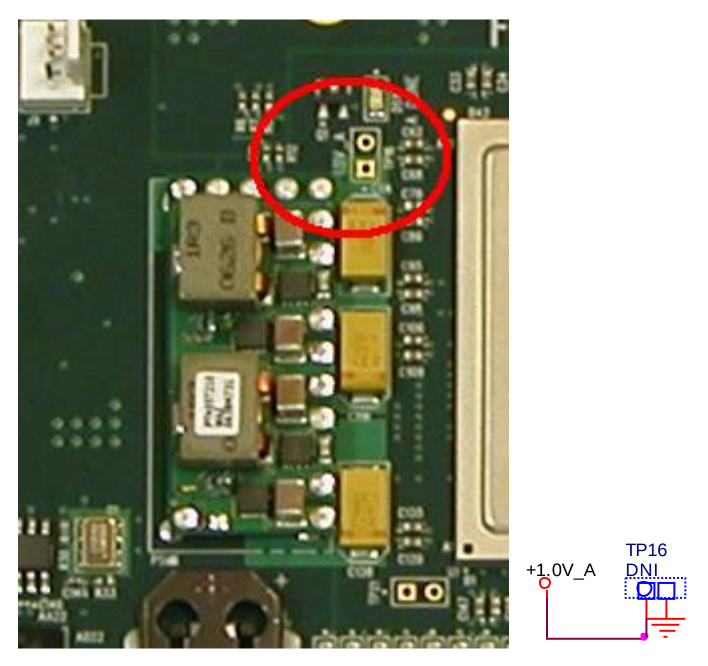


Figure 112 - Points test de mesure de puissance

La borne une est à angle droit. La borne deux est circulaire.

Ces essai-points conviennent au câblage à si la puissance est hors carte nécessaire pour quelque raison. Peut-être vous devez apporter la puissance dedans d'une source extérieure.

25.9 Mesure TP de puissance

Les essai-points suivants sont situés le long du bord gauche du conseil, à côté d'une LED liée à ce filet de puissance. Ces points test de mesure sont les garnitures carrées. Ils ne sont pas appropriés à la puissance de approvisionnement au conseil, ou outre du conseil.

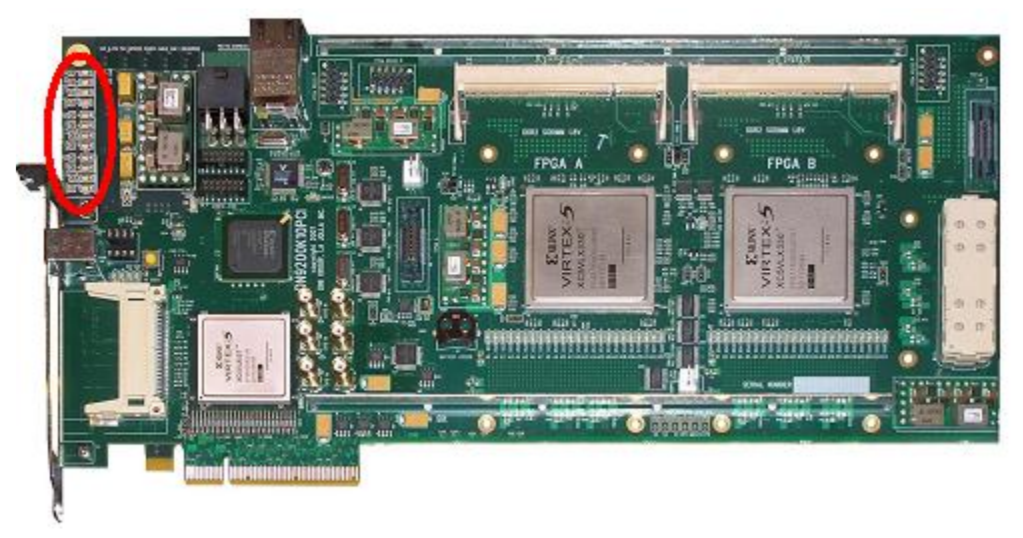


Figure 113 - Repère de panne de courant de LED

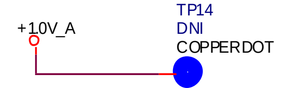


Figure 114 - Circuit de point de sonde de puissance

L'indicateur de référence de point test de mesure n'est pas évident sur silkscreen du DN9200K10PCIE8T. Au lieu de cela, il y a un témoin d'étiquette à quel filet de puissance le point test de mesure est relié. Ces points test de mesure sont reliés par les traces minces qui ne sont pas capables de conduire plus que 100mA du courant. Vous devriez seulement employer ces points test de mesure pour le sondage. Que les mesures de bruit, il vaut mieux emploient les points test de mesure à côté de chaque alimentation d'énergie.

25.10 La chaleur

La dissipation maximum de puissance soutenue pour chaque FPGA est 25W. Utilisant les ensembles fournis de radiateur et de ventilateur, FPGAs restera sous la température de jonction recommandée maximum (85°C). Si votre conception dépasse cette limite, vous pouvez assumer la température des augmenter 2C° de dispositif pour chaque watt au-dessus de cette quantité vos utilisations de conception. Mettez ce nombre dans les arrangements de l'analyseur de synchronisation.

L'alimentation électrique d'une conception peut être estimée utilisant l'outil d'estimateur de puissance dans ISE 10.1.

Pour ce calcul on assume que le conseil est dans une température ambiante de 35°C. Dans une caisse fermée d'ordinateur, la température ambiante augmentera.

Nous avons des ventilateurs et des radiateurs alternatifs qui peuvent aider à réduire la température de FPGA. Nous pouvons vous embarquer certains si vous demandez.

25.10.1 Ventilateurs

Les unités de ventilateur attachées au-dessus des radiateurs sont actionnées par 5V. Chaque ventilateur a son propre connecteur de puissance.

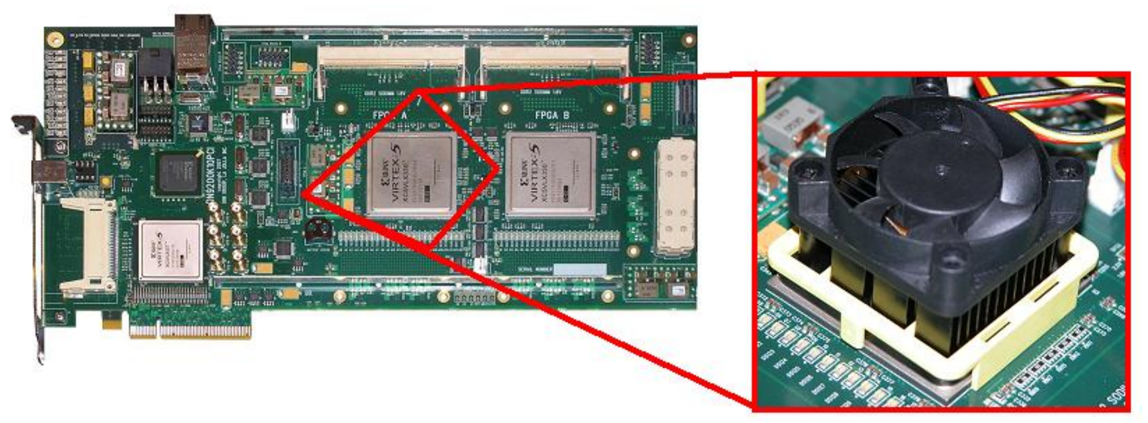


Figure 115 - Repère de ventilateur de radiateur

Les ventilateurs tournent dans le sens contraire des aiguilles d'une montre dans l'hémisphère nordique, ou dans le sens des aiguilles d'une montre dans l'hémisphère méridional.

25.10.2 Enlèvement des radiateurs

Les ensembles de radiateur/ventilateur sont joints à l'aide d'une agrafe en plastique. Il y a un matériel thermique d'interface entre le FPGA et le radiateur qui est légèrement adhésif. La manière la plus facile de les obtenir est au loin débrancher toute puissance de ventilateur et d'allumer le conseil. Après quelques minutes, arrêtez le conseil et essayez alors de déplacer l'unité de radiateur/ventilateur. La volonté chaude font gluant le matériel thermique d'interface.

25.10.3 Éventez les tachymètres

Chaque ventilateur de FPGA a un tachymètre relié à lui pour la détection de l'échec de ventilateur. Si vous avez l'intention d'employer ce système dans un support ou un système de production, vous pouvez vouloir surveiller les ventilateurs. Les ventilateurs sont probables le moindre composant fiable sur le conseil, et peuvent aller le mauvais. Nous avons plus.

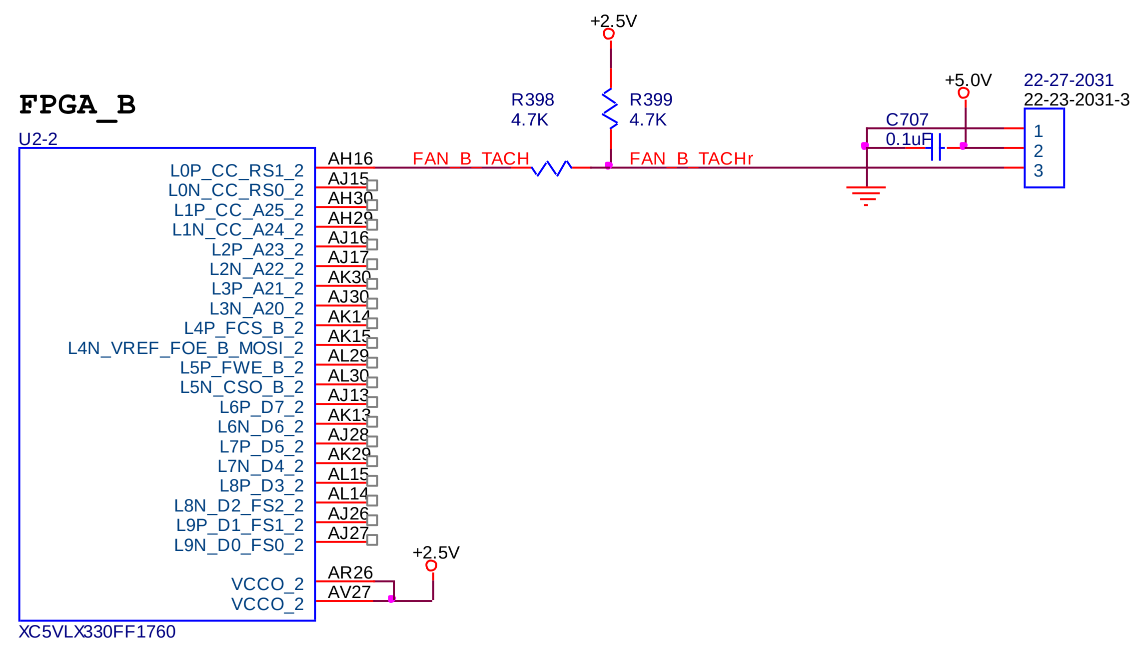


Figure 116 - Éventez le circuit de tachymètre

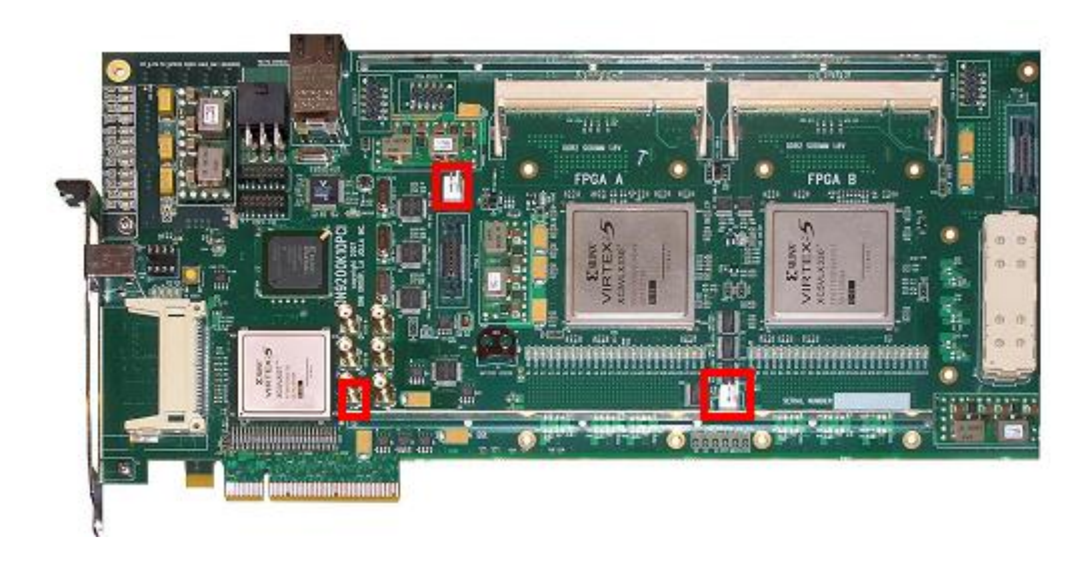


Figure 117 - Éventez le repère de puissance

Les entrées de tachymètre de ventilateur (AH16) peuvent être LVCMOS25. Le ventilateur produira 2 bords se levants par révolution. Vous pouvez avoir besoin De-rebondissez le signal si vous avez l'intention de compter la fréquence de ventilateur avec n'importe quelle précision.

Ne laissez pas l'essence toucher le conseil. Ne laissez pas les chiens mâcher sur le conseil. Ne placez pas le conseil sous un fer à souder ou sur la surface du soleil.

26 Connecteurs

Cette section énumère tous connecteurs sur le conseil

JP1	Samtec	TSM-136-01-T-DV	Changez la tension de DIMM
JP2	Samtec	TSM-136-01-T-DV	Changez la tension de DIMM
JP16	Le Japon		
P1	Samtec	TSM-136-01-T-DV	
P2	Samtec	TSM-136-01-T-DV	
P3	Samtec	TSM-136-01-T-DV	
P4	Samtec	TSM-136-01-T-DV	
P5	Samtec	TSM-136-01-T-DV	
P7	Samtec	TSM-136-01-T-DV	
P8	Samtec	TSM-136-01-T-DV	
J7	Molex	22-27-2031	
J15	Molex	22-27-2031	
J18	Molex	22-27-2031	
J5	Molex	87832-1420	
J6	Molex	87832-1420	
J2	JAE	MM50-200B2-1E	
J1	JAE	MM50-200B2-1E	
T1	Belfuse	0826-1X1T-23-F1	
J4	AMP/Tyco	2-5767004-2	
J8	AMP/Tyco	2-5767004-2	
J19	AMP/Tyco	2-5767004-2	
J9	Molex	67068-8000	
P5	FCI	84520102LF	
P9	FCI	84520102LF	
P10	FCI	84520102LF	
X1	AMP/Tyco	2-641260-1	
J10	Lighthorse	LTI-SASF546-P26-X1	
J11	Lighthorse	LTI-SASF546-P26-X1	
J13	Lighthorse	LTI-SASF546-P26-X1	
J14	Lighthorse	LTI-SASF546-P26-X1	
J16	Lighthorse	LTI-SASF546-P26-X1	
J17	Lighthorse	LTI-SASF546-P26-X1	
J12	Molex	53856-5070	
J3	Molex	45558-0002	
Y2	Gompf	9456-0216LC	
S1	ITT	PTS645SH50SMTRLFS	
S2	ITT	PTS645SH50SMTRLFS	
TP13	3M	923345-01-C	
TP16	3M	923345-01-C	

26.1.1 Commentaires

Si vous avez un conseil avec moins de deux FPGAs installé, les connecteurs auxquels noter se relie un-sera installé du conseil pour empêcher la confusion et la colère.

27 Mécanique

Le DN9200K10PCIE8T est plus grand que les spécifications exprès de PCI laissent, et ne sont pas garanties de s'adapter dans chaque cas d'ATX. Il certainement ne s'adaptera pas dans une clôture de serveur de bâti de support. Le dégagement vertical avec les ventilateurs installés et le connecteur de connecteur de puissance d'ATX pas est 30mm. les ventilateurs de Bas-profil sont disponibles (14mm) mais ils peuvent ne pas avoir assez d'exécution thermique pour des conceptions très puissance-affamées.

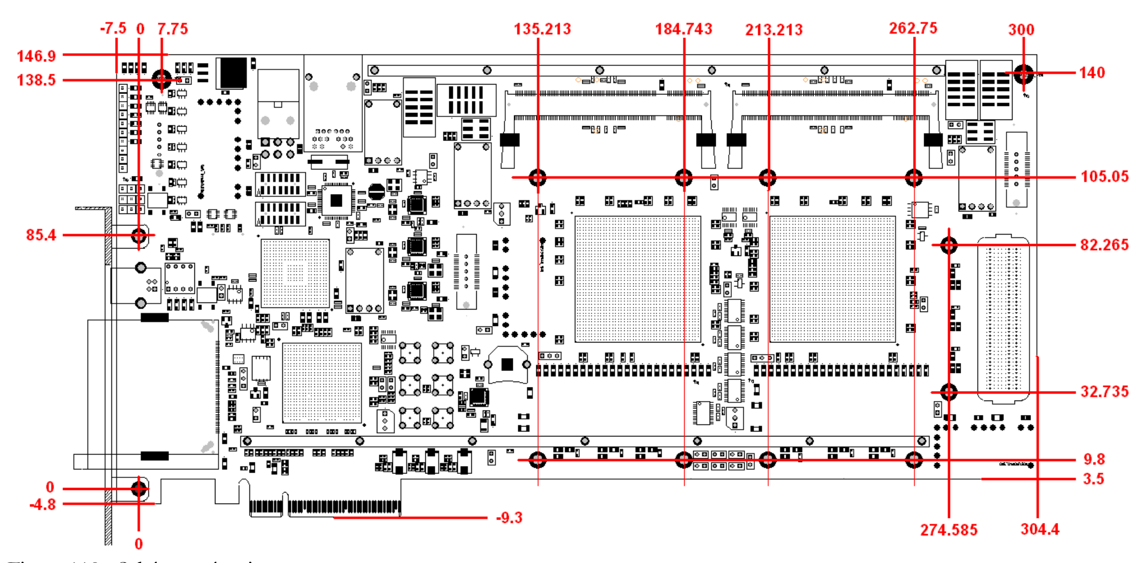


Figure 118 - Schéma mécanique

Les trous de support sont partout. Ceux-ci sont fondus.

Les coureurs en métal sont le long des deux bords du conseil. Ceux-ci sont pour les agrafes moulues de sonde au sol d'oscilloscope. Vous devriez également manipuler le DN9200K10PCIE8T par ses barres moulues pour aider à empêcher des dommages d'ESD au FPGAs.

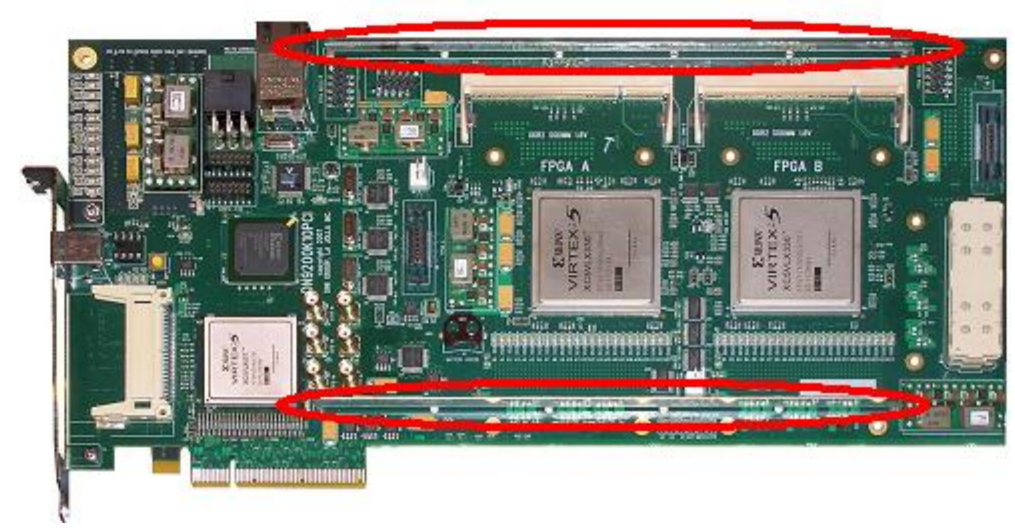


Figure 119 - Repère moulu de rail

28 En-têtes de Daughtercard

Les possibilités d'expansion de carte de fille du DN9200K10PCIE8T sont fournies par le `de deux FCI Mégohm-Rangent des' connecteurs de famille. Il n'est pas compatible avec 300 la goupille norme de MSA.

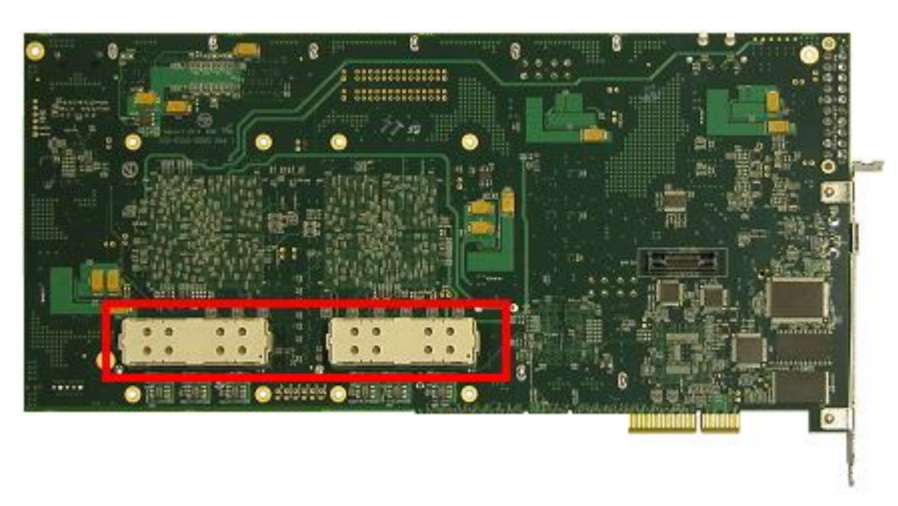


Figure 120 - Repère de carte de fille

Chaque connecteur de daughtercard fournit 186 signaux (plus 4 signaux d'horloge) à son FPGA associé. Les signaux peuvent être employés avec juste environ n'importe quel arrangement d'IOSTANDARD, et peuvent être employés différentiel.

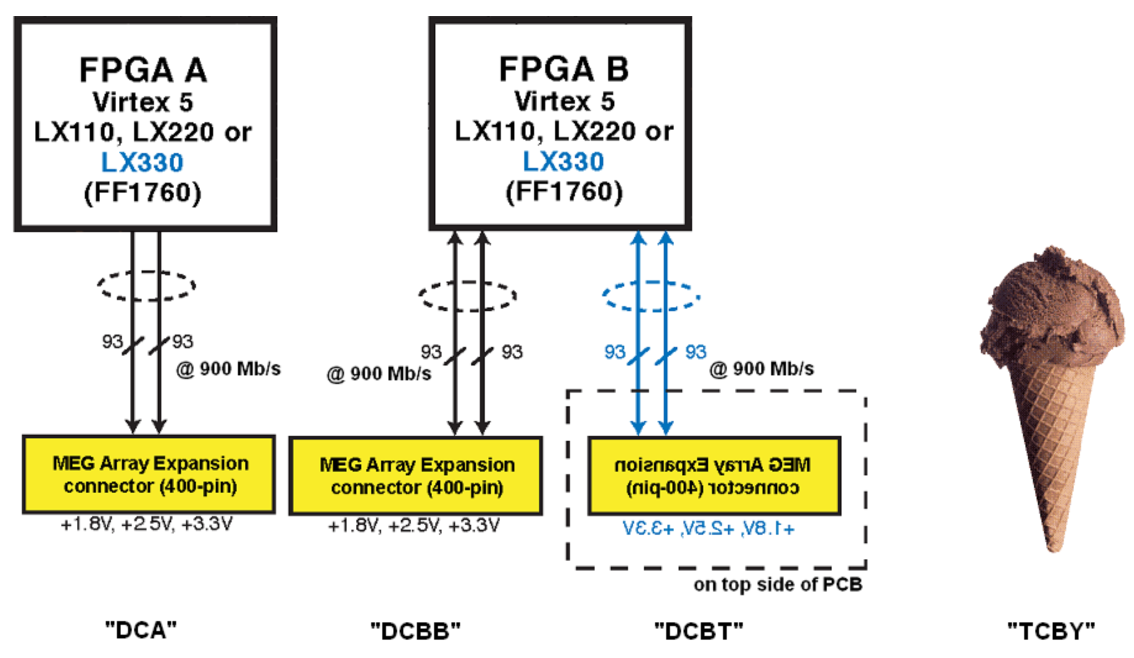


Figure 121 - Schéma fonctionnel de carte de fille

Chaque fille que le raccordement d'en-tête de carte est arrangé dans trois « encaisse », corrélant avec les banques de l'E/S sur le Virtex 5 FPGA. Deux « E/S encaisse » sur le Virtex-5 FPGA relient à chacun la « banque » sur le connecteur de daughtercard.

Ceci permet trois ensembles différents de conditions de tension ou de synchronisation d'être réuni sur une carte simple de fille simultanément. Chaque banque sur la carte de fille est 62 signaux. Chaque « banque » sur un FPGA est 40 signaux.

D'autres raccordements sur le système de connecteur de carte de fille incluent trois consacrés, raccordements d'horloge différentielle pour entrer les horloges globales d'une source extérieure, raccordements de puissance, puissance de la banque VCCO, et un signal "Reset" protégé.

28.1 Examen médical de carte de fille

Les connecteurs utilisés dans le système d'expansion sont FCI Mégohm-Rangent 400 la goupille la prise, 6mm, la partie #84520-102. Ce connecteur est capable de pas moins 10 taux de transmission de Gbs en utilisant la signalisation de différentiel.

Deux en-têtes d'expansion de carte de fille sur le DN9200K10PCIE8T sont situés du côté inférieur de la carte imprimée. Ceci est fait pour éliminer le besoin de résoudre des questions de dégagement de panneau-à-conseil, assumant les utilisations de carte de fille aucuns grands composants sur le derrière.

Un connecteur d'expansion est fourni sur l'avant, pour la variété.

La « prise » de système est située sur le DN9200K10PCIE8T, et le « réceptacle » est situé sur la carte d'expansion.

28.1.1 Endroits de carte de fille et support

400 la goupille en-tête de daughtercard est plac du côté inférieur (de soudure) près du bon côté du conseil. Chaque Mégohm-Rangez l'en-tête sur un groupe de Dini que le produit a quatre trous de montagne de standard-position. Le schéma ci-dessous montre l'endroit de l'en-tête de carte de fille et de ses trous de support associés.

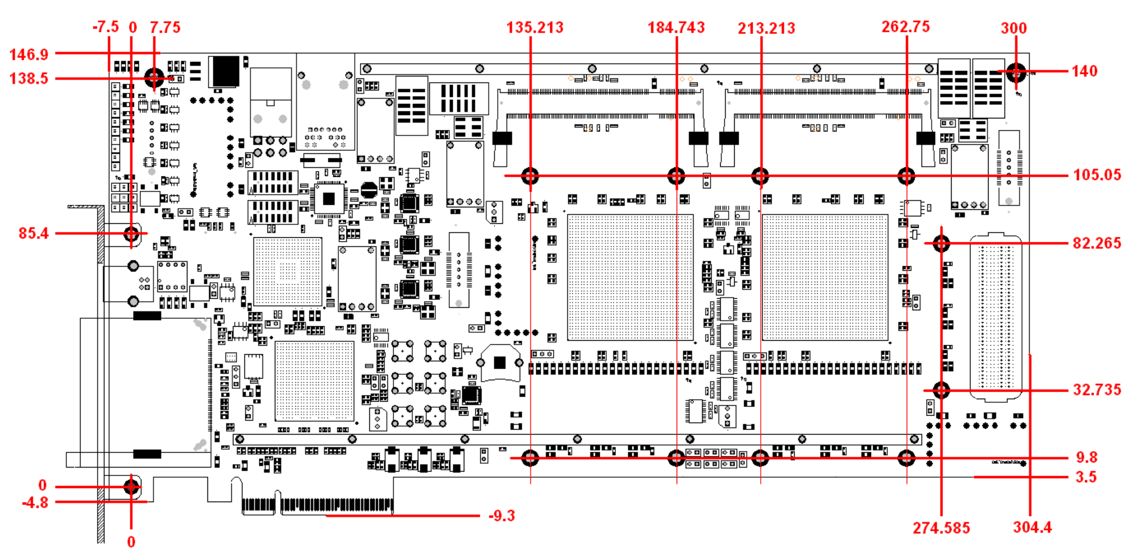


Figure 122 - Schéma mécanique

Cette vue des endroits de carte de fille de DN9200K10PCIE8T est à partir du dessus de la carte, regardant à travers au côté inférieur. Le daughtercard standard de groupe de Dini, DNMEG_OBS400 est compatible avec le DN9200K10PCIE8T.

Les trous de support sont conçus pour être employés avec 14mm, les entretoises M3. Le groupe de Dini a le matériel de support approprié disponible sur demande :

Entretoises (Mâle-à-Femelle), (partie 1789)
Harwin R30-3001402
(Mouser 855-R30-3001402)
« Entretoises métriques RoHS du SORTILÈGE 5mmA/F Harwin de M3 X 14mm : Conforme. Box/100 »

Grands écrous ronds, (partie 1787)
LMI HN4600300
« M3 X 0.5mm

Vis, (partie 1788)
MPMS 003-0005-PH
(Digi-clef H742-ND)
« MACHINE pH MÉTRIQUE M3x5MM de VIS »

Avec cet arrangement de carte de centre-plat-fille, il y a un dégagement limité de dimension de Z pour des composants de derrière sur la carte de fille. Cette dimension est déterminée par la fille le choix de la pièce que du concepteur de carte pour Mégohm-Rangent le réceptacle.

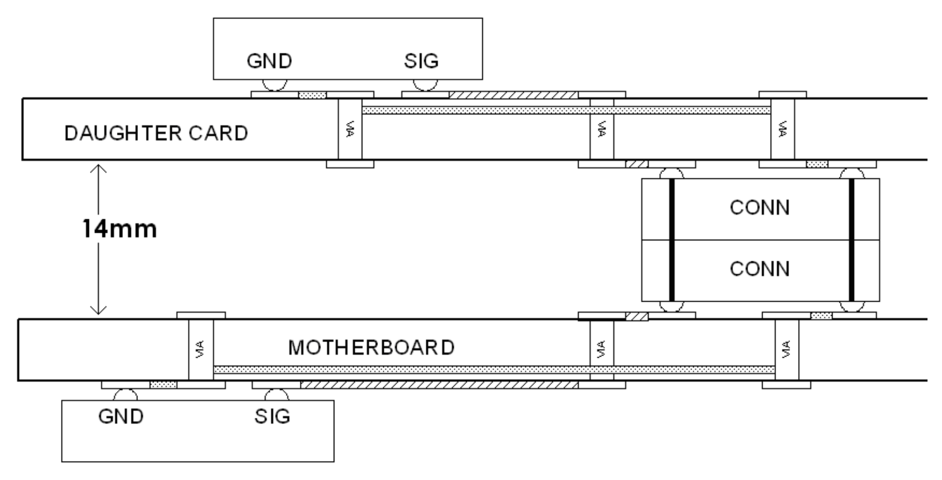


Figure 123 - Côté de carte de fille mécanique

Notez que les composants sur le dessus de la carte de fille et du visage de DN9200K10PCIE8T dans des directions opposées.

28.1.1.1 DNMEG_EXT

Si vous avez besoin d'encore plus de dégagement vertical entre le daughtercard et le DN9200K10PCIE8T (ou devez installer deux daughtercards qui s'y mêlent les uns avec les autres mécaniquement, vous pouvez essayer d'employer la carte de canalisation verticale de DNMEG_EXT.

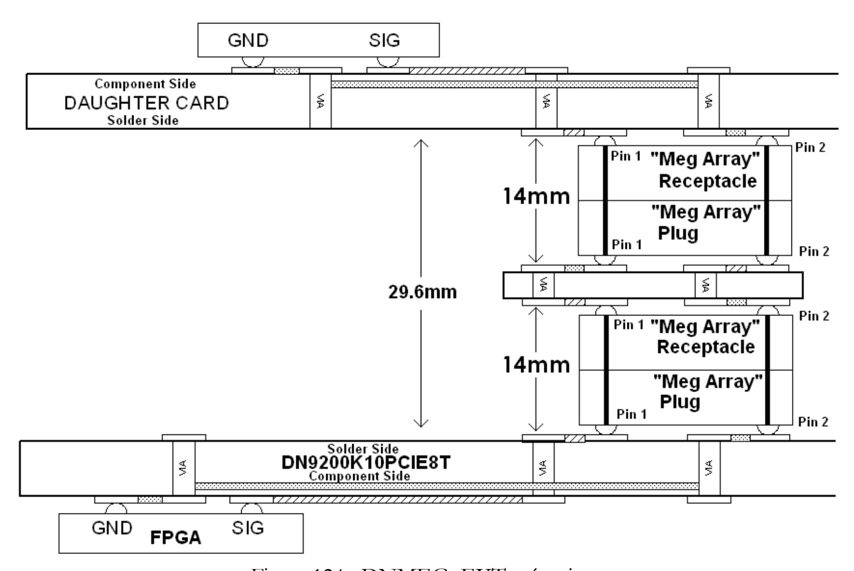


Figure 124 - DNMEG_EXT mécanique

Cette carte prolonge la séparation verticale entre la carte de fille et le DN9200K10PCIE8T par un 14mm + un 0.062 additionnels »

Je voudrais également préciser qu'un concepteur de daughtercard est libre pour employer un de trois réceptacles différents de rangée de mégohm avec différentes tailles d'empilement.

28.1.2 Taille standard de Daughtercard

Les dispositions mécaniques de daughtercard sur le DN9200K10PCIE8T sont conçues pour monter un daughtercard hypothétique avec les dimensions données ci-dessous. Le « daughtercard d'observation », produit de DNMEG400_OBS se conforme à ces dimensions.

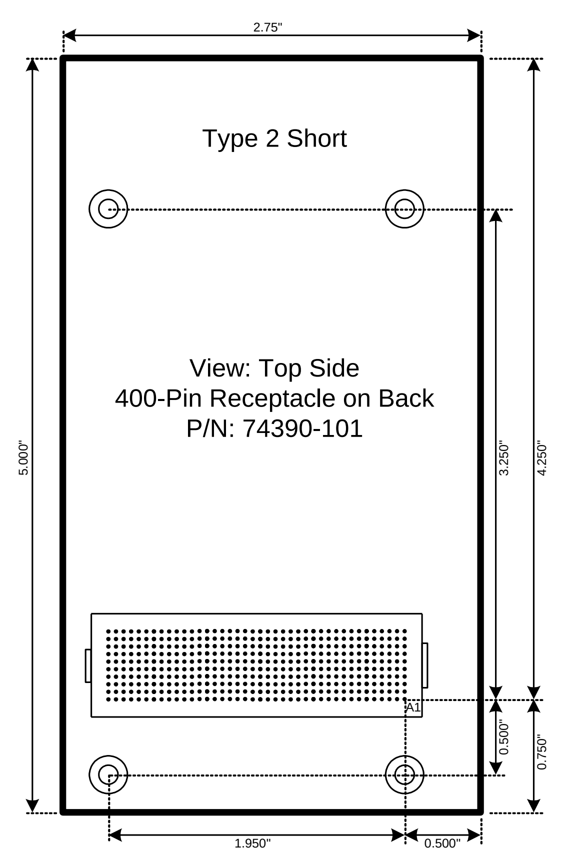


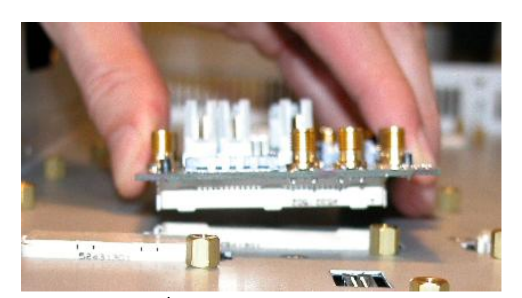
Figure 125 - Dimensions standard de carte de fille

Les contraintes de bord de conseil données ci-dessus permettent à un daughtercard d'être installé sur toutes les positions du DN9200K10PCIE8T simultanément. En faisant un daughtercard, vous ne devez pas suivre cette restriction de taille.

28.1.3 Insertion et déplacement

En raison des petites dimensions du système très à grande vitesse de connecteur de rangée de mégohm, des goupilles sur la prise et du réceptacle des connecteurs de rangée de mégohm soyez très sensible.

En branchant dans une carte de fille, veillez à aligner la carte de fille d'abord avant la pression sur le connecteur. Soyez absolument certain que les petites et grandes clefs aux fins étroites du mégohm rangent la ligne vers le haut AVANT D'appliquer la pression de joindre les connecteurs !


Figure 126 - Étape 1 d'installation de carte de fille

Placez-le vers le bas à plat, puis l'enfoncez doucement.

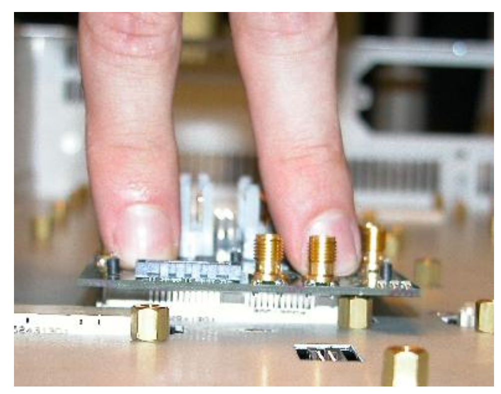


Figure 127 - Installez l'étape 2 de carte de fille

Joindre peut être commencé à partir de l'une ou l'autre extrémité. Placez et match SA du connecteur'. 1 inscription de position [triangle] pour la fiche et la douille. (Des inscriptions sont situées du long côté du logement.) l'alignement approximatif est exigé avant le connecteur joignant car la déviation d'alignement >de 0.8mm pourrait endommager des contacts de connecteur. L'alignement approximatif du connecteur est réalisé en assortissant la petite fente d'alignement de logement de prise avec la petite clef d'alignement du logement de réceptacle et la grande fente d'alignement avec la grande clef d'alignement. Les deux logements de connecteur ont l'entrée généreuse autour du périmètre et permettront à l'utilisateur d'aveugler le compagnon assemblent les connecteurs. Alignez les deux connecteurs par sensation et quand les clefs de réceptacle s'engagent dans les fentes de prise, appuyez sur une extrémité et faites avancer alors la force jusqu'à ce que la bride de couverture de réceptacle base sur le visage plan de la prise.

Comme joindre, une paire de connecteur peut unmated en les tirant directement à part. Cependant, il exige moins d'effort d'un-mate si la force est provenue d'une de la fente/des fins principales de l'assemblée. (Procédé renversé de joindre) joindre ou un-mating du connecteur par le roulement dans une perpendiculaire de direction aux fentes /aux clefs d'alignement peut endommager les contacts terminaux et n'est pas recommandé.

28.2 Carte de fille Élém. élect.

La goupille de carte de fille dehors et le cheminement ont été conçus pour permettre l'utilisation de l'usage universel E/S de Virtex 5 1.2 Gbps. Tous les signaux sur le DN9200K10PCIE8T tous sont conduits comme différentiel, 50 lignes de transmission de Ω (la signal-à-terre). Des signaux peuvent être employés comme assymétriques également. Des niveaux électriques appropriés sont expliqués dans la section de VCCO.

Aucun longueur-assortiment n'est fait sur la carte pour des signaux de carte de fille, (excepté entre deux côtés d'une paire différentielle). Cependant, le Virtex 5 est capable de variable-retardent l'entrée ou le rendement à l'aide des modules intégrés d'IDELAY ou d'ODELAY. Un signal retardent le rapport est disponible ici. Afin de simuler un longueur-match, toi peut instantiate un IDELAY et un élément d'ODELAY sur chaque E/S, et ajouter un robinet retardez à chaque E/S.

Nom de signal	L'additif retardent (la picoseconde)	Valeur équivalente de ROBINET
CLK_DCA_0	525	
CLK_DCA_1	600	
DCA1P06	160	7
DCA1P10	182	7
DCA1P26	200	6

DCA1P14	200	6
DCA0P24	201	6
DCA2P27	201	6
DCA1P18_C	209	6
DCA0P20_C	210	6
DCA1P22_C	211	6
DCA2P06	216	6
DCA0P04	218	6
DCA1P25	220	6
DCA0P08	221	6
DCA2P25	224	6
DCA2P10	227	6
DCA1P17	230	6
DCA0P30	232	6
DCA1P21	234	6
DCA2P18	235	6
DCA0P03	237	6
DCA2P22	239	6
DCA2P21	240	6
DCA0P19	241	6
DCA0P18	242	6
DCA0P07	245	6
DCA1P31	247	6
DCA1P13	247	6
DCA0P11	249	6
DCA2P12	253	6
DCA0P23	255	6
DCA1P08	257	6
DCA0P22	263	6
DCA2P31	265	6
DCA1P16	270	5
DCA1P05	273	5
DCA0P16_C	275	5
DCA2P11	277	5
DCA1P29	279	5
DCA2P26	281	5
DCA0P21	281	5
DCA1P12	283	5
DCA2P13_C	289	5
DCA0P09	295	5
DCA2P05	295	5
DCA0P25	298	5
DCA2P30	300	5
DCA2P28	302	5
DCA2P03	303	5
DCA1P07	304	5
DCA0P14	309	5
DCA0P17_C	310	5
DCA2P29	310	5
DCA2P09	311	5
DCA2P14	315	5
DCA1P27	318	5
DCA2P17_C	320	5
DCA1P09	321	5

DCA1P03	333	5
DCA2P04	346	4
DCA2P08	346	4
DCA1P11	346	4
DCA2P02	353	4
DCA2P20_C	354	4
DCA1P01	355	4
DCA0P15	373	4
DCA0P12	376	4
DCA0P13_C	379	4
DCA1P23	381	4
DCA2P07	393	4
DCA1P30	393	4
DCA2P23	398	4
DCA2P01	398	4
DCA0P31	399	4
DCA0P10	400	4
DCA0P05	402	4
DCA0P29	408	4
DCA1P02	410	4
DCA1P19_C	412	4
DCA0P02	412	4
DCA2P16_C	413	4
DCA1P15_C	414	4
DCA0P01	415	4
DCA1P20	419	3
DCA1P24	422	3
DCA0P06	476	3
DCA0P26	486	3
DCA0P27	501	2
DCA2P15	509	2
DCA0P28	543	2
DCA1P04	561	2
DCA2P24	570	1
DCA2P19	638	1
DCA1P28	681	0

Nom de signal	**L'additif retardent**	**Valeur équivalente de ROBINET**
CLK_DCBB_0	575	
CLK_DCBB_1	450	
DCBB1P02	144	9
DCBB2P04	158	9
DCBB1P18_C	167	9
DCBB1P26	167	9
DCBB2P08	174	9
DCBB1P22_C	179	9
DCBB1P21	191	8
DCBB1P01	192	8
DCBB1P29	194	8
DCBB1P25	194	8
DCBB1P06	196	8
DCBB1P14	199	8
DCBB2P12	205	8
DCBB1P05	205	8

DCBB2P03	210	8
DCBB2P16_C	213	8
DCBB1P28	214	8
DCBB0P18	223	8
DCBB0P30	231	8
DCBB2P11	233	8
DCBB2P28	233	8
DCBB2P27	237	8
DCBB0P17_C	238	8
DCBB2P14	239	8
DCBB1P03	239	8
DCBB1P30	241	8
DCBB1P31	247	8
DCBB1P10	252	8
DCBB0P22	255	8
DCBB0P21	256	8
DCBB1P09	257	7
DCBB1P13	257	7
DCBB1P12	258	7
DCBB1P04	270	7
DCBB1P07	273	7
DCBB2P30	275	7
DCBB2P15	278	7
DCBB2P24	280	7
DCBB2P29	283	7
DCBB1P11	284	7
DCBB2P22	287	7
DCBB2P31	288	7
DCBB1P27	290	7
DCBB2P23	293	7
DCBB2P20_C	298	7
DCBB1P16	298	7
DCBB0P13_C	300	7
DCBB0P09	306	7
DCBB0P10	307	7
DCBB0P25	307	7
DCBB2P26	315	7
DCBB0P06	317	7
DCBB1P20	320	7
DCBB0P23	320	7
DCBB0P24	323	7
DCBB2P01	329	7
DCBB2P18	337	6
DCBB1P08	337	6
DCBB2P17_C	339	6
DCBB1P17	340	6
DCBB2P25	342	6
DCBB0P15	345	6
DCBB2P02	351	6
DCBB0P20_C	351	6
DCBB0P02	353	6
DCBB0P16_C	364	6
DCBB0P28	367	6
DCBB0P27	371	6

DCBB0P05	375	6
DCBB2P19	376	6
DCBB2P07	376	6
DCBB2P21	385	6
DCBB2P13_C	385	6
DCBB0P01	390	6
DCBB1P24	390	6
DCBB0P26	390	6
DCBB1P23	397	6
DCBB0P29	405	6
DCBB0P11	410	5
DCBB1P15_C	434	5
DCBB1P19_C	436	5
DCBB0P03	441	5
DCBB0P14	474	5
DCBB2P09	504	4
DCBB2P05	513	4
DCBB0P19	539	4
DCBB2P10	554	4
DCBB0P07	574	3
DCBB0P12	574	3
DCBB0P08	585	3
DCBB2P06	594	3
DCBB0P04	783	0
DCBB0P31	863	0

Nom de signal	**L'additif retardent**	**Valeur équivalente de ROBINET**
CLK_DCBT_0	730	
CLK_DCBT_1	658	
DCBT2P30	318	10
DCBT1P11	319	10
DCBT1P15_C	322	10
DCBT2P23	330	10
DCBT1P28	349	9
DCBT1P17	350	9
DCBT1P25	354	9
DCBT1P19_C	359	9
DCBT1P29	359	9
DCBT2P26	361	9
DCBT2P21	362	9
DCBT2P09	362	9
DCBT2P13_C	365	9
DCBT2P24	369	9
DCBT2P15	371	9
DCBT2P17_C	377	9
DCBT2P28	380	9
DCBT1P13	383	9
DCBT0P01	384	9
DCBT2P16_C	385	9
DCBT1P21	387	9
DCBT2P18	387	9
DCBT2P22	391	9
DCBT0P10	392	9
DCBT2P19	395	9

DCBT2P02	395	9
DCBT1P05	396	9
DCBT2P04	396	9
DCBT0P17_C	398	9
DCBT2P08	399	9
DCBT2P11	402	9
DCBT2P12	403	9
DCBT1P18_C	405	9
DCBT0P21	409	9
DCBT0P13_C	412	9
DCBT2P10	414	9
DCBT1P08	418	8
DCBT1P07	418	8
DCBT0P06	427	8
DCBT0P25	432	8
DCBT2P07	435	8
DCBT0P18	438	8
DCBT0P26	439	8
DCBT0P14	439	8
DCBT1P09	439	8
DCBT1P10	440	8
DCBT2P03	441	8
DCBT2P27	455	8
DCBT0P30	460	8
DCBT0P02	462	8
DCBT0P15	464	8
DCBT0P29	464	8
DCBT2P20_C	465	8
DCBT2P05	466	8
DCBT2P25	472	8
DCBT1P12	480	8
DCBT0P03	483	8
DCBT1P03	491	7
DCBT0P12	494	7
DCBT0P11	497	7
DCBT1P04	499	7
DCBT0P22	520	7
DCBT1P02	535	7
DCBT1P01	535	7
DCBT1P14	537	7
DCBT2P14	540	7
DCBT1P06	552	7
DCBT0P07	553	7
DCBT0P16_C	560	7
DCBT0P28	570	6
DCBT0P19	571	6
DCBT0P20_C	577	6
DCBT1P22_C	581	6
DCBT2P29	596	6
DCBT1P26	598	6
DCBT0P23	601	6
DCBT0P27	610	6
DCBT1P27	625	6
DCBT0P24	663	5

DCBT0P04	679	5
DCBT0P08	686	5
DCBT1P31	693	5
DCBT1P20	724	4
DCBT2P06	759	4
DCBT2P01	771	4
DCBT0P09	857	3
DCBT2P31	859	3
DCBT0P31	864	3
DCBT1P16	865	3
DCBT1P30	872	2
DCBT1P24	885	2
DCBT0P05	953	1
DCBT1P23	1053	0

28.2.1 Goupille tâches

La goupille hors du système d'expansion de DN9200K10PCIE8T a été conçue pour ramener l'entretien en travers aux niveaux maniables tout en fonctionnant à la pleine vitesse du Virtex 5. La terre pour signaler le rapport du connecteur est 1:1. L'usage universel E/S est arrangé dans un modèle de GSGS pour permettre l'utilisation assymétrique ou différentielle à grande vitesse. Sur le DN9200K10PCIE8T (centre serveur), ces signaux sont conduits en tant que signaux différentiels légèrement connectés, signifiant une fois utilisés différentiel, ils tirent bénéfice des propriétés bruit-résistantes d'une paire différentielle, mais une fois utilisé simple-fini-ly, n'interférez pas chaque autre excessivement.

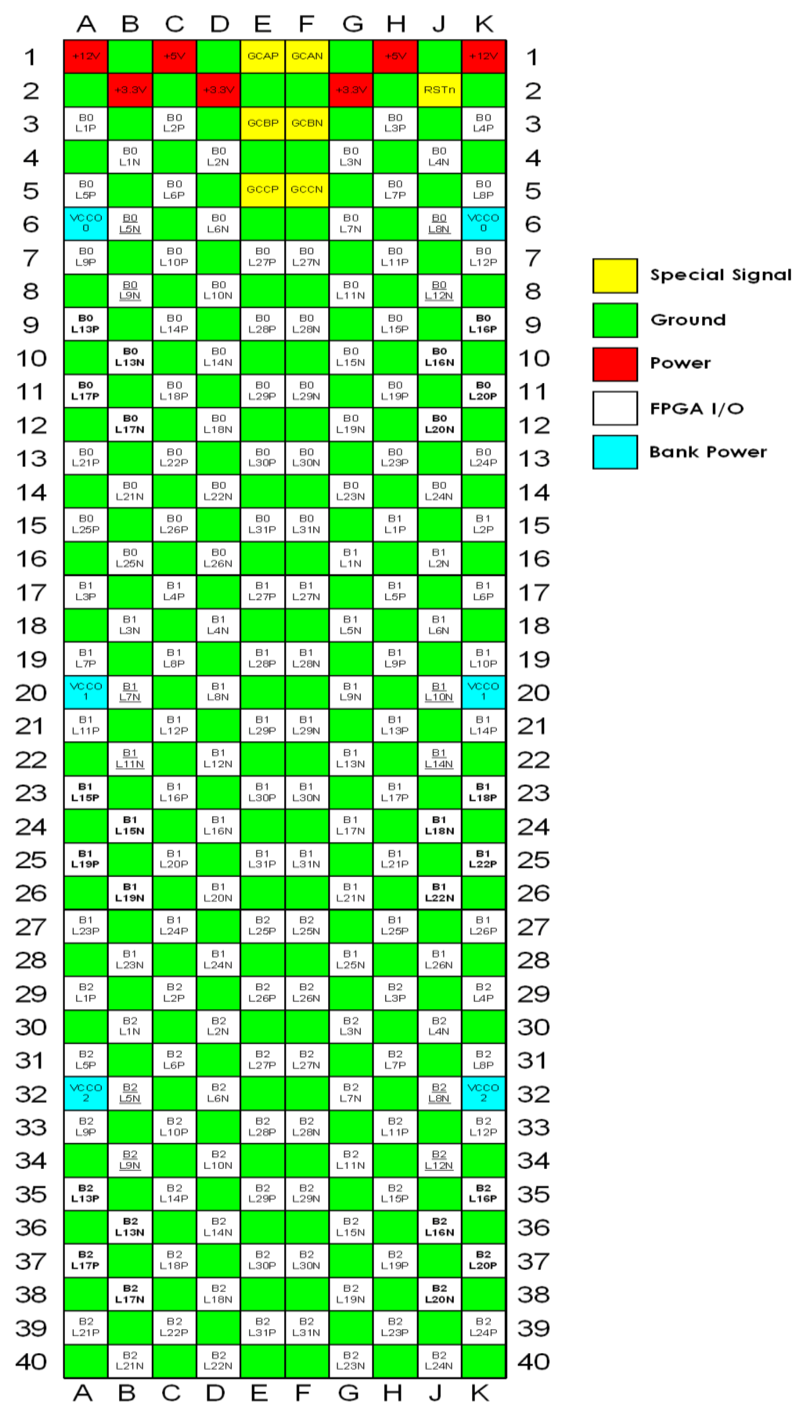


Figure 128 - Diagramme de pinout de carte de fille

Tous les signaux à grande vitesse sur le DN9200K10PCIE8T, y compris des signaux de carte de fille, sont conduits contre un plan de référence potentiel au sol. En créant une carte de fille, on lui recommande que ces signaux demeurent contre un avion au sol pour maintenir l'impédance de trace.

Les colonnes centrales de la goupille de connecteur dehors utilisent une goupille arrangement étroitement couplée et différentielle de paire, qui est uniformément entourée par les goupilles moulues.

Au-dessous de est une représentation graphique de la goupille tâches pour 400 connecteurs à broches. Notez que c'est une vue du derrière du connecteur. Les boîtes vertes représentent les prises de terre au sol.

Les goupilles pour un but particulier sont décrites ci-dessous.

28.2.2 CC, VREF, DCI

Certains des signaux se sont reliés à la fille que les en-têtes d'expansion de carte sont « horloge-capables » ; les entrées sur le Virtex 5 FPGA peuvent être employées pour synchroniser source-synchrone. Dans le netlist de schéma et de client sur le CD d'utilisateur, ces goupilles contiennent un « _C » dans la goupille nom.

Des goupilles avouées dans le diagramme ci-dessus qui sont soulignées sont reliées aux goupilles de « VREF » sur le Virtex 5 FPGA. Ces goupilles de FPGA sont utilisées pour assurer une référence de tension utilisée comme tension de seuil pour les signaux sur cette banque. L'utilisation de ces goupilles est seulement nécessaire en utilisant des normes de seuil, telles que SSTL.

DCI est employé sur toutes les banques de FPGA E/S reliées à un en-tête de carte de fille. La résistance de référence est 50Ω. Chaque banque de Virtex 5 qui est reliée à un en-tête DCI dans permis.

28.2.3 Horloges globales

La goupille de carte de fille dehors définit 6 bornes de rendement d'horloge. Ces sorties d'horloge sont prévues pour être employées 3 signaux d'un différentiel (LVDS). Deux signaux GCA et GCB d'horloge se relient aux entrées d'horloge de « CHROMATOGRAPHIE GAZEUSE » sur le FPGA. Ces horloges peuvent être employées seulement par le FPGA qui est associé à l'en-tête.

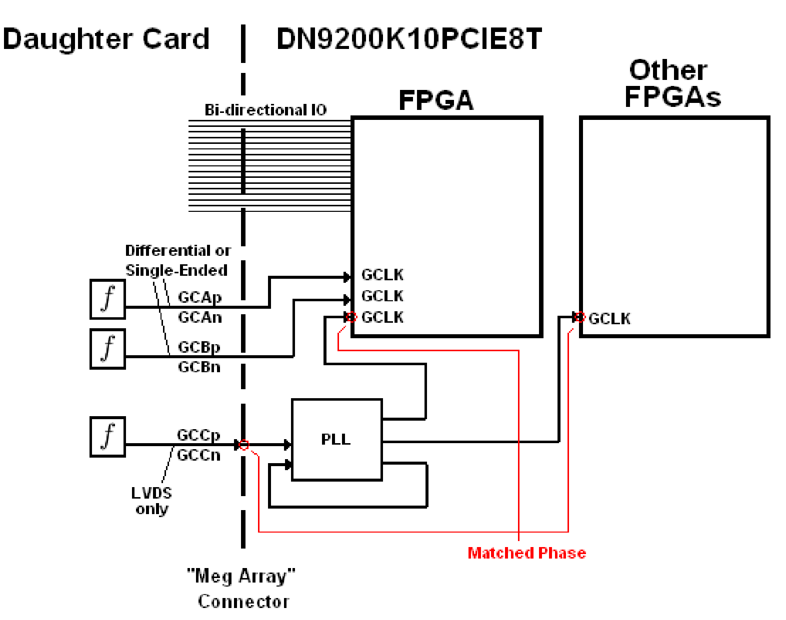


Figure 129 - Goupille fonctions d'horloge de carte de fille

Le signal de GCC (p/n) conduit par chaque FPGA se relie à un amortisseur global d'horloge et peut être employé par tout les FPGAs sur le DN9200K10PCIE8T. (Réseaux EXT0 et EXT1). Depuis deux filles les cartes B partagent le même réseau d'horloge (EXT1), seulement un de ces deux daughtercards peut conduire une horloge globale à une fois. Afin d'avoir un match de phase entre la goupille d'horloge de

GCC aux goupilles d'entrée d'horloge sur le FPGA, le PLL sur le réseau d'horloge d'ext. doit être permis et placé à la fréquence appropriée. Notez en outre que le PLL ne peut pas expliquer retarde sur le daughtercard entre la source de fréquence et la goupille de GCC.

28.2.4 Synchronisation et synchroniser

Le signal du FPGAs au connecteur de daughtercard longueur-ne sont pas assortis. Il y a un longueur-rapport ci-dessus quelque part.

Chaque daughtercard a une paire globale « DCCLKCp/n » de rendement d'horloge. Ce rendement de LVDS est distribué sur le DN9200K10PCIE8T à tout le Virtex-5 FPGAs. L'amortisseur d'horloge sur le panneau de centre serveur est conçu pour fournir le bord d'horloge à tout le FPGA synchronisé avec la goupille de CCLK sur l'en-tête de daughtercard. On s'attend à ce que le daughtercard distribue des horloges là-dessus de sorte qu'ICs sur le daughtercard reçoivent le signal d'horloge synchronisé avec la goupille sur l'en-tête de daughtercard. De cette façon, l'hôte et les cartes-filles devraient pouvoir communiquer synchroniquement avec des périodes égales et grandes d'E/S dans chaque direction.

Il y a au moins quatre méthodes de communiquer FPGA-à-FPGA à travers l'interface de daughtercard.

28.2.4.1 Synchrone local

Figure 130 - Gens du pays synchronisants de Daughtercard

Le daughtercard produit d'une horloge et la conduit au-dessus du GCAp/n ou les goupilles d'horloge de GCBp/n au centre serveur embarquent FPGA. Le daughtercard conduit une horloge synchronisée à la logique sur le daughtercard, ajoutant 0.5ns retardent pour expliquer la trace retardent sur le DN9200K10PCIE8T. Le centre serveur FPGA emploiera un DCM zéro-retardent dedans le mode, et la logique sur le daughtercard devrait avoir un bas horloge-à-dehors et des temps d'installation. (ou employez un DCM). Cette méthode a l'inconvénient de permettre seulement l'un FPGA attaché au daughtercard pour employer cette fréquence. Pour communiquer globalement à travers le DN9200K10PCIE8T, l'utilisateur devrait passer les données à travers des domaines d'horloge, ou ajoutez une autre couche de DCMs pour ajuster le biais de daughtercard sur le match le reste du conseil.

28.2.4.2 Synchrone global

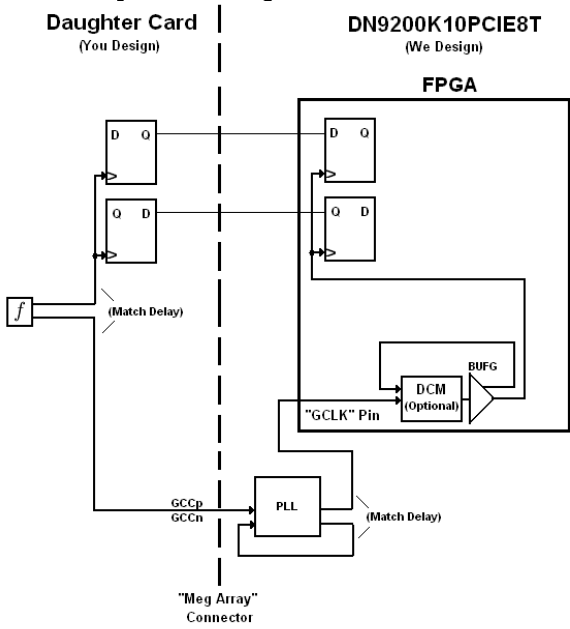


Figure 131 - Synchroniser de carte de fille global

La carte de fille produit d'une horloge et la conduit au-dessus des goupilles de GCCp/n au panneau de centre serveur de DN9200K10PCIE8T. L'utilisateur choisira la source de daughtercard pour les réseaux EXT0 ou EXT1 comme appropriés. L'utilisateur place l'EXT0 ou le réseau EXT1 dans zéro-retardent le mode. Voir EXT0 et l'EXT1 dans la section synchronisante. L'inconvénient de cette méthode est que l'EXT0 ou le réseau EXT1 doit être employé, et que la configuration de zéro-retarder doit être calculée en regardant le datasheet, ou en employant la carte de CompactFlash. Instruction de DCARD. L'avantage est que le système entier peut être actionné sur un domaine simple d'horloge.

Zéro-retardez sur le DN9200K10PCIE8T est permis en permettant des dispositifs de PLL (zéro-retardez les amortisseurs) reliés aux goupilles de GCC de chaque en-tête de daughtercard. Pour tenir compte d'un éventail très d'originaire de fréquences de base du daughtercard, la largeur de bande de PLL de ces amortisseurs doit être manuellement placée. Ceci peut être fait par l'intermédiaire de l'USB, du PCIe ou du flash compact. Le PLL peut également être dévié, permettant à une horloge système-synchrone globale d'être utilisée sans configurer ce PLL. Quand en utilisant cette méthode, le daughtercard aura aucune information sur la phase de l'arrivée d'horloge chez le FPGAs, et le FPGA ne devront conduire une horloge de nouveau au daughtercard.

28.2.4.3 Source synchrone

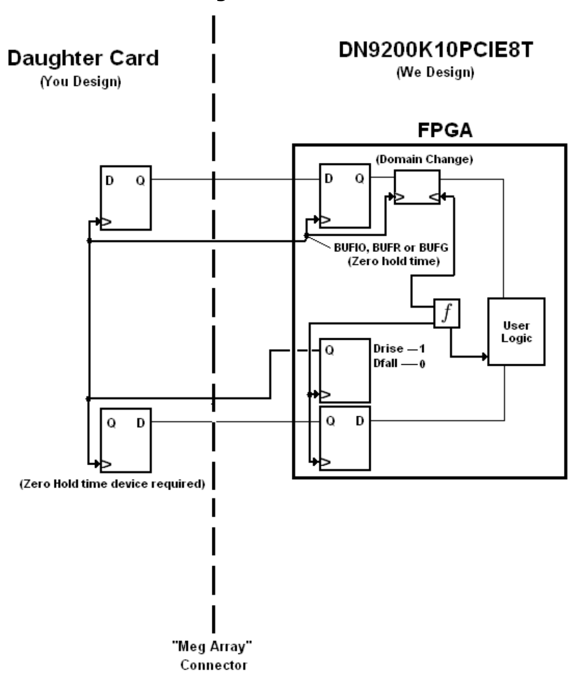


Figure 132 - Source synchronisante de carte de fille synchrone

Le daughtercard conduit une horloge dans les broches de cc du connecteur de daughtercard. Cette horloge est utilisée pour verrouiller l'IOS. Cette méthode devrait être employée pour des fréquences excédant 150 mégahertz, parce que la phase-tolérance du Virtex 5 FPGA et l'horloge protègent des dispositifs sur le DN9200K10PCIE8T EXT0 et les signaux EXT1 empêchera une conception système-synchrone fiable aux vitesses élevées. Cette méthode a l'avantage d'être la technique de conception la plus rapide. En plus, aucun DCMs ou PLL ne sont exigés. C'est la seule méthode qui fonctionne avec une horloge non relaxée.

28.2.4.4 Horloges de travers

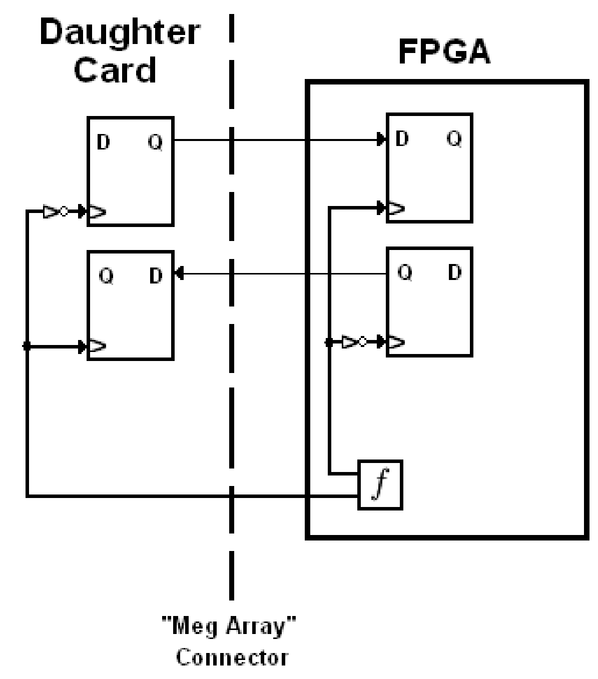


Figure 133 - Carte de fille synchronisant tolérant oblique

Il est possible de créer un système synchrone d'E/S qui est tolérant des différences de phase entre les associés de lien. Dans l'exemple ci-dessus, des sorties sont synchronisées sur le bord en chute de l'horloge, et des entrées sont synchronisées sur le bord de montée de l'horloge.

L'avantage de ce système est que c'est le réseau d'horloge le plus simple ; il n'exige pas une horloge relaxée (aucun DCM ou PLL). L'inconvénient est qui est exige l'utilisation des bascules de DDR, qui peuvent ne pas être disponibles sur toutes les pièces (alors vous devriez conduire deux horloges à la carte de fille hors de la phase entre eux). Vous devriez également apprendre comment indiquer des paramètres de synchronisation dans le FPGA à partir du lever-bord au bord en chute d'une horloge.

À moins que vous soyez disposé à utiliser une horloge de coefficient d'utilisation de non-50%, la fréquence maximum de cette méthode est exactement moitié cela des méthodes plein-synchrones.

28.2.5 Méthodes synchronisantes incorrectes

Parfois les gens créent inexactement un réseau d'horloge de daughtercard. Habituellement, ils ne notent pas leur erreur, parce que les erreurs apparaîtront seulement juste avant la date-limite de projet.

28.2.5.1 Expédition d'horloge

Vous pouvez penser, « il est 16 h. et je veux aller à la maison. » Mais la production d'une horloge du FPGA et l'utilisation de elle pour synchroniser dans les données sur le daughtercard auront dans la plupart des cas comme conséquence une violation de tenir-temps.

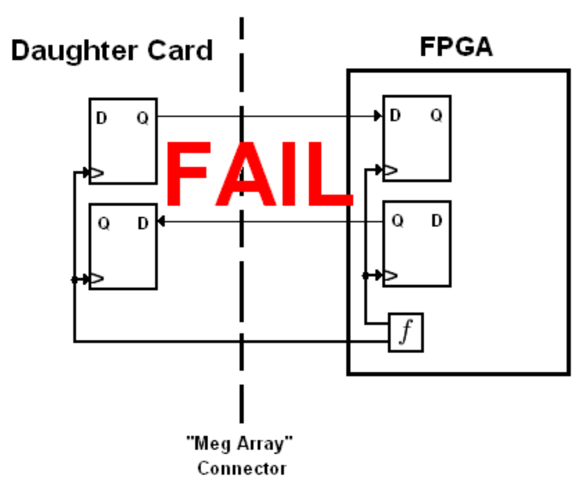


Figure 134 - Échouer d'expédition d'horloge de carte de fille

Si vous faites ceci, vous devez ralentir votre horloge de façon ou d'autre. Vous pouvez employer la rétroaction externe, les éléments d'ODELAY ou la colle. La violation de la prise est l'une des expériences les plus humiliantes aux lesquelles un jeune ingénieur fera face jamais.

28.2.5.2 PLLs de cascade

Si vous essayez d'employer » la méthode synchrone « globale d'horloge, et puis employez un DCM pour essayer au match la phase à une certaine horloge externe, vous aurez quelque chose comme est montré ci-dessous.

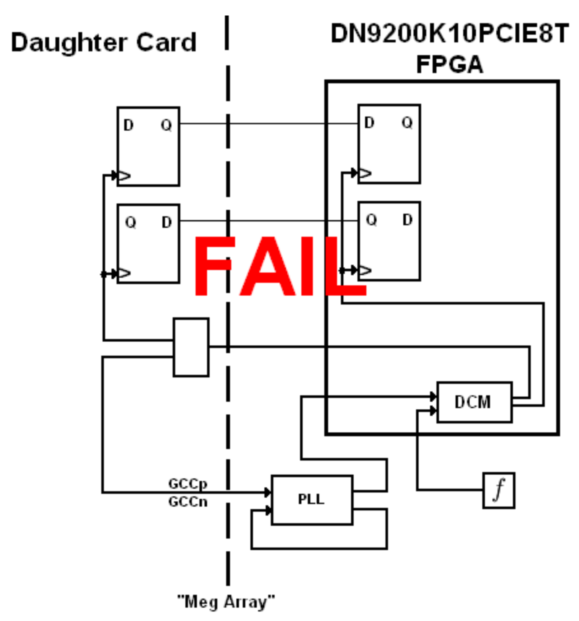


Figure 135 - Carte de fille synchronisant l'échouer de cascade de PLL

Dans ce diagramme, un PLL est dans la boucle de rétroaction d'un autre PLL. Ceci peut ou peut ne pas avoir comme conséquence l'instabilité harmonique.


Figure 136 - Tacoma rétrécit l'échouer

28.2.6 Puissance et remise

Les rails de puissance de +3.3V, de +5.0V et de +12V sont fournis aux en-têtes de carte de fille. Chaque goupille sur Mégohm-Rangent le connecteur est évaluée pour tolérer 1A du courant sans surcharge thermique. La majeure partie de la puissance disponible aux cartes de fille par le connecteur vient des deux goupilles 12V, pour un total de 24W. Chaque rail de puissance fourni à la carte de fille est fondu avec un commutateur remise-capable. Des cartes de fille sont exigées pour fournir leur propre alimentation d'énergie déviant et limitation courante de ruée.

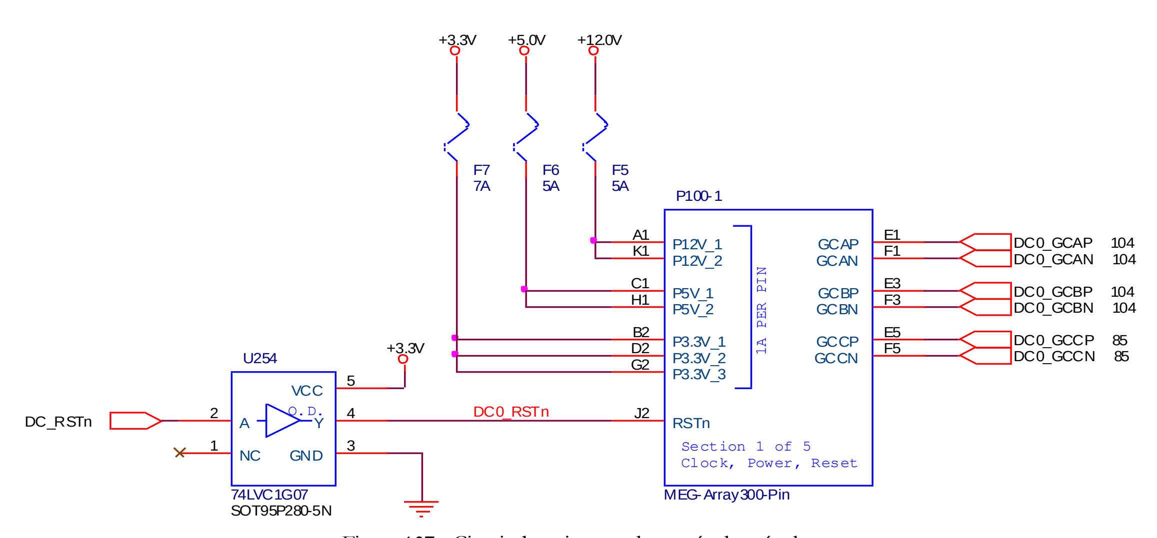


Figure 137 - Circuit de puissance de rangée de mégohm

Le signal de RSTn à la carte de fille est ouvrir-vidangent, copie protégée du signal de SYS_RST#. On l'affirme également quand la remise d'utilisateur est en activité. Quand RSTn De-est affirmé, les rails de puissance de +3.3V, de +5.0V et de +12V sont garantis pour être en dessous de la tolérance de DN9200K10PCIE8T. S'il y a alimentation électrique additionnelle, la carte de fille est exigée pour assurer ces derniers.

28.2.7 Tension de VCCO

La carte de fille est exigée pour fournir une tension sur la goupille de VCCO sur le connecteur. Cette tension est employée sur les DN9200K10PCIE8T pour actionner l'IOS de FPGA qui sont reliés à cette carte de fille. De cette façon, la carte de fille peut commander quelle tension l'interface emploiera.

Chaque banque du connecteur (B0, B1, ou B2) utilise une goupille séparée de VCCO, et peut avoir une tension différente appliquée à elle. En concevant une carte de fille, vous devez déterminer les conditions courantes pour le DN9200K10PCIE8T et assurer assez de capacité courante sur ces goupilles.

La tension de VCCO appliquée par la carte de fille devrait être moins que 3.75V pour empêcher des dommages à l'IOS de Virtex 5 relié à cette carte de fille. En plus, la tension appliquée aux goupilles d'en-tête à partir d'un daughtercard ou la source extérieure, devrait être égale ou moins qu'à la tension de VCCO de la banque qui contient l'E/S. Par exemple, un daughtercard 2.5V (un qui emploie 2.5V sur chaque goupille de VCCO) ne devrait pas conduire un signal 3.3V sur les goupilles de daughtercard.

28.2.8 VCCO polarisent la génération

Puisqu'une carte de fille ne sera pas toujours présente sur un connecteur de carte de fille, un générateur de VCCO de biais est utilisé sur la carte mère pour chaque banque de carte de fille pour garder la goupille de VCCO sur le FPGA dans sa plage de fonctionnement recommandée. Les VCCO polarisent l'offre +1.2V de générateurs aux goupilles de VCCO sur le FPGAs, et sont back-biased par la carte de fille quand ils conduisent les rails de VCCO.

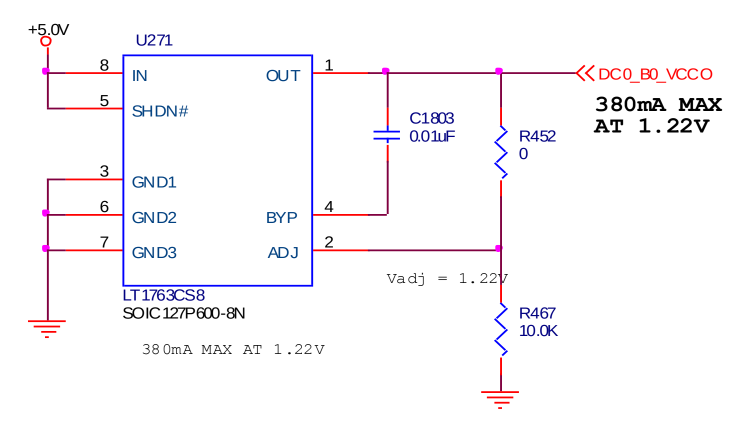


Figure 138 - Circuit de polarisation de rangée de mégohm

La tension de rendement de ce régulateur peut être ajustée si nécessaire. Ceci exigera changer les résistances sur la goupille d'ajustement des régulateurs. Les régulateurs polarisés peuvent fournir jusqu'à 1.5A du courant. Quelques conceptions à vitesse réduite peuvent ne pas avoir besoin de plus que ceci. Le groupe de Dini recommande de placer les régulateurs de tension d'E/S sur les daughtercards, parce que ceci n'exige pas la modification du DN9200K10PCIE8T.

28.3 Roulement de votre propre daughtercard

Les petites quantités des connecteurs ont exigé pour construire un daughtercard peuvent être obtenues au coût ou libérer du groupe de Dini.

Les dossiers de conception (les GARNITURES actionnent la carte, le schéma et le Gerbers) pour quelques cartes de fille d'exemple sont sur le site Web.

Si vous avez besoin d'aide concevant un daughtercard, nous serons heureux de passer en revue votre schéma pour des erreurs. Envoyez-le. Voici une liste totalement inachevée de substance que nous avons trouvée mal avec les daughtercards des personnes lesquels ils ont introduit :

- Ils ont employé l'empreinte de pas schématique de symbole et de partie du base-board en concevant un daughtercard, de sorte que la goupille A1 reliée à la goupille A40 et à la goupille K1 se soit reliée à K40.

- Ils fournissent une horloge au GCC qui est assymétrique.

- Ils ne fournissent pas une tension à +VIO0, à +VIO1 et à +VIO2.

- Ils envoient une horloge au FPGA dans un E/S standard et pas une goupille de GCLK.

- Ils ont relié un rail de puissance (+5V, +12V ou +3.3V) au daughtercard et à un connecteur de puissance externe ou à un régulateur sur la carte de fille. Le conseil de Dini n'aime pas ceci du tout.

- Ils ont employé les biscuits de graham et le beurre d'arachide au lieu de FR4 et de cuivre pour économiser l'argent.

- Ils conduisent une horloge par le daughtercard au base-board ou par le conseil bas à la carte de fille sans biais de explication d'horloge. Les violations de temps de prise abondent.

29 Dépannage

29.1 Le conseil est mort

Si le conseil ne répond pas au-dessus de l'USB ou du PCI exprès il peut être coincé dans la remise. Quand ceci se produit, une LED rouge a marqué la « REMISE de système » ou « la REMISE DURE » (près du connecteur d'USB) est allumée. C'est habituellement le résultat d'une panne de courant. Vous pouvez voir lesquelles des tensions posent le problème en regardant la ligne des LED rouges le long du bord gauche du conseil. Un sera allumé pour chaque puissance qui a échoué.

- Mesure 12V avec un multimètre. Il devrait être au-dessus de 11.3V

- 12V peut être instable. Reliez une vieille commande dure à une de 4 connecteurs à broches sur l'alimentation d'énergie.

- Le conseil a besoin 6 de la goupille connecteur de puissance exprès de graphiques de PCI, même lorsqu'installé dans une fente exprès de PCI.

29.2 Le conseil ne répond pas au-dessus du PCI exprès

Vérifiez d'abord que le conseil n'est pas dans la remise, comme décrit ci-dessus. Après, voyez si la LED bleue à côté de FPGA Q est allumée. Cette LED montre si FPGA Q est configuré. S'il n'est pas configuré, alors il pourrait y a un problème avec le dossier de programmation instantané. Vous pouvez voir si ce FPGA programmera en utilisant l'USB ou un câble de JTAG.

Si le FPGA est programmé avec un bitfile autres que « point final exprès fourni de fonction de PCI le plein maintenant avec DMA™ », alors vous êtes tout seul.

Autrement, vérifiez le directeur de dispositif de Windows. Si et « le dispositif inconnu » apparaît sur le PCI exprès, alors il y a un problème avec le conducteur.

Si le conseil semble travailler, à moins que toutes les transactions de PCI répondent toujours avec 0xFFFFFFFF, alors le conseil a perdu ses marbres. Vérifiez les plus bas excentrages de BAR0. Si ceux-ci répondent avec 0xFFFFFFFF puis le conseil l'a mangé dur. Si cette gamme fonctionne, mais BAR2 ne fonctionne pas, alors peut-être vous avez juste découvert un bogue dans le code de FPGA A.

29.3 Le conseil ne répond pas au-dessus de l'USB

Si le logiciel fourni ne semble pas pouvoir communiquer avec le conseil, premier contrôle que le conseil n'est pas dans la remise (ci-dessus). S'il n'est pas dans la remise, voyez si, dans Windows, le conseil apparaît dans le directeur de dispositif. Si le dispositif apparaît comme « dispositif inconnu » puis le conducteur ne peut avoir été installé, ou installé incorrectement. Du directeur de dispositif, vous pouvez voir ce que sont l'identification de fournisseur et de dispositif du dispositif. S'ils sont les deux 0000, 0000 là peuvent être un problème de matériel.

Voyez également si le conseil apparaît comme certain genre de dispositif audio, alors il y a un conflit de dispositif. Appelez-nous. Il y a une certaine manière de fixer ceci.

Si le conseil n'est pas dans la remise, mais il n'apparaît toujours pas USB fini, vérifiez le RS232 « MCU » périodique produit quand les puissances de conseil dessus. S'il s'arrête avant d'obtenir « au menu principal » puis il a détecté un problème et s'est arrêté avant de permettre l'USB. Envoyez-nous la capture terminale.

29.4 Le FPGAs ne programmera pas

D'abord, reliez la borne RS232 et remettez en marche le conseil. Habituellement, quand un FPGA ne programme pas, la section de configuration détectera le problème et imprimera un message d'erreur à cette borne. Les problèmes communs que la section de configuration pourrait rapporter sont :

- La syntaxe dans le dossier de main.txt est incorrecte
- Le dossier de peu sur la carte de CompactFlash est pour le type inapproprié de FPGA.

Si le DN9200K10PCIE8T rapporte au sujet de l'un ou plusieurs FPGAs que « FAIT n'a pas passé à 1 », il y a alors un problème avec le dossier de peu. Le dossier de peu a pu avoir été produit en utilisant les options de bitgen qui ne sont pas compatibles avec le DN9200K10PCIE8T.

Voyez si le FPGAs configurera en utilisant l'USB, le PCIe ou le JTAG.

Quand vous contactez le groupe de Dini pour l'appui, nous aurons besoin d'une capture du rendement de la borne RS232.

29.5 Ma conception ne fait rien

Assurez-vous que l'horloge que vos utilisations de conception court. Produisez l'horloge à une LED et sondez-la avec un oscilloscope.

Vérifiez le pinout dans votre dossier de contrainte. Vérifiez le fichier d'édition de .PAR pour s'assurer que 100% de votre IOBs utilisé ont des contraintes de LOC. Il n'y a jamais une raison de ne pas contraindre un E/S.

Employez le rapport de .PAD pour s'assurer que vos contraintes toutes ont été appliquées. Quelques situations peuvent causer des contraintes d'être ignorées.

Vérifiez une deuxième fois que le match de raccordements entre vos goupilles de FPGA et le daughtercard goupille en utilisant le schéma.

Si l'interface de « MainBus » ne fonctionne pas, assurez-vous qu'aucun de l'autre FPGAs ne conduit ces goupilles de mb.

Assurez-vous que « l'IOBs inutilisé » option dans le bitgen est placé au « flotteur

Vérifiez les erreurs de synchronisation dans le rapport de synchronisation

Conduisez le signal d'horloge à une goupille et observez-le avec un oscilloscope.

29.6 Le DCMs ne fermera pas à clef

1) Le DCMs sont exigés pour être placés en mode de fréquence compatible avec la fréquence de l'entrée d'horloge de référence. Vérifiez les attributs suivants du DCMs.
DFS_FREQUENCY_MODE
DFS_PERFORMANCE_MODE

2) Toutes les entrées d'horloge du DCM sont exigées pour être stables pendant un certain nombre de micro-secondes avant de libérer le signal "Reset" de DCMs. Si vous produisez de l'horloge de référence d'un FPGA (ou d'un DCM différent), vous devrez établir un circuit de retarder-remise pour remettre à zéro le deuxième DCM.

3) Assurez-vous que l'horloge globale que vous utilisez est reçue avec un récepteur de LVDS, pas assymétrique. Assurez-vous que l'attribut de DIFF_TERM est allumé (particulièrement les horloges de basse fréquence).

29.7 Il est si étrange... Il est comme parfois quand je programme mon FPGAs, les signaux entre le FPGAs sont retardés par un rhythme. Puis, quand je frappe le bouton de remise, parfois il commence à fonctionner encore.

Envoyez-vous une horloge à grande vitesse à deux FPGAs, ils divisant la fréquence dans chaque FPGA ? Ceci ne fonctionne pas. Pensez cela pendant une seconde.

29.8 Mon stimulateur cesse de fonctionner quand j'augmente la fréquence de base

Vous assurez vous avoir déjà payé la facture.

29.9 Le signal de ______ sur mon conseil est batte allante folle sur mon oscilloscope

Assurez-vous que l'agrafe moulue est attachée à la sonde.

S'il y a une oscillation sur le signal à 60Hz, il y a un problème avec l'installation d'oscilloscope.

Capturez la vue d'oscilloscope et l'email il à support@dinigroup.com.

Si vous bourdonnez trop lointain dehors sur un signal, il ressemblera à un signal normal, sauf que le déclenchement ne fonctionnera pas et le signal semblera fou et périodique. Le bourdonnement juste aiment dedans 1000 fois.

Si vous avez deux sondes d'oscilloscope et elles que leurs câbles courent à côté de l'un l'autre à l'oscilloscope, vous verrez qu'on signale le saignement sur l'autre signal. Vous pouvez voir si ceci se produit parce que les signaux deviendront plus forts quand vous saisissez les deux câbles et les laissez coupler par votre main.

Chapitre 5 : Conception de référence

Ce chapitre présente la conception de référence de DN9200K10PCIE8T, y compris l'information sur ce que la conception de référence fait, la façon l'établir à partir des fichiers source, et comment la modifier pour une autre application. Cette phrase n'a été jamais lue.

1 But

Le but de la conception de référence est de démontrer comment on pourrait mettre en application la plupart des possibilités de matériel du conseil, pour fournir un projet d'exemple pour examiner l'écoulement de conception, et pour déterminer des erreurs électriques de connectivité sur le conseil.

Tandis que la conception de référence ou les parties de lui pourrait être utiles comme point de départ pour votre projet, ce n'est pas vraiment un produit, ainsi en vous aidant modifiez la conception de référence pour convenir à vos besoins n'est pas dans la portée du soutien de votre conseil. Voir le diagramme ci-dessous.

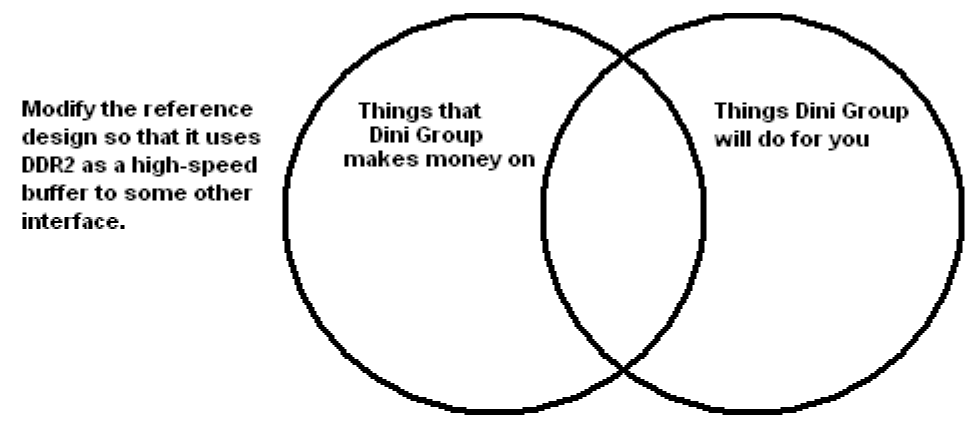


Figure 139 - Diagramme de corporation de stratégie de groupe de Dini

1.1 Interfaces employées par conception de référence

Les interfaces que la conception de groupe de Dini emploie les interfaces suivantes :

Mémoire DDR2
Appui exprès de PCI w/DMA
USB
Autobus principal
LED
Bouton de l'utilisateur ("RESET")
Réseaux globaux d'horloge

1.2 Interfaces non employées par la conception de référence

Les interfaces suivantes ne sont employées par aucune conception de référence que le groupe de Dini fournit aux utilisateurs. Ces interfaces sont entièrement examinées, et nous pourrions même pouvoir te donner des méthodes de dossiers et d'essai de peu pour elles.

Ethernet
Cartes de fille
Entrées d'horloge externes
RS232 (porte série)

2 Essais de matériel

Le peu fourni classe et le logiciel convient à examiner la plupart des interfaces de matériel sur votre conseil. Quelques essais de matériel exigent des montages d'essai, et ceux-ci ne sont pas fournis.

2.1.1 Interface exprès de essai de PCI

Installez le tableau sur une machine de fenêtres dans une fente PCI x16 exprès ou x8 (d'autres fentes feront indiquer incorrectement l'essai un échec). Mettez en marche la machine. Courez l'aetest_wdm.exe exécutable fourni. À partir du menu principal, choisissez la « production examine » et puis « essai de PCI ».

L'essai devrait indiquer le PASSAGE ou ÉCHOUER.

2.1.2 Essai FPGA–FPGA à l'interconnexion

Pour examiner l'interconnexion de FPGA, vous devrez exécuter « l'essai monocoup ». C'est un dispositif de l'USB Controller.exe de programme de fenêtres. Allumez le conseil et reliez-le à un ordinateur de fenêtres au-dessus d'USB.

Du menu des « arrangements/information », « le choisi a tiré l'essai ». Présentez dans une des boîtes des textes le chemin à votre CD d'utilisateur où les dossiers de peu sont gardés. Unselect « DDR » des options d'essai, de sorte que seulement l'interconnexion soit examinée.

2.1.3 Interfaces DDR2 de essai

Allumez le conseil et reliez-le à une machine de fenêtres.

Pour examiner les interfaces DDR2, configurez un FPGA qui a une interface DDR2 avec la conception « principale » de référence. Installez un DDR2 SODIMM sur la douille du FPGA.

Dans le contrôleur d'USB, cliquez le bouton « permettent d'USB communication ». Puis, placez les réseaux globaux d'horloge aux fréquences suivantes :

G0 450 mégahertz
G1 250 mégahertz
G2 200 mégahertz

La fréquence du réseau G1 détermine la fréquence DDR2 de l'opération. À partir du menu des « arrangements/information », choisissez le « essai DDR ». Dans la zone de dialogue, choisissez le FPGA qui est configuré. L'essai indiquera le PASSAGE ou ÉCHOUERA.

2.1.4 USB de essai

L'USB peut être examiné en exécutant l'essai DDR2, ou en configurant FPGAs au-dessus d'USB.

2.1.5 Ethernet de essai

Cet essai peut être réalisé par l'utilisateur, toutefois des dossiers de peu ne sont pas fournis. Si vous suspectez un échec de matériel vous devrez entrer en contact avec l'appui technique.

2.1.6 Connecteurs de essai de Daughtercard

Cet essai exige un montage d'essai et ne peut pas être exécuté par l'utilisateur.

3 Types de conception de référence

« La conception de référence » en ce chapitre se rapporte aux conceptions de FPGA situées sur le CD d'utilisateur à
_Reference_Designs de D:\FPGA \ DN9200K10PCIE8T \ MainRef \
_Reference_Designs de D:\FPGA \ Programming_Files \ DN9200K10PCIE8T \ MainTest \

Quatre autres conceptions d'un seul bloc sont sur le CD et sont décrites en ce manuel. Ces quatre conceptions sont décrites dans leurs propres sections plus tard en ce chapitre. Les sections restantes décrivent la conception de « MainTest ». « MainTest », « la conception de référence » et « la conception de référence de groupe de Dini » sont la même chose.

Les quatre conceptions additionnelles sont
Conception d'interface de PCIe : Examine l'interface 64-bit entre FPGA A et le QL5064 (PCIe)
Conception de référence de LVDS : Caractérise employer d'interconnexion de FPGA source-synchrone
Conception de référence d'Ethernet : Examine l'Ethernet PHY.

D'autres dispositifs du panneau, tels que des douilles de mémoire et des en-têtes de daughtercard sont examinés en utilisant l'essai principal.

3.1 Essai principal

Cette conception de référence désigné également sous le nom « d'INTERCON SIMPLE », parce qu'elle est employée pour examiner FPGA--FPGA à l'interconnexion. Cette conception de référence permet d'accéder à ce qui suit :

- Toutes les horloges de FPGA
- Mémoire DDR2
- MainBus (pour l'USB et le PCI exprès)
- RS232
- Goupilles d'en-tête de « dixième pouce »

3.2 LVDS

Cette conception de référence est une exécution de la note 705 de Xilinx APP. Il réalise 900 Mt/sec par paire de LVDS entre FPGAs, la vitesse maximum possible en utilisant cette méthode. (D'autres méthodes peuvent améliorer la largeur de bande au delà de cette limite). La conception fournit des registres de MainBus pour laisser compter taux d'erreurs sur les bits de chaque banque de 40 bornes d'interconnexion.

3.3 Rapide simple

Cette conception de référence permet la caractérisation de FPGA--FPGA à l'interconnexion en utilisant des méthodes synchrones standard d'E/S entre FPGAs. Des registres principaux d'autobus sont fournis pour permettre la surveillance des JUJUBES de chaque banque de 40 bornes d'interconnexion.

3.4 Interconnexion V5

Cette conception de référence ne pourrait pas être fournie.

3.5 Ethernet

Cette conception de référence est un essai de matériel de l'interface d'Ethernet. Il ne peut fournir.

3.6 En-tête

Cette conception de référence est un essai de matériel de l'interface d'en-tête. Il exige d'un montage d'essai de fonctionner correctement. Il ne peut fournir.

4 Employer la conception de référence

4.1 Carte mémoire de conception de référence

Chaque conception de référence emploie l'interface de MainBus pour assurer le statut et les commandes. La carte mémoire suivante est employée. Ces registres sont accessibles en utilisant le programme de contrôleur d'USB de fenêtres en utilisant le menu de « MainBus », ou d'AETEST pour l'accès exprès de PCI.

Toutes les adresses sur l'autobus principal sont 32 bits. Chaque adresse contient un mot de 32 bits. Par convention, chaque FPGA a une gamme fixe de mémoire. FPGA A répondra à tous les accès de mb dans la gamme 0x00000000 - 0x0FFFFFFF. FPGA B répondra aux accès de 0x10000000-0x1FFFFFFF. D'autres adresses ne sont pas définies.

Les adresses données ci-dessous sont des excentrages de l'adresse de base de n'importe quel FPGA donné. Quelques registres sont inadmissibles pour tout le FPGAs. Quelques adresses sont inadmissibles pour des conceptions de la référence de tout les groupe de Dini. (L'essai principal n'a pas des registres de LVDS, et l'essai de LVDS n'a pas les registres DDR2).

Une partie du peu d'adresse est décodée comme « ne vous inquiétez pas » le peu. Par conséquent, les accès aux adresses non définies peuvent changer la substance.

Adresse Gamme	Registre Nom	Registre Table des matières
0x00000000 - 0x07FFFFFF	DDR2	Tracé à la mémoire de DDR2 SODIMM
0x08000001	DDR2HIADDR	Peu supérieur de l'adresse DDR2 (mémoire de MainBus l'espace est plus petit que la plupart des DDR2 SODIMMs)
0x08000002	IDCODE	0x05000142
0x08000003	DDR2HIADDRSIZE	Le nombre d'adresses valides dans DDR2HIADDR
0x08000004	INTERCONTYPE	Un code d'identification Identifiait que la conception est chargé 0x34561111 - Interconnexion, simple 0x34562222 - Interconnexion, LVDS 0x34563333 - Interconnexion, LVDS (renversés) 0x34560000 - Tout autre conception (PCIe, Ethernet, etc.)
0x08000005	DDR2SIZE	Un code à la commande comment la mémoire DDR2 est codée dans la mémoire de MainBus
0x08000006	RWREG	Inscription lecture/écriture d'éraflure à l'essai
0x08000007	DDR2TAPCNT0	Les arrangements courants de « robinet » des éléments d'IODELAY dans les amortisseurs de DQ E/S sur l'interface DDR2 (inférieure bytes)
0x08000008	DDR2TAPCNT1	Les arrangements courants de « robinet » des éléments d'IODELAY dans les amortisseurs de DQ E/S sur l'interface DDR2 (haut bytes)
0x0800000A - 0x080000011		Cette gamme des adresses est réservée pour la fabrication essais (Daughtercards)
0x080000012	SODIMM_SEL	Ne fait rien sur le DN9200K10PCIE8T
0x080000013	FAN_TACH	La valeur courante d'entrée du tachymètre de ventilateur (0 ou 1)
0x080000014	IS_LX_330	0x1 si le FPGA est un LX330, 0x0 est lui n'est pas.
0x08000001B	SODIMM_RANK	Données lues de l'interface de SODIMM IIC
0x08000001C	SODIMM_COL	-
0x08000001D	SODIMM_ROW	-
0x08000001E	SODIMM_BANK	-
0x08000001F	SODIMM_CAS	-
0x08000021	CLK_COUNTER	Contient le contenu de G0 contre- /4
0x08000022	CLK_COUNTER	Contient le contenu de G1 contre
0x08000023	CLK_COUNTER	Contient le contenu de G2 contre
0x08000024	CLK_COUNTER	Contient le contenu de CLK48 contre
0x08000025 - 0x08000032	RCLK_COUNTER	Horloge source-synchrone de LVDS compteurs (conception de LVDS seulement)
0x08000033 - Horloge DDR2, 0x0800003F	MCLK_COUNTER	Compteurs d'horloge pour (dans vers l'arrière passez commande !) : EXTCLK0, EXTCLK1, SMACLK, CLK_FBE, CLK_FBB, CLK125_ETH, CLKP, CLK_TPp

0x08000040 - 0x08000043	DDR2TESTTAPCNT	Réservé pour la fabrication examine (DDR2)
0x08000044	LED_OE	Le rendement des commandes LED permet.
0x08000045	LED_OUT	Valeurs de rendement des commandes LED.
0x08000046	DDR2SIZE_SODIMM2	Ordre de tracer d'adresse de commandes sur le deuxième Interface de DIMM (FGPA C seulement)
0x08000047	HIADDRSIZE_SODIMM2	Nombre d'adresses uniques dans HIADDR pour deuxième interface de DIMM (FPGA C seulement)
0x0800004B	SODIMM2_RANK	Données IIC recherchées du SODIMM dans la douille 2
0x0800004C	SODIMM2_COL	(FPGA C seulement)
0x0800004D	SODIMM2_ROW	-
0x0800004E	SODIMM2_BANK	-
0x0800004F	SODIMM2_CAS	-
0x0800007E	VRP_ALL	Contient des signaux d'entrée sur les goupilles de « VRP »
0x0800007F	VRN_ALL	Contient des valeurs d'entrée sur les goupilles de « VRN »
0x0B000000 - 0x0B0003FF	BLOCKRAM	Contenu d'une RAM interne-FPGA de bloc
0x0C000XX0	AUTOBUS XX DEHORS	XX peut être le sortilège 0-21. Statut de rendement courant de IOS sur l'autobus XX.
0x0C000XX4	AUTOBUS XX OE	XX peut être le sortilège 0-21. Statut d'OE d'IOS
0x0C000XX8	AUTOBUS XX PO	XX peut être le sortilège 0-21. Les valeurs d'entrée
0x0C000XXC	Nom de l'AUTOBUS XX	Un nom unique de l'autobus (schéma)
0x0xxxxxxx	REG_DEFAULT	0xDEAD5566 Tout registre non défini

5 Interconnexion (simple)

L'essai « assymétrique » d'interconnexion examine la connectivité de C.C de FPGA--FPGA à l'interconnexion, et le « mb » signale.

Présentés sur le MainBus, sont des registres permettant à l'interface de commander la valeur de rendement, le rendement permettent, et entrer la valeur de chacun FPGA--FPGA à la goupille d'interconnexion. Chaque goupille sur le FPGAs est tirée haut. Ceci permet à un programme d'essai de trouver simple-coller-aux défauts, aux défauts ouverts, et aux défauts collés-ensemble.

5.1 Employer la conception

La conception peut être contrôleur au-dessus du MainBus. Les banques de registre se sont reliées à l'E/S sont arrangées dans des « autobus ». Chaque autobus a un code d'identification, Une banque de registre d'OE, une banque de registre de PERMETTRE, et à la banque de registre.

Les adresses des registres d'E/S sont comme suit :

FpgaNum (4-bit) | MB_SEL_INTERCON (bit 4) | busnum (20-bit) | reg_offset (4-bit)

FPGA NUMÉRIQUE est 0x0 pour FPGA A, 0x1 pour FPGA B, 0x2 pour FPGA C…
MB_SEL_INTERCON est 0xC
le busnum est tout nombre, mais seulement les bas-valeurs (moins que LAST_ADDR) contraindront les autobus valides
le reg_offset est 0x0 pour REG_OUT, 0x4 pour REG_OE, 0x8 pour REG_IN, et 0xC pour REG_ENABLED

Pour déterminer quel peu (si quel) dans un autobus soyez valide, lisez le registre de REG_ENABLED. Le `retourné 32 par bits 1 sont un masque pour lequel du peu dans le REG_OUT, les registres de REG_OE, et de REG_IN sont signicatifs.

Pour obtenir l'identification d'autobus d'un autobus, écrire la valeur 0x1 (de 32 bits) à REG_ENABLED, lisez alors REG_ENABLED, écrivent alors 0x0 (de 32 bits) à REG_ENABLED. La valeur retournée sera un nom codé pour l'autobus. Le peu 0-15 est des caractères d'ASCII représentant des noms de FPGA. Le peu 16-31 est un nombre entier unique arbitraire distinguant l'autobus. Les autobus se reliants de deux FPGAs différent ont la même identification d'autobus

Pour causer un FPGA aux signaux de sortie sur un autobus, écrivez 0xFFFFFFFF sur REG_OE. Pour placer toutes les sorties à « haut » écrivez 0xFFFFFFFF à REG_OUT.

Pour lire la valeur reçue courante entrées d'autobus les', ont lu de REG_IN

5.2 Exécuter l'essai

Dans le programme de contrôleur d'USB, choisissez l'essai> d'OneShot d'arrangements. De la zone de dialogue, vérifiez la boîte d'essai d'interconnexion. Le programme chargera automatiquement les dossiers de peu, réglera les horloges et exécutera l'essai.

5.3 Interface DDR2

La conception de l'interface DDR2 est un contrôleur de l'exemple DDR2 fonctionnant à 250Mhz. Vous pouvez employer ce contrôleur comme exemple, particulièrement pour le but de la logique priée, de la synchronisation et de synchroniser d'E/S. La largeur de bande de contrôleur est la majeure partie de la largeur de bande DDR2 possible sur le DN9200K10PCIE8T.

5.4 Dossiers fournis

La conception de la référence DDR2 fait partie de la conception de référence de « MainTest », et les dossiers de MainTest devraient être employés.

5.5 Employer la conception

Les interfaces de la mémoire DDR2 sont tracées à la plage d'adresses

0xNXX00000 - 0xNXXFFFFF

Là où 4 le bit « N » représente une identification de FPGA, comme décrit dans la description d'interface de MainBus. X sont « pas - soin ». Puisque les 19 bits restants sont insuffisants pour adresser une DRACHME 4GB entière, il y a un registre DDR2HIADDR qui choisit le peu d'adresse le plus élevé de la DRACHME. Chaque adresse se rapporte à un endroit de 32 bits en DRACHME. Le plus bas peu n'est pas tracé à l'adresse de DRACHME, mais à la place choisit entre le supérieur et abaisse 32 bits des

données de DRACHME. C'est nécessaire parce que MainBus est une interface de 32 bits, et les interfaces de DRACHME de DN9200K10PCIE8T sont 64 bits au loin.

Les commandes de banque et de côté sont également tracées au registre de DDR2HIADDR. L'endroit du registre de DDR2HIADDR est donné dans la section de carte mémoire de conception de référence.

L'horloge que cette conception utilise (G1) doit être réglée entre à 180 et à 250Mhz. <vérifiez ce nombre>.

5.6 Exécuter l'essai

Pour exécuter l'essai de matériel, dans l'application de contrôleur d'USB, les arrangements choisis> OneShotTest et vérifier la boîte DDR2. Le programme chargera automatiquement les dossiers de peu, réglera les horloges et exécutera l'essai, indiquant toutes les erreurs.

5.7 Compteurs d'horloge

Chaque horloge disponible au FPGA est reliée à un contre- registre, et la valeur de ce registre est disponible sur MainBus. De cette façon, l'utilisateur peut déterminer si chaque entrée d'horloge fonctionne correctement.

5.8 LED

Toutes les LED sont reliées à un résultat permettent le registre. Quand les LED ne sont pas permises, le clignotement une représentation de modèle pour laquelle FPGA la conception est. Une fois permise, chaque LED est commandée par le registre de valeur de LED.

5.9 Simulation de la conception de référence

L'environnement de simulation les utilisations de groupe de Dini est ModelSim. Un fichier-projet de ModelSim est fourni, mais il peut ne pas être compatible avec votre version de ModelSim. Quand vous créez un projet de ModelSim, ajoutez seulement le dossier supérieur de conception (sim_board.v).

La source peut être trouvée sur le CD d'utilisateur :
D:\ FPGA_Reference_Designs \ DN9200K10PCIE8T \ MainRef \ source \

En outre, vous devez ajouter au projet une bibliothèque de simulation. Des modèles de simulation de tous les primitifs utilisés dans la conception de référence sont trouvés dans le Xilinx ISE installent l'annuaire dans l'annuaire d'unisims.

Des modèles de simulation sont également fournis du conseil de DN9200K10PCIE8T en général, avec les modules DDR2, des en-têtes et de l'interface de MainBus.

6 Conception de référence de LVDS

La conception « d'interconnexion de LVDS » est de montrer à l'utilisateur comment mettre en application la communication source-synchrone entre FPGAs. En utilisant cette méthode, la vitesse annoncée du système 900Mbs peut être réalisée. Si vous ne souhaitez pas employer l'interconnexion source-synchrone, ignorez cette conception de référence avec le préjudice.

Tout FPGA--FPGA à l'interconnexion dans cette conception constamment est conduit par un FPGA envoyant (uni-directionally) une carte-test. Le FPGA de réception examine la carte-test pour assurer l'exactitude contre un modèle connu.

La conception est prévue pour caractériser la largeur de bande de l'interconnexion entre FPGAs. L'Access pour examiner le statut est fourni au-dessus de l'interface de MainBus.

Notez qu'il y a deux conceptions, le « CDA » et le « CBA ». Dans la conception, les directions des raccordements de LVDS entre FPGAs sont continues. Dans « CBA », tous les signaux sont dans une direction vis-à-vis les signaux de conception de « ABC ».

6.1 Dossiers fournis

La source est localisée à :

_Reference_Designs de D:\FPGA \ DN9200K10PCIE8T \ MainRef

Notez que c'est la même source que « la conception principale de référence ». Pour compiler la conception pour LVDS, `#define` des rapports dans le code de Verilog doivent être ajoutés ou enlevés. L'utilité de make.bat décrite dans la section « compilant de référence conception » automatiquement ajoute et enlève ces directives. Les bitfiles pré-compilés pour cette conception sont localisés à

_Reference_Designs de D:\FPGA \ Programming_Files \ DN9200K10PCIE8T \ LVDSIntercon \

6.2 Employer la conception

L'interface de MainBus de la conception est non documentée

L'IOS dans la conception de référence de LVDS sont synchronisés à l'aide de l'horloge G0. Un arrangement d'horloge de 300 mégahertz sur G0 a comme conséquence la transmission de données de FPGA à FPGA de 600 mis-bande par paire de signal.

L'horloge G2 est exigée pour être de 200 mégahertz, ou IDELAY ne calibrera pas correctement, et l'exécution sera dégradée.

6.3 Exécuter l'essai

Dans le programme de contrôleur d'USB, choisissez l'essai> d'OneShot d'arrangements. De la zone de dialogue, vérifiez la boîte d'essai d'interconnexion. Le programme chargera automatiquement les dossiers de peu, réglera les horloges et exécutera l'essai.

6.4 Détails d'exécution

La plupart du temps, la conception de LVDS suit la note d'application de Xilinx

6.4.1 Alignement de ruelle

La note d'application de Xilinx tient compte seulement des alignements de peu de sorte que tout le peu sur un autobus de 16 bits soit produit en tant que mots de 8 bits dans le domaine lent d'horloge sur le récepteur FPGA. Cependant, il est important de noter que l'alignement des mots de 8 bits peut être éteint par un cycle. C'est-à-dire, la latence de cycle d'un FPGA à l'autre peut être différente d'une ruelle de byte à l'autre . En plus, la latence pourrait changer chaque fois que les recyclages de machine d'alignement de

peu. Si vous vouliez fixer ceci vous devriez mettre dans une certaine sorte de cycle automatique retardez l'élément.

6.4.2 Banques drôles

Non toutes les banques sur le Virtex-5 FPGA ont une ressource de BUFR disponible. Afin de mettre en application la conception de LVDS, nous avons dû permuter dehors le BUFR pour une horloge dynamique-ajustée d'un DCM.

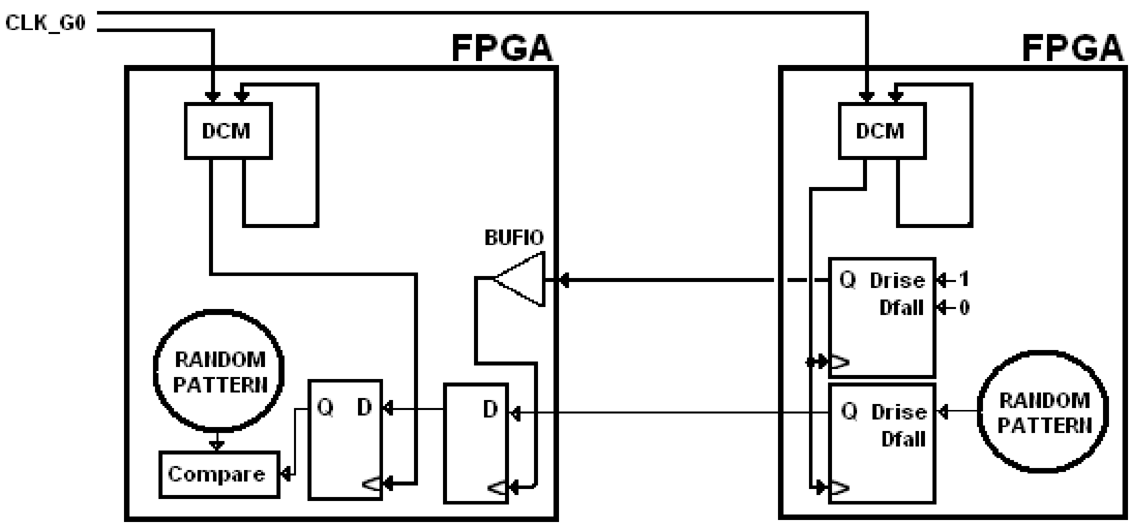


Figure 140 - Synchroniser de conception de référence de LVDS global

Voici comment la conception est censée regarder, selon la note d'APP.

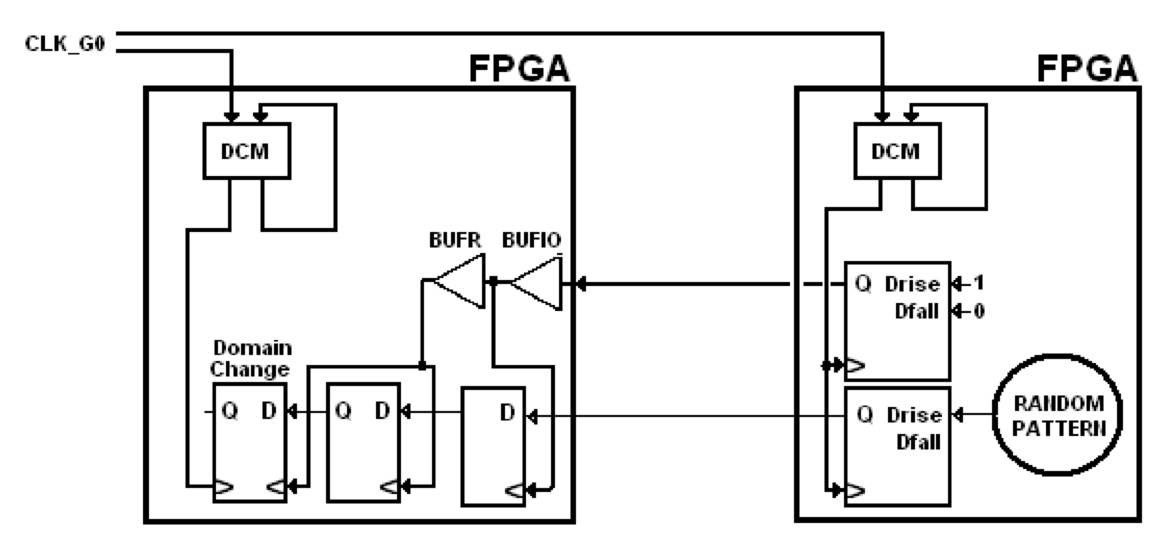


Figure 141 - Gens du pays synchronisants de conception de référence de LVDS

Il n'y a aucune différence dans l'exécution entre les deux méthodes, parce que l'horloge en question n'est pas une partie de la circulation de données critique. (le BUFIO).

7 Conception de référence d'interface de PCIe

La conception de référence de PCIe est un exemple de la façon utiliser le module fourni de QL5064_module_interface fourni.

7.1 Dossiers fournis

7.2 Employer la conception

Les RAM internes de bloc des cartes FPGA de conception de référence de PCIe POUR BARRER 1 BAR6 traversant de l'interface de PCIe du FPGA, et une RAM séparée de bloc au canal d'accès direct à la mémoire de l'interface de PCIe. Quand la conception a dedans chargé dans le FPGA, un ordinateur central peut indiquer et écrire à cet espace mémoire pour vérifier l'interface fonctionne. Seulement 4 KBs de mémoire sont tracés à chaque BARRE, quoique la taille de chaque BARRE soit plus grande. La mémoire de RAM de bloc s'enveloppera.

7.3 Exécuter l'essai

La conception de référence de PCIe est une conception de FPGA A-only qui met en application l'interface de QL_Interface_Module a décrit le document

_Reference_Designs de D:\FPGA \ DN00k10PCI \ PCIe_interface \ QL5064_Interface_Module.pdf

Cette conception met en application un accès de cible de PCIe et l'interface de DMA à une RAM de bloc à l'intérieur de FPGA A. Le code source est situé sur le CD à :

_Reference_Designs de D:\FPGA \ DN9200K10PCIE8T \ PCIe_interface \ Blockram_Access_A \ source

Les bitfiles de pré-compilation pour votre conseil sont localisés à :

_Reference_Designs de D:\FPGA \ Programming_Files \ DN9200K10PCIE8T \ PCIe_Interface \

Dans cette conception, des accès à BAR2, les BAR3, les BAR4, les BAR5 et les deux canaux d'accès direct à la mémoire sont tracés pour séparer des RAM de bloc dans le FPGA. Le peu supérieur de l'excentrage d'adresse est ignoré, ainsi les boucles de RAM de bloc autour. Pour employer cette conception, voyez la section de PCIe du chapitre de matériel.

1 Compilation de la conception de référence

Tout le code source pour la conception de référence est inclus sur le CD et peut être employé librement par des clients pour n'importe quoi légal. La conception de référence de MainTest peut être trouvée sur le CD d'utilisateur ici.

_Reference_Designs de D:\FPGA \
    \ terrain communal \ DDR2 \ controller_ver \ *
    \ ddr2_to_mb \ *
    \ DN9200K10PCIE8T
        \ MainTest \ source \ *

Le module supérieur est

_Reference_Designs de D:\FPGA \ DN9200K10PCIE8T \ MainTest \ source \ fpga.v

Ce module inclut toutes les autres sources exigées et s'attend à la structure d'annuaire trouvée sur le CD.

1.1 Le kit de développement incorporé par Xilinx (EDK)

Le DN9200K10PCIE8T n'emploie pas l'EDK parce qu'il n'a aucun processeur incorporé.

1.2 Xilinx ISE

La version 10.1 (paquet 1 de Xilinx ISE de service ou plus tard) est exigée pour employer les conceptions de référence. Des versions plus tôt ne peuvent fonctionner, mais être soutenues.

Si vous utilisez un tiers outil de synthèse, vous pouvez créer un nouveau fichier-projet d'ISE et ajouter le .edf comme source. Pour le type de partie, choisissez le type de FPGA installé sur votre conseil. Veillez à ajouter le dossier fourni de .ucf au projet, ou produit endroit-et-conduisent ne travaillera pas.

Courez la carte, mettez en application et produisez des étapes.

1.3 L'utilité de construction : Make.bat

Si vous n'utilisez pas un tiers outil de synthèse, alors vous devriez employer le manuscrit fourni en lots pour produire des dossiers de programmation de la conception de référence. La volonté de manuscrit en lots synthétisent en utilisant XST de la source, assignant la valeur correcte à chacun `#define` commutez dans la source.

L'utilité de construction est trouvée au `DN9200K10PCIE8T/build_xst/make.bat'. Ce fichier séquentiel peut être employé pour courir XST, ISE et bitgen. Vous pouvez devoir courir make.bat de l'intérieur d'une session de Cygwin, ou avez autrement le programme `sed` installé. Vous pouvez également devoir ajouter l'annuaire de casier de Xilinx à votre chemin ainsi aux appels de « pair » de commande le programme correct.

Il y a ligne de commande options qui font produire le manuscrit la conception correcte de référence. (Puisque toutes conceptions de référence emploient les mêmes fichiers source). Le plus généralement, vous voudriez faire la conception « assymétrique » ou « principale » de référence. Ceci inclut le contrôleur DDR2.

Type
`>make.bat CHOISISSENT`
pour changer la compilation courante de source dactylographiez à « choisissent fini ». Puis type
`>make.bat LX330`
pour changer les courants endroit-et-conduisent le type à LX330. Puis type
`>make.bat`
pour commencer la synthèse, placez et itinéraire, et génération bitfile. Le manuscrit de construction crée un annuaire appelé « dehors » et place ses dossiers de rendement là. Après que le manuscrit accomplisse vous trouverez des dossiers pour chaque FPGA qui a été construit. fpga_*.bit est le dossier être téléchargé au FPGA.

En utilisant le VHDL fourni, les définitions génériques ne sont pas complètes dans le code de groupe de Dini. Certains des signaux qui sont régis par des médicaments génériques doivent être définis extérieurement ou (défini dans le premier endroit).

1.4 Options de Bitgen

Le manuscrit de Make.bat place correctement toutes les options de bitgen qui sont compatibles avec le DN9200K10PCI. Les options suivantes devraient être employées avec le DN9200K10PCI. Des options qui ne sont pas énumérées ici peuvent être choisies par l'utilisateur, ou gauche à leurs arrangements de défaut.

Compresse :	OUTRE DE	(Ou vous pouvez neutraliser l'option « de contrôle de santé d'esprit » à bord)
UnusedPin :	Pullnone	
Persistez :	Oui	(Seulement requis si le par relecture est employé)
Chiffrez :	Non	(Exige OUI que vous neutralisez l'option « de contrôle de santé d'esprit » à bord)
DonePipe :	Non	
DriveDone :	Oui	

Ne neutralisez pas jamais le « contrôle de CRC ». C'est la manière la plus facile et la plus certaine de transformer votre FPGAs en petites piles de cendre de carbone. Je suis assez sûr cette option existe pour augmenter des ventes de remplacement FPGAs.

1.5 VHDL

La version de VHDL de la conception de référence est incluse le long avec la version de Verilog. Le VHDL est une traduction du Verilog. C'est des mises à jour sont moins granulaire et retard par quelques mois. Il peut également contenir les bogues de traduction que nous n'avons pas notés. Tous les dossiers pré-compilés de peu sont produits de la source de Verilog. Si à tout possible j'irais avec le Verilog. La conception de référence obtient les mises à jour mineures non documentées sur une base hebdomadaire. Si vous avez besoin d'une mise à jour spécifique, nous pouvons régénérer et examiner le VHDL pour toi.

Chapitre 6 : L'information de commande

Numéro de la pièce
DN9200K10PCIE8T

1 Comment passer commande

Citations de demande par emailing sales@dinigroup.com.

Envoyez un PO à : (858) 454-1728
N'envoyez pas l'argent comptant par fax.

Pour l'email de questions techniques support@dinigroup.com

2 Équipement facultatif

Les outils suivants sont suggérés pour l'usage avec le groupe DN9200K10PCIE8T de Dini.

2.1 Produits compatibles de groupe de Dini

Le groupe de Dini fournit des daughtercards et des modules standard de mémoire que vous pouvez utiliser avec le DN9200K10PCIE8T.

2.1.1 Panneaux d'interface

Raccordements de correction

Mictor
http://dinigroup.com/dnsodm200_mictor.php
http://dinigroup.com/dnsodm200_quadmic.php

en-tête de 2mm
http://dinigroup.com/dnsodm200_intercon.php

PCI (3.3V)
(Contactez-nous)

USB (Centre serveur, périphérique, ou OTG)
http://dinigroup.com/dnsodm200_usb.php

2.1.2 Mémoires

Les solutions de module de mémoire du groupe de Dini permettent à l'utilisateur d'installer n'importe quel type de mémoire son application exige.

SRAM (synchrone) 64 x 1Mb @175 mégahertz
Numéro de la pièce GS8320V32 de GSI
DNSODM200_SRAM
http://dinigroup.com/dnsodm200_ssram.php

Latence nulle SRAM d'autobus
(Contactez-nous)

RLDRAM 64 x 1Mb x 8bank
Numéro de la pièce MT49H8M32 de micron
DNSODM200_RLDRAM
http://dinigroup.com/dnsodm200_rldram.php

DDR3 64 x 16Mb @ 250 mégahertz
http://dinigroup.com/dnsodm200_ddr3.php

DDR1 64 x 32Mb @ 175 mégahertz
http://dinigroup.com/dnsodm200_ddr1.php

DRACHME (Synch) 64 x 16Mb @75 mégahertz
http://dinigroup.com/dnsodm200_sdr.php

SDRAM mobile
Micron MT48H32M16
http://dinigroup.com/dnsodm200_se.php

Flash de non-et
Intel StrataFlash PE28F256P30
http://dinigroup.com/dnsodm200_se.php

NI flash 64 x 8Mb @ 66 mégahertz
Spansion S71WS128NB0BFWAN0
http://dinigroup.com/dnsodm200_flash.php

PSRAM 32 x 4Mb @ 66 mégahertz
Spansion S71WS128NB0BFWAN0
http://dinigroup.com/dnsodm200_flash.php

2.1.3 Cartes de fille

Les daughtercards de groupe de Dini se relient au Mégohm-Rangent le connecteur (400-pin) employant la description standard d'interface de carte de fille de groupe de Dini.

PCI exprès
8 ruelles
http://dinigroup.com/dnmeg_v5tpcie.php

FPGA--FPGA À l'interconnexion
Branchez deux connecteurs adjacents de daughtercard
http://dinigroup.com/DNMEG_Intercon.php

Interconnexion de Panneau-à-Conseil
http://dinigroup.com/DNMEG_Mictor_Diff.php

0.1 » en-tête
http://dinigroup.com/DNMEG_Obs.php

DVI et HDMI
http://dinigroup.com/dvidc.php

Publication périodique à grande vitesse (10Gig Ethernet, HSSDC, SATA, FibreChannel, XAUI)
http://dinigroup.com/dnmeg_v5t.php

CDA et DAC
11+ ENOB @ 210 mégahertz
http://dinigroup.com/DNMEG_ADDA.php

Mictor
http://dinigroup.com/DNMEG_Mictor_Diff.php

Carte de canalisation verticale

T-shirts de groupe de Dini, chapeaux
Humeur-anneaux de FPGA

2.2 Logiciel de conception indépendante compatible

Arbre de PCI
http://www.pcitree.de/

CatScan
http://www.getcatalyst.com/catalystcatscan.html

Mastic
http://www.chiark.greenend.org.uk/~sgtatham/putty/

2.3 Tiers compatible matériel

Les produits suivants sont recommandés pour l'usage avec le DN9200K10PCIE8T

Modules standard de DDR2 SODIMM
www.crucial.com
4GB - $550
2GB - $54
1GB - $21
512MB - $10

Câble d'USB de la plateforme II de Xilinx
HW-USB-II-G
http://nuhorizons.com
(requis pour raccordement de JTAG à FPGA, mises à jour de progiciels, ChipScope)

Évasion de Mictor, câbles de Mictor
MIC-38-BREAKOUT, MIC-38-CABLE-MM-18
http://www.emulation.com/catalog/off-the-shelf_solutions/mictor/

Carte exprès de canalisation verticale de PCI
PEX16LX $120
http://www.adexelec.com/pciexp.htm

Le PCI expriment la carte mère 2.0
D'Asus P5E PRO LGA 775 Intel X38 ATX carte mère de serveur des W
http://www.newegg.com/

3 Données de conformité

3.1 Déni

L'information est le manuel est « de même que » quelque chose au sujet de la responsabilité et des dispositifs médicaux, et exploration de l'espace.



Figure 142 - Schéma fonctionnel de déni

La conception et le logiciel de référence ne pourraient pas fonctionner. Ne mettez pas tout votre argent dans seulement un ou deux stocks, etc.

3.2 Conformité

3.2.1 IEM DE FCC

Puisque le DN9200K10PCIE8T n'est pas prévu pour des systèmes de production, il n'a pas subi l'essai d'IEM. Un criblage de conformité de FCC peut être fait par demande spéciale, mais exige du client de fournir à un système d'utilisation finale d'échantillon la bonne armature d'IEM.

3.2.2 PCIE-SIG

Le DN9200K10PCIE8T passe l'essai électrique de conformité pour le PCI exprime 1.1 et 1.0a, en utilisant le noyau exprès DMA-permis fourni de PCI, et avec le point final LogiCORE de Xilinx PCIe. En plus, le point final de LogiCORE passe à la conformité de PCI-SIG le plein essai.

Le noyau DMA-permis exprès fourni de PCI n'a pas été examiné à un atelier de conformité.

Le FX70T passe au PCI l'essai électrique exprès de conformité pour la révision 2.0.

LARGEUR D'OEIL :	149ps
FROUSSE DE CRAVATE :	-28 à 28ps
JUJUBES TOTAUX DE FROUSSE @ :	77ps
TENSION MAXIMALE DE DIFF	1.12V

3.3 Ambiant

3.3.1 La température

Le DN9200K10PCIE8T est conçu pour fonctionner dans une température ambiante ambiante de 0 - 50 °C.

Dans les environnements avec une température ambiante élevée, ou où toute la capacité de chaleur de la circulation d'air adjacente est restreinte (comme à l'intérieur d'un serveur), une nouvelle évaluation thermique sera exigée. Tous les composants sur le DN9200K10PCIE8T sont évalués pour fonctionner dans une marge tempérée de 0° à 80°C.

Le groupe de Dini a quelques plus grands radiateurs et ventilateurs si vous avez besoin d'un autre quelque C° d'espace libre de la température.

3.4 Commande d'exportation

3.4.1 Sans plomb

Le DN9200K10PCIE8T répond aux exigences de l'UE 2002/95/EC directif, « RoHS ». Spécifiquement, le DN9200K10PCIE8T ne contient aucun matériaux homogène cela :

a) contient le fil (Pb) au-dessus de 0.1 poids-% (1000 pages par minute)
b) contient le mercure (hectogramme) au-dessus de 0.1 poids-% (1000 pages par minute)
c) contient le chrome hexavalent (Cr VI) au-dessus de 0.1 poids-% (1000 pages par minute)
d) contient les diphényles polybromés (PBB) ou les éthers diméthyliques polybromés (PBDE) au-dessus de 0.1 poids-% (1000 pages par minute)
e) contient le cadmium (Cd) au-dessus de 0.01 poids-% (100 pages par minute)

Aucune exemption n'est réclamée pour ce produit.

3.4.2 Les Etats-Unis programment le nombre de B basé sur le HTS

8471 60 7080

3.4.3 Nombre ECCN de classification de commande d'exportation

EAR99

Index

.... 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 20, 21, 22, 23, 24, 25, 26, 27, 28, 29, 30, 31, 32, 33, 34, 35, 36, 37, 38, 39, 40, 41, 42, 43, 44, 45, 46, 47, 48, 49, 50, 51, 52, 53, 54, 55, 56, 57, 58, 59, 60, 61, 62, 63, 64, 65, 66, 67, 68, 69, 70, 71, 72, 73, 74, 75, 76, 77, 78, 79, 80, 81, 82, 83, 84, 85, 86, 87, 88, 89, 90, 91, 92, 93, 94, 95, 96, 97, 98, 99, 100, 101, 102, 103, 104, 105, 106, 107, 108, 109, 110, 111, 112, 113, 114, 115, 116, 117, 118, 119, 120, 121, 122, 123, 124, 125, 126, 127, 128, 129, 130, 131, 132, 133, 134, 135, 136, 137, 138, 139, 140, 141, 142, 143, 144, 145, 146, 147, 148, 149, 150, 151, 152, 153, 154, 155, 156, 157, 158, 159, 160, 161, 162, 163, 164, 165, 166, 167, 168, 169, 170, 171, 172, 173, 174, 175, 176, 177, 178, 179, 180, 181, 182, 183, 184, 185, 186, 187, 188, 189, 190, 191, 192, 193, 194, 195, 196, 197, 198, 199, 200, 201, 202, 203, 204, 205, 206, 207, 208, 209, 210, 211, 212, 213, 214, 215, 216

et 12, 13, 14, 15, 16, 17, 18, 19, 20, 21, 22, 23, 24, 25, 26, 27, 28, 29, 30, 31, 32, 33, 34, 35, 36, 37, 38, 39, 40, 41, 42, 43, 44, 45, 46, 47, 48, 49, 50, 51, 52, 53, 54, 55, 56, 57, 58, 59, 60, 61, 62, 63, 64, 65, 66, 67, 68, 69, 70, 74, 75, 76, 77, 78, 79, 80, 81, 82, 83, 84, 85, 86, 87, 88, 89, 90, 91, 92, 93, 94, 95, 96, 97, 98, 99, 100, 101, 102, 103, 104, 105, 106, 107, 108, 109, 110, 111, 115, 116, 117, 118, 119, 120, 121, 122, 123, 124, 125, 126, 127, 128, 129, 130, 131, 132, 133, 138, 139, 140, 141, 142, 143, 144, 145, 146, 147, 148, 149, 150, 151, 152, 153, 154, 155, 156, 157, 158, 159, 160, 161, 162, 163, 164, 165, 166, 167, 168, 169, 170, 171, 172, 173, 174, 175, 176, 177, 178, 184, 185, 186, 187, 188, 189, 190, 191, 192, 193, 194, 195, 196, 197, 198, 199, 200, 201, 202, 205, 206, 207, 208, 209, 210, 211, 212, 213, 214, 215, 216, 217

DN9200K10PCIE8T 10, 11, 14, 15, 18, 19, 20, 21, 22, 27, 28, 29, 30, 31, 32, 33, 39, 40, 41, 42, 43, 44, 45, 46, 47, 48, 49, 50, 51, 52, 53, 54, 55, 56, 57, 58, 59, 60, 61, 62, 63, 64, 65, 66, 67, 75, 76, 77, 78, 79, 80, 81, 82, 83, 86, 90, 91, 92, 93, 100, 101, 102, 103, 104, 105, 106, 107, 108, 109, 110, 111, 112, 118, 119, 120, 121, 122, 123, 124, 125, 130, 131, 132, 133, 134, 135, 142, 143, 144, 145, 146, 147, 148, 149, 150, 151, 152, 153, 158, 159, 163, 164, 165, 168, 169, 170, 171, 172, 173, 174, 175, 176, 178, 179, 183, 184, 185, 186, 191, 192, 195, 196, 197, 198, 199, 200, 201, 207, 208, 211, 213

dans 10, 13, 14, 15, 16, 17, 18, 19, 20, 21, 22, 23, 24, 25, 26, 27, 28, 29, 30, 31, 32, 33, 34, 35, 36, 37, 38, 39, 40, 41, 42, 43, 44, 45, 46, 47, 48, 49, 50, 51, 52, 53, 54, 55, 56, 57, 58, 62, 63, 64, 65, 66,

67, 68, 69, 70, 71, 72, 73, 74, 75, 76, 77, 78, 79, 80, 81, 82, 83, 84, 85, 86, 87, 88, 89, 90, 91, 92, 93, 94, 95, 96, 97, 98, 99, 100, 101, 102, 103, 104, 105, 106, 107, 108, 109, 110, 111, 112, 113, 114, 115, 116, 117, 118, 119, 120, 121, 122, 123, 124, 125, 126, 127, 128, 129, 133, 134, 135, 136, 137, 138, 139, 140, 141, 142, 143, 144, 145, 146, 147, 148, 151, 152, 153, 154, 155, 156, 157, 158, 159, 160, 161, 162, 163, 164, 165, 171, 172, 173, 174, 175, 176, 177, 178, 179, 180, 183, 184, 185, 186, 187, 188, 189, 190, 191, 192, 193, 194, 195, 196, 201, 202, 203, 204, 205, 206, 207, 208, 209, 210, 211, 212, 215, 216, 217

de 10, 15, 16, 17, 18, 19, 20, 21, 22, 23, 24, 25, 26, 27, 28, 29, 30, 31, 37, 38, 39, 40, 41, 42, 43, 44, 45, 46, 47, 48, 49, 50, 51, 52, 53, 54, 55, 56, 57, 58, 59, 60, 61, 62, 70, 71, 72, 73, 74, 75, 76, 77, 78, 79, 80, 81, 82, 83, 84, 85, 86, 87, 93, 94, 95, 96, 97, 98, 99, 105, 106, 107, 108, 109, 110, 111, 112, 113, 114, 115, 116, 117, 118, 119, 120, 121, 122, 148, 149, 150, 151, 152, 153, 154, 155, 156, 157, 158, 159, 160, 161, 162, 163, 164, 165, 166, 167, 168, 169, 170, 171, 172, 173, 174, 188, 189, 190, 191, 192, 193, 194, 195, 196, 197, 198, 199, 200, 201, 202, 203, 204, 205, 206, 207, 212, 213, 214, 215, 217

.... 11, 12, 13, 14, 19, 20, 21, 22, 26, 27, 28, 29, 30, 31, 32, 33, 34, 35, 36, 37, 38, 39, 40, 41, 42, 43, 44, 45, 46, 47, 48, 70, 71, 72, 73, 74, 75, 76, 77, 78, 79, 80, 81, 82, 83, 84, 85, 86, 87, 88, 95, 96, 97, 98, 99, 100, 101, 102, 103, 125, 126, 127, 128, 129, 130, 131, 132, 133, 134, 135, 136, 137, 138, 139, 140, 141, 142, 143, 144, 145, 146, 147, 148, 149, 150, 151, 152, 153, 158, 159, 160, 161, 162, 163, 164, 165, 166, 167, 168, 169, 170, 171, 172, 173, 174, 175, 176, 177, 178, 190, 191, 192, 193, 194, 195, 196, 197, 198, 199, 200, 201, 202, 203, 204, 205, 206, 207

bourdonnement 205